

三值闩锁和锁存器的结构研究*

吴训威 金文光

(杭州大学电子工程系 杭州 310028)

摘要 本文从存贮功能的数学表述出发,分别就模代数和格代数等两种情况系统地研究了三值闩锁的各种结构。此外,根据对闩锁输入待存贮信号的能力要求,本文归纳了用“与”门,“或”门和二选一数据选择器中断反馈环路的设计技术,并在此基础上设计了三值锁存器。

关键词 多值逻辑,存贮元件,闩锁,锁存器

1 三值闩锁的逻辑结构

具有存贮功能的电路在数学上可以用下式予以表述:

$$f(Q) = Q. \quad (1)$$

上式表示某输入信号 Q 经过一个用函数 $f(Q)$ 表示的组合电路后,输出仍为 Q 。若把该输出如图 1(a) 所示接回到原输入端,并注意该信号 $f(Q)$ 是经过了组合电路的传输延迟 T_{pd} 后才产生的,则在输入端就表示输入信号 Q 在 T_{pd} 后保持原值不变: $Q(t_0 + T_{pd}) = Q(t_0)$, 这就实现了信号的存贮。具有图 1(a) 所示环状结构的存贮单元称为闩锁 (latch)。

应该说,凡是满足(1)式的组合电路通过反馈连接后均具有存贮信号的能力,但是, $f(Q)$ 越简单,相应的闩锁结构也就越简单。在二值逻辑中最简单的存贮函数有以下两个:

$$Q_{re} = Q, \quad (2)$$

$$\overline{(\overline{Q})} = Q. \quad (3)$$

(2)式表示用一个整形器 (restorer) 即可实现信号的存贮,如图 1(b) 所示;(3)式则表示用两个反相器环接可实现存贮,如图 1(c) 所示。注意到后者结构中的两个串接反相器可提供互补的双轨输出 Q, \overline{Q} 。(3)式所示的函数式如分别从模代数和格代数去理解,可分别改写成如下形式:

$$(Q \oplus 1) \oplus 1 = Q \quad (4)$$

和

1994-05-03 收到, 1995-01-03 定稿

* 浙江省自然科学基金资助项目

吴训威 男, 1940年生, 教授, 中国电子学会会士, IEEE 高级会员, 从事数字电子学专业。

金文光 男, 1966年生, 讲师, 从事电子学专业。

$$\left. \begin{aligned} \bar{0}Q^0 &= {}^1Q^1, \\ \bar{1}Q^1 &= {}^0Q^0. \end{aligned} \right\} \quad (5)$$

如按(4)式理解,则图 1(c) 中的 Q, \bar{Q} 是 Q 和 $Q \oplus 1$, 它们正好为 Q 的两个极性表示^[1]. 如按式(5)理解,则 Q, \bar{Q} 乃是 ${}^1Q^1$ 和 ${}^0Q^0$, 它们正好为 Q 的两个文字运算.

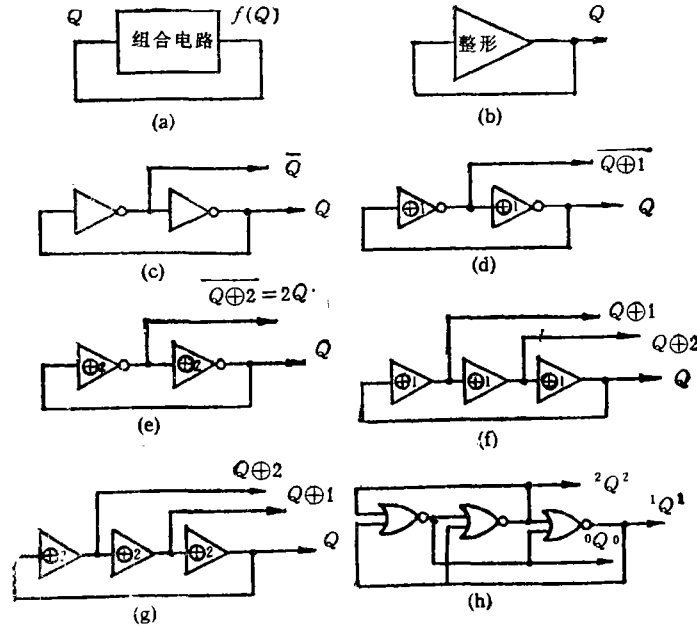


图 1 各种门锁结构

在三值信号的情况下,(2)和(3)式依然成立,因此图 1(b),图1(c) 所示的门锁结构继续有效. 如参考二值情况下的(4)式和(5)式,我们可得到如下的存贮函数关系:

$$\overline{\overline{Q \oplus 1} \oplus 1} = Q, \quad (6)$$

$$\overline{\overline{Q \oplus 2} \oplus 2} = Q, \quad (7)$$

$$[(Q \oplus 1) \oplus 1] \oplus 1 = Q, \quad (8)$$

$$[(Q \oplus 2) \oplus 2] \oplus 2 = Q, \quad (9)$$

$$\left. \begin{aligned} \bar{0}Q^0 + \bar{1}Q^1 &= {}^2Q^2, \\ \bar{0}Q^0 + \bar{2}Q^2 &= {}^1Q^1, \\ \bar{1}Q^1 + \bar{2}Q^2 &= {}^0Q^0. \end{aligned} \right\} \quad (10)$$

与以上五式相应的门锁结构分别如图 1(d)—图1(h)所示. 注意到图 1 中的(c),(d), (e) 的结构相似, 图 1(f) 与 图1(g) 的结构相似, 因此可以认为图 1 中的(b),(c),(f),(h) 为三值门锁的四种基本结构类型.

2 三值门锁的信号输入

在图 1 中诸门锁仅有输出端而未考虑输入端, 因此缺乏输入存贮信号的能力. 为此需要增设可中断环路的外信号输入口. 外信号的介入方式有两种, 一种是在环路中插入“与”门(也可以是“或”门), 另一种是在环路中插入 1-of-2 数据选择器.

使用“与”门的数学根据为 $2 \cdot x = x$, $0 \cdot x = 0$; 而使用“或”门的数学根据为 $0 + x = x$, $2 + x = 2$ 。以使用“与”门为例, 在图 1(c) 所示门锁的环路中插入“与”门结构如图 2(a) 所示。如把它画成图 2(b) 的交叉结构, 则它就是我们所熟悉的二值门锁的结构形式。当图中 $\bar{S}_D = \bar{R}_D = 2$ 时, 两个“与”门开通而环路不受影响; 当 $\bar{S}_D = 0, \bar{R}_D = 2$ 时, \bar{S}_D 对“与”门的作用将中断环路, 并使 $Q' = 2$; 当 $\bar{R}_D = 0, \bar{S}_D = 2$ 时, \bar{R}_D 对“与”门的作用将使 $Q' = 0$ 。以上讨论表明, 该门锁具有存入信号 2 和 0 的能力。

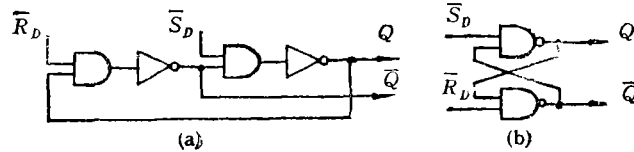


图 2 二输入门锁

除了上面讨论的三种情况外, 表 1 系统地给出了 \bar{S}_D, \bar{R}_D 各种取值对该门锁的影响。表中第一行 $\bar{S}_D = \bar{R}_D = 0$ 使图 2 中的两个输出均为 2。它破坏了它们之间的互补关系, 因此该组输入应予禁止, 在表中用 \times 来表示。表中第二行, 第四行的两组输入条件也应予禁止。表中第五行 $\bar{S}_D = \bar{R}_D = 1$ 使输出 $Q' = 1$, 此时两个输出的互补关系被满足。表中第八行 $\bar{S}_D = 2, \bar{R}_D = 1$ 时只有 \bar{R}_D 对“与”门有作用, 此时图 2 中的电路等效于一个“与”门和两个反相器。两个反相器的串接保证了两个输出具有互补关系。然而 $\bar{R}_D = 1$ 的作用与原存贮信号 Q 的值有关, 当 $Q = 1, 2$ 时, $\bar{R}_D = 1$ 的作用使 $Q' = 1$ 。如果原有 $Q = 0$, 则 $\bar{R}_D = 1$ 对“与”门不起作用, Q' 仍为 0, 因此在表 1 中填入 $Q' = 1 \cdot Q$, 而 $\bar{Q}' = \overline{1 \cdot Q} = 1 + \bar{Q}$ 。表 1 中第六行的情况相同。

表 1 二输入门锁的逻辑功能

S_D	R_D	Q	\bar{Q}
0	0	\times	\times
0	1	\times	\times
0	2	2	0
1	0	\times	\times
1	1	1	1
1	2	$1 + Q$	$1 \cdot \bar{Q}$
2	0	0	2
2	1	$1 \cdot Q$	$1 + \bar{Q}$
2	2	0	\bar{Q}

表 2 三输入门锁的逻辑功能

\bar{S}_{1D}	\bar{S}_{2D}	\bar{S}_{0D}	Q'
0	0	0	\times
0	0	2	\times
0	2	0	\times
0	2	2	2
2	0	0	\times
2	0	2	1
2	2	0	0
2	2	2	Q

由表 1 可以看出, 图 2 所示有互补输出的门锁的逻辑功能是不理想的, 使用甚不方便^[2], 但是它却一直一直被当作三值触发器的基本结构来接受。这是由于它恰好与二值的互补输出门锁结构一致。然而, 二值门锁中每一个输入作用可控制一个次态值 ($\bar{S}_D = 0$ 使 $Q' = 1$, $\bar{R}_D = 0$ 使 $Q' = 0$) 的特点它却不具备。为了使三值门锁也具有这个特点, 则应在门锁的环路中插入三个“与”门, 并用三个输入去分别控制次态值 $Q' = 0, 1, 2$ 。

图 3(a)、3(b) 是由图 1(f)、1(h) 的门锁环路中插入三个“与”门所得(在图 1(h) 中“与”门插在“或”门和反相器之间)。它们各有三个输入信号 ($\bar{S}_{1D}, \bar{S}_{2D}, \bar{S}_{0D}$) 控制, 该三个信号均为二值(0, 2)信号。当 $\bar{S}_{1D} = 2$ 时对“与”门无作用, 而当 $\bar{S}_{1D} = 0$ 时将中断环

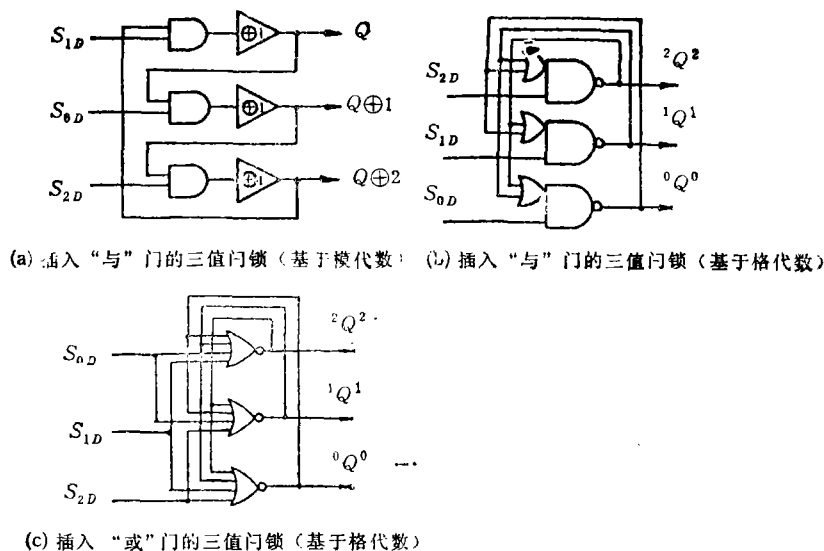


图 3

路,并使该门锁的输出 Q' 为某定值。表 2 给出了 $\bar{S}_{2D}, \bar{S}_{1D}, \bar{S}_{0D}$ 各组取值时对门锁输出的影响,其中有四组输入由于会破坏三轨输出间的相互关系,因此被禁止,表中用 \times 表示。 $\bar{S}_{2D}, \bar{S}_{1D}, \bar{S}_{0D}$ 须满足如下约束关系:

$$\bar{S}_{iD} + \bar{S}_{jD} = 2, (i \neq j). \quad (11)$$

显然,表 2 所示的逻辑功能和(11)式的约束条件与二值门锁符合得很好。

在图 3(a) 中的结构适用于模代数,只要在它的三个输出端再加接三个反相器便可获得全部六种极性输出^[3]。图 3(b) 的结构适用于格代数,它的三个输出为存贮变量的三种文字运算输出,该一逻辑结构已被用于三值维持阻塞触发器^[4]和三值边沿触发器^[5]的设计。如果在图 3(b) 中把“或”门与反相器之间插入的“与”门改为“或”门,则输入 2 可用于中断反馈环路。此时该插入“或”门可与原“或”门合并,从而得到如图 3(c) 所示的结构,该一结构在文献[6]中被采用。

3 三值锁存器设计

上节讨论的三值门锁中,输入信号随时可能改变门锁存贮的状态。但如同对二值时序电路的设计,我们总希望存贮信号的元件能接受一个时钟信号 CP 的控制,使在时钟来到时才接受新的存贮信号值,即发生现态至次态的状态转换,而在时钟来到前,则状态保持不变。为此,我们可用 CP 信号通过门电路实施对三值门锁输入信号的控制作用。

图 4(a) 给出了用三个“与非”门控制图 3(b) 所示门锁中三个输入信号 $\bar{S}_{2D}, \bar{S}_{1D}, \bar{S}_{0D}$ 的设计。图中 CP 为一个二值信号: $CP \in \{0, 2\}$ 。显然,当 $CP = 0$ 时有 $\bar{S}_{2D} = \bar{S}_{1D} = \bar{S}_{0D} = 2$, 由表 2 可知,此时该门锁将处于存贮状态;而当 $CP = 2$ 时将有 $S_{2D} = \bar{S}_{2D}, \bar{S}_{1D} = \bar{S}_{1D}, \bar{S}_{0D} = \bar{S}_{0D}$, 此时可按表 2 由 S_{2D}, S_{1D}, S_{0D} 中的二值信号决定该门锁新的存贮信号。图 4(a) 所示的电路被称为置态型锁存器。

图 4(b) 表示了图 1(b) 的电路中插入一个二选一数据选择器中断反馈环路的方案。此时除了待存贮输入信号 D 外尚有一个时钟控制信号 CP。当 $CP = 2$ 时反馈环路

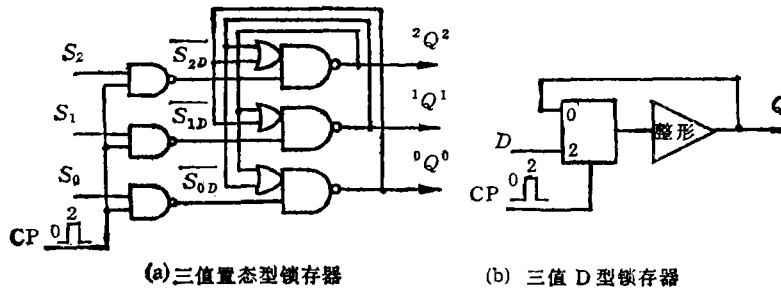


图 4

中断,外信号 D 经整形后作为该锁的输出;而当 $CP = 0$ 时输入端被隔断而反馈环路恢复接通,实现了对输入信号的存贮。该一结构已被用于三值主从触发器的设计^[7]。图 4(b) 所示的电路被称为三值 D 型锁存器。

4 结论

本文提出的锁与锁存器结构不仅与以往三值触发器的研究相符,而且与二值锁相符。所有的研究结果可推广于基数更高的多值情况。由于多值锁和锁存器是各种多值存贮元件的核心结构,因此本文的工作为各种多值触发器的正确设计建立了基础。

参 考 文 献

- [1] 吴训威,陈偕雄, Hurst S L. IEE Proc.-E, 1982, 129(1): 15—20.
- [2] Irving T A, Negle H T. An approach to multi-valued sequential logic. Conf. Rec. ISMVL, Toronto: 1973, 80—105.
- [3] 吴训威,陈偕雄. 中国科学A辑, 1983, 13(9): 847—856.
- [4] 吴训威,陈偕雄. 科学通报, 1986, 31(19): 1457—1459.
- [5] 吴训威,邓小卫. 计算机学报, 1991, 14(4): 319—321.
- [6] 吴训威,陈偕雄. 中国科学A辑, 1985, 15(7): 643—654.
- [7] Prosser F, 吴训威,陈偕雄. IEE Proc.-E, 1988, 135(5): 266—272.

AN INVESTIGATION INTO THE STRUCTURE OF TRI-LATCHES AND TERNARY BASIC FLIP-FLOPS

Wu Xunwei Jin Wenguang
(Hangzhou University, Hangzhou 310028)

Abstract Starting from the mathematical expressions of storage function, this paper investigates various structures of tri-latches based on modular algebra and lattice algebra systemically. At the request to input the signal to be stored into these tri-latches, the paper deduces some design techniques to interrupt the feedback rings with AND gate, OR gate and 1-of-2 multiplexer respectively. By the above techniques, ternary basic flip-flops can be derived further.

Key words Multivalued logic, Memory element, Latch, Basic flip-flop