

嵌入式存储器空间单粒子效应失效率评估方法研究

支天^{①②} 杨海钢^{*①} 蔡刚^① 秋小强^① 李天文^{①②} 王新刚^{①②}

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院大学 北京 100190)

摘要: 嵌入式存储器易受到空间单粒子效应(Single-Event Effects, SEE)的影响。该文提出了一种单粒子效应失效率评估的方法,包含了单粒子翻转和单粒子瞬态扰动等效应对嵌入式存储器不同电路单元的具体影响,可对不同存储形式、不同容错方法的嵌入式存储器单粒子效应失效率进行定量评估。该文提出的评估方法在中国科学院电子学研究所自主研制的嵌入式可编程存储器试验芯片上得到了验证,地面单粒子模拟实验表明该文方法预测的失效率评估结果与实验测试结果的平均偏差约为10.5%。

关键词: 片上系统; 嵌入式存储器; 单粒子效应(SEE); 失效率; 评估

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2014)12-3035-07

DOI: 10.3724/SP.J.1146.2013.02025

Study on the Prediction of Single-event Effects Induced Failure Rate for Embedded Memories

Zhi Tian^{①②} Yang Hai-gang^① Cai Gang^①

Qiu Xiao-qiang^① Li Tian-wen^{①②} Wang Xin-gang^{①②}

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(The University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Embedded memories are easily influenced by Single-Event Effects (SEE). A model to calculate the SEE failure rate of an embedded memory is proposed, which considers the likelihood that a single-event upset or single-event transient will become an error in different types of circuits. It can also be used for the quantitative analysis of SEE mitigation techniques for versatile memories. Experimental investigations are performed using heavy ion accelerators on an experimental embedded programmable memory, which is designed by Institute of Electronics, Chinese Academy of Sciences. The result of 10.5% average error verifies the effectiveness of the proposed model.

Key words: System on Chip (SoC); Embedded memory; Single Event Effects (SEE); Failure rate; Prediction

1 引言

嵌入式存储器作为片上系统的核心组件,在空间电子系统中得到了广泛的应用^[1]。据统计,美国宇航局单个航天器上使用存储器的类型已超过百种^[2,3],其中包括通用存储器和可重构存储器等^[4,5]。根据用途的不同,存储器的工作模式也多种多样。例如,在高性能计算中使用堆栈等存储形式缓存数据以解决跨时钟域的数据通信;在图像和多媒体处理中使用随机存储器缓存图像、语音和视频等数据,使用只读存储器中的数据实现压缩编解码等;将关键全局控制信号的存储于具有容错能力的存储器中

以提高整个系统的可靠性。

空间飞行数据显示,嵌入式存储器易受到单粒子效应(Single-Event Effects, SEE)的影响^[6,7],且随着芯片工艺节点的减小,存储单元的错误率(error rate)呈指数趋势增大^[8,9]。因此,准确评估存储器的SEE失效率(failure rate)对提高航天器的可靠性具有重要意义。系统设计者可以在设计初期根据预估的失效率数值,结合功耗和性能等参数,对嵌入式存储器的实现形式和工作模式进行选择,并确定系统级加固和飞行器辐射屏蔽等方案。这种方法对于使用大量商业裸片器件、低成本和短开发周期的微小卫星系统尤为有效。

现有的存储器SEE可靠性模型^[10-15]基于如下假设:一是在进行错误类型分析时,只考虑了单粒子翻转(Single Event Upsets, SEU)效应的影响,忽

2013-12-25 收到, 2014-05-19 改回

中国科学院、国家外国专家局创新团队国际合作伙伴计划资助及国家科技重大专项(2013ZX03006004)资助课题

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

略了诸如单粒子瞬态(Single Event Transients, SET)脉冲等效应的影响^[10-11]。二是在评估不同设计方案的容错能力时,对存储器进行了归一化处理,将其简化为单个固定容量的存储阵列,忽略了容错技术对存储阵列、内部寄存器和内部逻辑单元等电路的不同影响^[12-15]。然而,实际应用中的嵌入式存储器电路有以下特点:一是存储器内部逻辑电路资源的比例最高可达到36%,单粒子瞬态脉冲对其的影响不可忽略^[7]。二是当存储器的工作模式或容错方法不相同,其使用的逻辑电路资源和存储阵列资源的数量均不相同^[4,5],使用通用存储器的归一化模型无法准确评估其SEE失效率。本文提出了针对嵌入式存储器SEE失效率的模型,在兼顾多种SEE效应并考虑不同电路单元作用的情况下,对不同存储形式的存储器SEE失效率进行了建模,并以中国科学院电子学研究所自主研发的嵌入式可编程存储器试验芯片为样本,在中国原子能科学研究所的串列加速器和中国科学院近代物理研究所兰州重离子加速器国家实验室回旋加速器CSR上对该模型的有效性进行了验证。

2 嵌入式存储器SEE失效率模型的建立

2.1 已有存储器SEE失效率模型

已有的存储器SEE失效率模型^[16]如式(1)所示。此模型计算结果为单位时间单个存储器的SEE失效率。其中的 λ_{SEU} 为存储单元的发生单粒子翻转效应的本征错误率。 s 为存储阵列的容量,代表了存储阵列单位字节所含比特数目与存储器中所含字节个数之积。式(1)中只包括存储阵列SEU效应的影响,不能涵盖存储器中全部的SEE错误和全部的辐照敏感电路,无法对SEE失效率进行准确评估。

$$\lambda_{\text{SEE}} = \lambda_{\text{SEU}} \times s \quad (1)$$

2.2 嵌入式存储器SEE失效率模型

来自Rosetta的实验结果显示,影响存储器的单粒子效应有SET和SEU两种,其余类型SEE的影响可忽略不计^[7,17,18]。尚未有研究发现不同电路或不同类型的SEE错误之间具有相互关联,即不同来源的SEE错误之间两两独立,为互斥事件。假设SEE错误的来源共有 n 种,根据相互独立事件的有限可加性,可得式(2)。 $P(\text{SEE}_i)$ 代表了评估对象中第 i 种错误来源导致系统失效的概率。根据电路实现原理可得,嵌入式存储器中的全部SEE错误来源可以归纳为:时钟电路的SET效应、写使能电路的SET效应、输入数据电路的SET效应、输出数据电路的SET效应、复位电路的SET效应、地址电路的SET效应、内部寄存器的SEU效应和内部存储阵列的SEU效应,以上SEE错误来源分别对应式

(2)中下标为clk, wr, din, dout, rst, addr, ff和m的因子。

$$\begin{aligned} \lambda_{\text{SEE}} = P\left(\bigcup_{i=1}^n \text{SEE}_i\right) &= \sum_{i=1}^n P(\text{SEE}_i) = P(\text{SET}_{\text{clk}}) \\ &+ P(\text{SET}_{\text{wr}}) + P(\text{SET}_{\text{din}}) + P(\text{SET}_{\text{dout}}) \\ &+ P(\text{SET}_{\text{rst}}) + P(\text{SET}_{\text{addr}}) + P(\text{SEU}_{\text{ff}}) \\ &+ P(\text{SEU}_{\text{m}}) \end{aligned} \quad (2)$$

影响式(2)中 $P(\text{SEE}_i)$ 的因子共有如下几项:一是产生电路单元的本征SEE错误率因子 λ_i -(SEE)。二是系统应用中所使用的电路单元的数量 S_i 。三是第 i 种类型错误导致系统失效的概率因子 D_i 。四是系统设计中所使用的容错或加固技术对第 i 种类型错误自修复的能力因子 P_i 。以上因子互不相容,可得 $P(\text{SEE}_i)$ 的计算公式,如式(3)所示。

$$P(\text{SEE}_i) = \lambda_i(\text{SEE}) \times S_i \times D_i \times P_i \quad (3)$$

2.2.1 本征错误率因子 λ (SEE) 式(3)中与SET或SEU名称相关的因子代表了单个存储器中该错误的本征错误率,其取决于单元电路结构、电路工艺、空间应用环境和存储器中包含此电路的数量等,通过地面辐照实验可求出其精确取值。

2.2.2 电路单元的资源使用数 S 式(3)中与 S 相关的因子代表了嵌入式存储器在某种存储形式下所使用的电路单元的数目,其取值与嵌入式存储器的实现形式有关。

2.2.3 错误导致系统失效的概率 D 嵌入式存储器中的SEE错误(error)并不一定会导致最终失效(failure),譬如对于输入数据电路的SET错误,当存储器处于读状态或者不满足时钟触发条件时,就不会造成存储器的输出失效。其取值变化关系如图1和表1所示,其中的横轴为嵌入式存储器的建立时间和保持时间占时钟周期的比重,即 $(t_{\text{hold}} + t_{\text{setup}}) / t_{\text{cycle}}$,其中 t_{hold} 和 t_{setup} 分别代表了嵌入式存储器时序参数中的保持时间参数和建立时间参数, t_{cycle} 代表应用中嵌入式存储器使用的时钟周期。直线 a 的斜率为零,表示时钟电路、复位电路、寄存器电路和存储阵列的错误导致系统失效的概率 D 相关取值为1,此类电路中任何一个SEE错误都会导致嵌入式存储器的失效。直线 b 的斜率为1,代表了写使能电路、地址电路和输出数据电路的SEE错误发生在时钟沿的建立和保持时间段内,会导致嵌入式存储器的失效。直线 c 的斜率为嵌入式存储器(其代表了应用中写状态占整个工作状态(包括读和写两种状态)的比例),若嵌入式存储器一直为读状态时其取值为零,在此期间其发生的任何SEE错误不会导致系统失效。

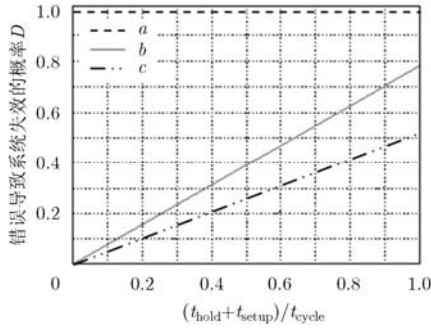


图 1 错误导致系统失效概率的取值

表 1 图 1 中的图示相关说明

直线	错误导致系统失效的概率的对应电路
a	clk, rst, ff 和 m
b	wr 和 addr
c	dout 和 din

2.2.4 系统对错误的自修复能力 P 式(3)中与 P 名称相关的因子代表了需要评估的嵌入式存储器电路对此项错误的自修复能力，即其内部使用的容错设计对于此类错误的修复能力。其精确数值可由辐照实验中得到，如公式(4)所示，式中 σ_{RHBD} 表示使用容错设计后，此错误所对应电路的错误翻转截面， σ_{int} 表示此类型错误所对应电路的本征错误翻转截面。其取值区间为[0,1]，取值越小，代表自修复能力越强，当取值为 0 时，系统可以纠正全部此种错误类型，当取值为 1 时，系统对于此类错误没有任何修复能力。

$$P = \frac{\sigma_{RHBD}}{\sigma_{int}} \quad (4)$$

使用三模冗余设计时，此因子的取值约为 0.33^[19]。

3 单粒子辐照实验

3.1 辐照实验环境

辐照实验环境的具体参数如表 2 所示，离子注量率为 7000 ~ 10000 cm⁻²s⁻¹，离子总注量为 10⁷ cm⁻²。

3.2 嵌入式存储器单粒子翻转检测测试系统

图 2 为嵌入式存储器单粒子试验测试系统，包含了待测芯片、检测电路和监测软件三部分。为了能对于不同存储形式和不同容错方案的嵌入式存储器进行 SEE 失效率评估模型的验证测试，待测芯片选取了中国科学院电子学研究所自行研制的可重构存储器试验芯片，其可被配置实现成多种存储形式，功能与 Altera 公司的嵌入式可重构存储器 M4K^[4]兼容。检测电路使用了 Cyclone 系列 FPGA 芯

表 2 离子源特性参数

加速器名称	中国科学院近代物理研究所兰州重离子加速器国家实验室回旋加速器 CSR			
离子种类	Ti	Br	Au	Bi
能量(MeV)	170	238	285	1985
LET(MeV·cm ² /mg)	21.3	42	84	97.8
Si 中射程(μm)	37	32	29.1	101

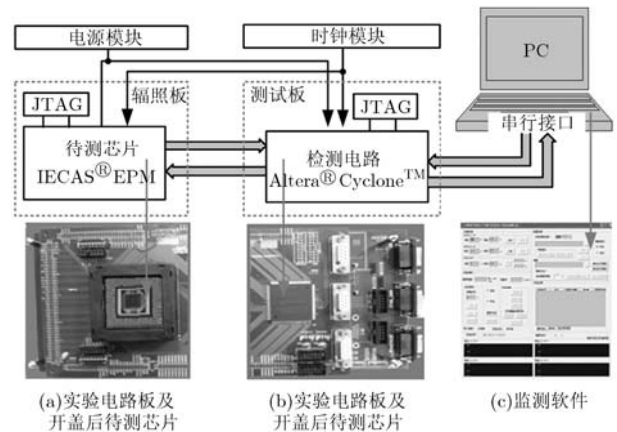


图 2 嵌入式存储器单粒子翻转检测测试系统

片，可提供测试激励、采集数据并将辐照实验结果传输至 PC 机。监测软件对实验条件进行控制并对实验结果进行处理。

3.3 实验内容

运用上述 SEE 失效率模型评估特定的应用电路时，需要根据地面辐照实验得出 λ (SEE) 因子的值，并根据电路得出模型中与 D, P 和 S 相关因子的值。

3.3.1 本征错误率因子的获取

(1) 存储阵列本征错误率和复位电路本征错误率的测试 将待测芯片配置为表 3 中第 1 种工作模式，根据表 4 中的模型因子，将辐照实验结果中存储数据的错误个数得出存储阵列的错误率^[20]并记录至表 5。根据文献[21]，计算出复位电路的错误率并记录至表 5。

(2) 写使能电路、输出数据电路和地址电路的本征错误率测试 将待测芯片配置为表 3 中第 2 种工作模式，将嵌入式存储器试验芯片中的存储阵列取值固化，排除存储阵列发生 SEE 错误而导致系统失效的可能。将时钟频率设置为 20 MHz，辐照实验中动态读出 ROM 的值并与已知数值进行比较，得出写使能电路、输出数据电路和地址电路的错误率并记录至表 5。

表 3 单粒子实验中存储器使用的工作模式

工作模式序号	端口模式	字宽模式	时钟使能	时钟模式	字节使能	上电清零	输出模式	错误自修复能力
1	单端口	512×9	关闭	单时钟	关闭	开启	异步输出	时钟电路加固
2	单端口	512×9	关闭	单时钟	关闭	关闭	异步输出	时钟电路加固
3	BIST	-	-	-	-	-	-	-
4	FIFO	512×9	关闭	单时钟	关闭	开启	异步输出	时钟电路加固
5	简单双端口	512×9	关闭	多时钟	关闭	关闭	异步输出	时钟电路加固
6	单端口	512×9	关闭	单时钟	关闭	关闭	异步输出	时钟电路加固, 错误纠错码(每 32 位纠错 1 位), 纠错刷新频率为 20k, 寄存器三模冗余。
7	简单双端口	512×9	关闭	多时钟	关闭	关闭	异步输出	时钟电路加固, 错误纠错码(每 32 位纠错 1 位), 纠错刷新频率为 20M, 寄存器三模冗余。

表 4 模型影响因子的取值

模型	D	P	S
时钟电路	1.00	0.00	1.00
写使能电路(静态)	0.00	1.00	1.00
地址电路(静态)	0.00	1.00	1.00
输出数据电路(静态)	0.00	1.00	1.00
输入数据电路(静态)	0.00	1.00	1.00
写使能电路(动态回读)	0.10	1.00	1.00
地址电路(动态回读)	0.10	1.00	1.00
输出数据电路(动态回读)	0.10	1.00	1.00
输入数据电路(动态回读)	0.00	1.00	1.00
复位电路	1.00	1.00	1.00
三模冗余寄存器	1.00	0.33	96.00
寄存器	1.00	1.00	96.00
ECC+纠错刷新为 20k 下的存储阵列	1.00	0.55	4096.00
ECC+纠错刷新为 2M 下的存储阵列	1.00	0.01	4096.00
存储阵列	1.00	1.00	4096.00

表 5 重离子实验监测结果

单粒子效应错误类型	本征错误率因子			
	Ti	Br	Au	Bi
存储阵列 SEU(cm ² /器件)	1.85×10^{-4}	1.89×10^{-4}	1.93×10^{-4}	2.48×10^{-4}
输入数据电路 SET(cm ² /器件)				
输出数据电路 SET(cm ² /器件)	9.74×10^{-4}	1.04×10^{-3}	1.04×10^{-3}	1.17×10^{-3}
地址电路 SET(cm ² /器件)				
写使能电路 SET (cm ² /器件)				
复位电路 SET(cm ² /器件)	1.73×10^{-5}	2.90×10^{-5}	2.73×10^{-5}	3.02×10^{-5}
寄存器 SEU(cm ² /器件)	3.12×10^{-6}	3.31×10^{-6}	3.39×10^{-6}	3.90×10^{-6}

(3)寄存器的本征错误率测试 将待测芯片配置为表 3 中第 3 种工作模式,即 Build-In-Self-Test (BIST)扫描链模式,根据实验可得此电路内部寄存器的错误率并记录至表 5。

3.3.2 嵌入式存储器应用实例的测试 将待测芯片依次配置为表 3 中第 4 种,第 5 种,第 6 种和第 7 种工作模式后,向嵌入式存储器芯片中写入数据。在辐照实验中,将时钟频率设置为 20 MHz,对于第 4 种模式动态读出嵌入式存储器中的数据,其余模式测试静态翻转截面,得出不同应用实例电路的 SEE 失效率,记录至表 6 和表 7 中实测失效率一栏。

3.3.3 模型影响因子的计算 针对 3.3.2 节中的嵌入式存储器应用实例,可得到模型中因子的取值如下表 4 所示。需要特别指出的是,根据 2.2.3 节中因子 D 的计算公式可知,根据应用电路只采用了读操作而未采用写操作以及存储器时序参数中的建立时间、保持时间和工作频率,可得 D_{din} 的取值为 0,输出数据电路、写使能电路和地址电路的 D 取值为 0.1;根据辐照时嵌入式存储器试验芯片的自修复能力、实验环境、表 5 中数据和 2.2.4 节中的计算公式可知,对于采用加固设计的时钟电路其 P_{clk} 的取值为 0,对于采用容错方案的存储阵列,其 P_m 的取值与容错方案等因素有关。

4 单粒子实验结果与分析

4.1 模型影响因子分析

实验结果如表 5 所示。表中数据可证实模型中所包含的写使能电路的 SET 效应、输出数据电路的 SET 效应、复位电路的 SET 效应、输入地址电路的 SET 效应、寄存器的 SEU 效应和存储阵列的 SEU 效应的存在。将表 5 中的结果代入 FIFO 应用电路中,并假设其中包含的电路都不采用加固,得出其内部电路单元失效率百分比关系如图 3 所示,可以证明:SET 对嵌入式存储器的影响不可忽略,且使用归一化存储阵列模型无法准确评估存储阵列、内部寄存器和内部逻辑单元等电路受到的不同 SEE 影响。

4.2 模型验证结果

根据上述步骤得出的因子,可对不同配置模式、不同容错方案的存储器应用实例 SEE 失效率进行预估。

4.2.1 不同辐照条件下模型有效性的验证 本文选取评估的应用电路为表 3 中第 4 种工作模式,在 Ti, Br 和 Au 粒子环境下进行实验,并采用读操作的存储器电路。将得出的因子代入通用存储器 SEE 失效率模型和本文的失效率模型中进行计算,可得到图 4。

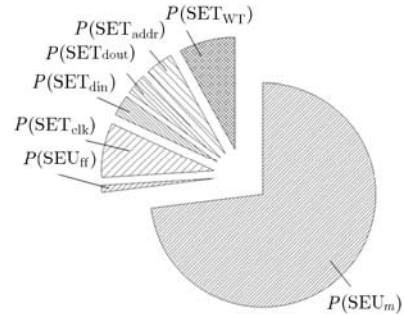


图 3 FIFO 应用电路中各个电路单元失效率占存储器失效率的百分比

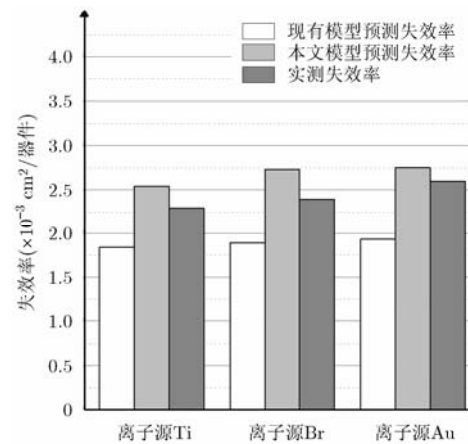


图 4 文中模型与现有模型^[16]结果的比较

将上述两项预测结果与辐照实验中对存储器应用实例的实测失效率进行比较,可得到表 6,可知本文模型的平均误差绝对值为 10.1%,小于现有模型的平均误差绝对值 25.4%。相较于现有的存储器 SEE 失效率模型。本文模型的误差主要来自于以下两个方面:一是由于实验环境中粒子总注量和注量率无法精确控制而导致实验中实测失效率的测量误差。二是由于实验环境中粒子总注量和注量率无法精确控制而导致影响模型预测失效率结果的本征错误率因子(包括存储阵列、写使能电路、输出数据电路、寄存器、地址电路和复位电路的本征错误率)的测量误差。

上述试验对模型有效性的验证过程中,对存储器的配置模式包括了不同端口数目,不同工作模式,不同时钟模式和不同辐照实验环境,覆盖了嵌入式存储器目前存在的所有工作模式,结果显示,其误差小于原有的失效率评估模型,由此可知,该模型评估不同辐照条件和不同工作模式下的存储器具有普遍适用性。

4.2.2 不同容错方案下模型有效性的验证 将上述步骤得出的因子代入本文的 SEE 失效率评估模型中计

表6 不同辐照条件下模型有效性验证结果(%)

模型	离子源			平均误差绝对值
	Ti	Br	Au	
现有模型 ^[10-15]	19.65	30.77	25.71	25.4
本文模型	-10.04	-14.25	-5.76	10.1

算, 可对辐照实验中不同配置模式、不同容错方案的存储器应用实例 SEE 失效率预估。实验使用离子源为 Bi 粒子, 预估失效率如表 7 所示, 其平均误差仅为 10.5%, 本文容错方案下模型预测误差除了受到 4.2.1 节中由于地面辐照实验中的离子总注量和注量率无法精确控制而导致模型中用于计算预测失效率的本征错误率因子和实测失效率的误差以外, 还有在计算时采用的系统对错误的自修复能力等因子取近似值而导致的计算误差。

本实验的存储器中包括了常用的存储器容错模式(包括了三模冗余容错, 错误纠错码和纠错刷新), 并在上述容错模式的自修复能力因子取值不同时, 对于存储器的失效率进行了预估, 实验结果显示, 其误差小于原有失效率预测模型, 由此可知, 该模型在评估不同容错方案下存储器的失效率具有普遍适用性。

表7 不同容错方案下模型有效性验证结果

模型	实验中嵌入式存储器工作模式		
	表3中工作模式5	表3中工作模式6	表3中工作模式7
本文模型预测失效率(cm ² /器件)	2.49	1.38	0.04
实测失效率(cm ² /器件)	3.25	1.56	0.04
误差绝对值(%)	14.00	11.74	5.83
本文模型的平均绝对误差(%)	10.5		

5 结束语

准确评估嵌入式存储器 SEE 失效率, 对现代宇航电路系统的可靠性设计具有重要意义。本文采用了自底向上的方法, 提出了一种涵盖不同辐照敏感电路、不同 SEE 失效类型的嵌入式存储器失效率评估模型, 并介绍了如何通过地面重离子实验取得模型中参数的具体方法。利用此模型和辐照实验中得到的参数, 可以对嵌入式存储器在不同模式下的 SEE 失效率进行准确量化分析, 而无需进行一一辐照实验验证, 可以大大缩短可靠性验证所需的时间。此外, 系统设计者可以结合功能和可靠性要求, 在

设计初期利用此模型对嵌入式存储器应用模式和容错方案进行选择, 从性能、功耗和面积等方面进行全面优化。

致谢 本文实验得到了中国原子能科学研究院核物理研究所 HI-13 串列静电加速器和中国科学院近代物理研究所兰州重离子加速器国家实验室回旋加速器 CSR 运行人员的大力支持, 在此表示衷心的感谢。

参考文献

- [1] 宋凝芳, 朱明达, 潘雄. SRAM 型 FPGA 单粒子效应试验研究[J]. 宇航学报, 2012, 33(6): 836-842.
Song Ning-fang, Zhu Ming-da, and Pan Xiong. Experimental study of single events effects in SRAM-based FPGA[J]. *Journal of Astronautics*, 2012, 33(6): 836-842.
- [2] Li Y. Reliability Techniques for Data Communication and Storage in FPGA-Based Circuits[M]. Brigham Young University, US, 2013: 15-20.
- [3] John H, Roy C, and Hilton H. Phoenix Mars mission the thermal evolved gas analyzer[J]. *Journal of the American Society for Mass Spectrometry*, 2008, 19(7): 1377-1383.
- [4] Altera Corporation. Stratix V device handbook[R]. California, America, 2013.
- [5] Xilinx Corporation, Virtex-7 FPGA user guide[R]. California, America, 2013.
- [6] 蔡刚, 杨海钢. 嵌入式可编程存储器设计中的“选择性寄存”方法[J]. 电子与信息学报, 2009, 31(11): 2672-2766.
Cai Gang and Yang Hai-gang. A “selective registering” technique for design of an embedded programmable memory[J]. *Journal of Electronics & Information Technology*, 2009, 31(11): 2672-2766.
- [7] Lesea Austin, Drimer Saar, and Fabula Joe. The rosetta experiment: atmospheric soft error rate testing in differing technology FPGAs[J]. *IEEE Transaction on Device and Material Reliability*, 2005, 5(3): 317-328.
- [8] She Xiao-xuan, Li N, and Waileen J D. SEU tolerant memory using error correction code[J]. *IEEE Transactions on Nuclear Science*, 2012, 59(1): 205-210.
- [9] Mukati Altaf. A survey of memory error correcting techniques for improved reliability[J]. *Journal of Network and Computer Applications*, 2011, 34: 517-522.
- [10] Maestro Juan Antonio and Reviriego Pedro. Reliability of single-error correction protected memories[J]. *IEEE Transactions on Reliability*, 2009, 58(1): 193-201.
- [11] Schiano Luca, Ottavi Marco, and Lombardi Fabrizio. Markov models of fault-tolerant memory systems under SEU[C]. International Workshop on Memory Technology, Design and Testing, Paris, 2004: 1052-1087.
- [12] Reviriego Pedro and Maestro Juan Antonio. Reliability

- analysis of memories suffering multiple bit upsets[J]. *IEEE Transactions on Device and Materials Reliability*, 2007, 7(4): 592-601.
- [13] Sanchez-Macian Alfonso, Reviriego Pedro, and Antonio Juan. Enhanced detection of double and triple adjacent errors in hamming codes through selective bit placement[J]. *IEEE Transactions on Device and Materials Reliability*, 2012, 12(2): 357-362.
- [14] Guo Jing, Xiao Li-yi, and Mao Zhi-gang. Enhanced memory reliability against multiple cell upsets using decimal matrix code[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2014, 22(1): 127-135.
- [15] Lee Soonyoung, Jeon Sang Hoon, and Baeg Sanghyeon. Memory reliability analysis for multiple block effect of soft errors[J]. *IEEE Transactions on Nuclear Science*, 2013, 60(2): 1384-1389.
- [16] Sterpone L. On the design of tunable fault tolerant circuits on SRAM-based FPGAs for safety critical applications[C]. *Proceedings of Design, Automation and Test in Europe, Paris, 2008*: 59-65.
- [17] Swift Gary M. 1st consortium report virtex 2 static SEU characterization[R]. California, America, 2004.
- [18] Wang J J. RTAXS single event effects test report[R]. California, America, 2004.
- [19] Morgan Keith S, McMurtrey Daniel L, Pratt Brian H, *et al.* A comparison of TMR with alternative fault-tolerant design techniques for FPGAs[J]. *IEEE Transactions on Nuclear Science*, 2007, 54(6): 2065-2072.
- [20] 王忠明, 姚志斌, 潘雄. SRAM 型 FPGA 的静态与动态单粒子效应试验[J]. *原子能科学技术*, 2011, 45(12): 1506-1510.
Wang Zhong-ming, Yao Zhi-bin, and Pan Xiong. Static and dynamic tests of single-event effect in SRAM-Based FPGA[J]. *Atomic Energy Science and Technology*, 2011, 45(12): 1506-1510.
- [21] Cabanas-Holmen Manuel, Cannon Ethan H, and Amort Tony. Predicting the single-event error rate of a radiation hardened by design microprocessor[J]. *IEEE Transactions on Nuclear Science*, 2011, 58(6): 2726-2733.
- 支 天: 女, 1987 年生, 博士生, 研究方向为嵌入式存储器设计及可靠性理论研究.
- 杨海钢: 男, 1960 年生, 研究员, 中国科学院“百人计划”引进国外杰出人才, 研究方向为数模混合信号 SoC 设计和大规模集成电路设计.
- 蔡 刚: 男, 1980 年生, 助理研究员, 研究方向为嵌入式 IP 设计及抗辐照理论研究.