

一种适用于门级网表的混合式静态功耗优化方法

舒毅^{①②} 蔡刚^① 杨海钢^{*①}

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院大学 北京 100049)

摘要: 进入深亚微米集成电路设计阶段, 静态功耗所占整体功耗的比例快速增大, 使之成为当前设计流程中的关键优化步骤。该文提出一种适用于门级网表的混合式静态功耗优化方法。该方法结合了整数规划和启发式算法, 以减小电路时序裕量的方式换取电路静态功耗的改善。整体优化流程从一个满足时序约束的设计开始, 首先利用整数规划为网表中的逻辑门单元寻找一个较低静态功耗的最优替换单元; 其次结合当前所用门单元和最优替换单元的物理和电学参数, 按优先级方式逐层替换电路中所有的逻辑门节点; 最后利用启发式方法修复可能出现的最大延时违规情况。整体优化流程将在上述步骤中不断迭代直至无法将现有时序裕量转换为功耗的改善。针对通用测试电路的实验结果表明, 采用该方法优化后电路静态功耗平均减小 10% 以上, 最高达 26%; 与其它方法相比, 该方法不仅大幅降低了功耗, 而且避免了优化后电路最大延时的过度恶化, 其最大延时违反量小于 5 ps。

关键词: 集成电路(IC); 静态功耗优化; 整数规划; 启发式算法

中图分类号: TN402; TN47

文献标识码: A

文章编号: 1009-5896(2014)08-2010-06

DOI: 10.3724/SP.J.1146.2013.01460

A Mixed Method of Leakage Optimization for Gate-level Netlist

Shu Yi^{①②} Cai Gang^① Yang Hai-gang^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In deep-submicron Integrated Circuit (IC) design regime, the portion of leakage power consumption increases rapidly, therefore, leakage power optimization becomes a crucial part of circuit design flow. This paper proposes a mixed method of leakage optimization for gate-level netlist. The proposed method combines integer programming and heuristic algorithm to optimize leakage power at the cost of decreased timing slack. It starts at a given timing feasible design and finds alternative cell for each gate in the netlist with optimal power-delay sensitivity, then assigns alternative cell to individual gate during a levelized traverse on netlist according to specific rules. Finally, the proposed method performs a path-based timing recovery phase to fix timing violations. The entire flow iteratively converts timing slack to power-saving until no improvements could be gained. The benchmark results shows that our the proposed method achieves 10% on average, maximum 26% leakage power reduction while timing violation is confined within 5 ps.

Key words: Integrated Circuit (IC); Leakage power optimization; Integer programming; Heuristic algorithm

1 引言

静态功耗作为整体功耗中一个主要组成部分, 在深亚微米阶段逐步接近了动态功耗的量级, 并且其所占整体功耗的比例随着工艺节点的进一步缩小将以更快的速率增大, 这一趋势使得电路静态功耗成为深亚微米阶段集成电路设计, 特别是面向可移动计算应用时需要考虑的关键性能约束之一^[1,2]。

为优化电路的静态功耗, 设计人员提出了多种针对门级网表的优化方法, 整体上可以分为基于启发式算法和基于数学规划方法两类^[3]。文献[4]采用了基于梯度函数的启发式算法, 利用静态功耗与逻辑门尺寸之间的线性关系, 以优化门单元尺寸的方式降低静态功耗。针对多阈值和多沟道长度单元库的电路设计, 文献[5]和文献[6]在启发式算法的框架下分别以沟道长度与阈值电压两种库单元特性来优化电路静态功耗。这两种方法的核心思想是为电路中的每个逻辑门选取一个较低静态功耗的等效单元, 并不断尝试迭代替换直至无法进一步改善电路

2013-09-24 收到, 2013-12-20 改回

中国科学院、国家外国专家局创新团队国际合作伙伴计划资助课题

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

的静态功耗。文献[7]提出了基于拉格朗日松弛的静态功耗优化问题，并给出了应用电路拓扑序的贪婪解法。基于数学规划的优化方法也产生了丰富的研究成果。文献[8]利用线性规划方法，从最小延迟设计开始，以降低整体电路时序裕量的方式换取电路静态功耗的改善。文献[9]在文献[8]的基础上加入了基于线性规划的时序优化步骤，取消了原方法中起始设计必须处于最小延时的限制条件并降低了算法的运行时间。国内学者在这一领域也产生了丰富的研究成果，提出了许多在启发式算法框架下的优化方法。例如，文献[10]提出一种针对双阈值电路设计的统计预置法优化静态功耗；文献[11]根据电路中每个节点的可用时序裕量的分布特征，提出一种动态门限算法优化双阈值电路设计中的静态功耗。

在前述优化方法中，基于数学规划方法的求解过程一般较为高效，但模型均为连续函数。与之相对，门级网表中各门单元尺寸和物理及电学参数的分立特性使得该问题成为一个组合优化问题，若采用连续函数模型其解难以直接映射到单个逻辑门节点中。即使采用最近舍入的方法也经常导致优化后电路出现较大时序违规的情况^[12]。基于启发式算法的优化方式虽然不受该因素的限制而直接运用到组合优化问题中，但随着电路规模的增大，其运行时间将大大增加^[13]，这一缺点限制了这类优化方法的应用范围。同样，为了改善启发式算法的复杂度问题而采取的一些近似策略往往导致优化结果陷入局部极值。除以上问题外，门级网表静态功耗优化中的另一难点是精确计算逻辑门单元的延时和功耗。目前，门单元的功耗和延时没有解析模型，即使采用牺牲一定精度的近似计算也因其高度非线性和较高的计算复杂度而难以融入现有的优化方法框架中^[8]，并且该方法往往导致静态功耗优化结果中出现延迟过度恶化的情况，优化的最终结果难以达到预定的设计要求。

着眼于以上问题，为了兼顾电路的时序和功耗要求，本文提出一个多步骤优化方法，从整体上考察电路的结构特点和性能要求，在不断的迭代优化中充分发挥各方法的优势，取得以最小延迟违规代价实现最大程度改善静态功耗的目的。该方法结合了整数规划和启发式算法，充分利用了多种物理、电学参数单元($W+V_{th}+L$)的延迟、功耗特性，在迭代的过程中渐进地对电路中的门单元进行替换和时序修复以减小电路的静态功耗。其次，该方法不依赖于任何特定的先期优化结果(如最小延时或最小面积)，使其能够适用于目前主流的的自动化设计流

程中。本文结构安排如下，首先将对优化流程中各阶段进行描述，然后给出本文的实验结果及结论。在后文中，除非单独指出，所有功耗均指静态功耗。

2 门级网表静态功耗优化方法

本文的优化方法从一个没有时序违规的门级网表设计开始。如前所述，该网表无需任何额外约束条件，通过综合工具经由行为级描述综合后产生或全定制方式设计产生的网表均可适用。整体优化流程分为3个主要步骤，如图1所示。首先利用整数规划模型(ILP)进行静态功耗优化。通过求解该模型可以确定在整体电路满足时序约束并取得最大功耗改善条件下，当前网表中哪些门节点可以被一个较低功耗的等效单元所替换。其次，利用分层周游的方法，结合当前单元和节点的负载与驱动能力情况与ILP模型的解中所选取的等效单元进行逻辑节点替换。最后采用基于路径的优化方法以最小的功耗代价进行时序修复。

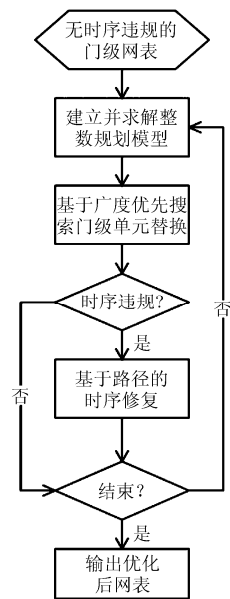


图1 本文优化方法整体流程

2.1 基于整数规划模型的静态功耗优化

本文采用整数规划方法(ILP)优化一个满足时序约束的门级网表的功耗。其主要思想是充分利用单元库中不同物理和电学特性($W+L+V_{th}$)的等效单元替换电路中相应的逻辑门，使得替换后的设计在满足时序约束的同时降低静态功耗，其中门级网表的时序约束转化为ILP模型约束，目标函数则对应于功耗改善量。形式上，对于任一门级网表，其功耗优化的问题ILP模式如式(1)所示。

$$\left. \begin{aligned} \min \sum_{v \in V} \beta_v \cdot \Delta P_v \\ \text{s.t. } a_s = 0 \\ a_t \leq T \\ a_u + w_{u,v} + d_v^u \leq a_v \quad (\forall v \in V, u \in \text{fanin}(v)) \\ d_v^u = d_{v,0}^u + \beta_v \cdot \Delta d_v^u \\ \beta_v \in \{0,1\} \end{aligned} \right\} (1)$$

其中, (1) $\Delta P, \Delta d_v^u$ 分别为逻辑门的候选替换单元相较于当前单元的功耗增量和延迟增量; (2) a_s 和 a_t 分别为网表 G 中源节点和汇节点的到达时间; 对 G 中的任一逻辑门节点 v , $\text{fanin}(v)$ 表示其扇入节点集合, a_v 和 a_u 为该节点及其扇入节点 u 的到达时间; (3) d_v^u 为逻辑门节点 v 中从 u 至 v 的时序弧对应的延迟, $d_{v,0}^u$ 为当前所选择逻辑单元的延迟; $w_{u,v}$ 为互联延迟; (4) β 为 0-1 决策变量, 表明是否对逻辑门 v 进行等效单元替换。

在式(1)所示问题中, 约束条件中互联延迟和原始单元时序弧延迟可以通过时序分析工具求得, 同样对于每个等效替换单元, 延迟增量也可以运用时序分析工具求得。

2.1.1 ILP 模型目标函数的构建 在 ILP 模型中寻找每个逻辑门的功耗增量及其对应的替换单元是构成目标函数的关键步骤。对于任一逻辑门, 如果能够找到一个减小功耗的最优等效单元, 则该单元所对应的功耗改善量可以通过 0-1 决策变量变换为目标函数中的一个线性项。本文中, 我们通过考察功耗-时序与练灵敏度的方式选择最优等效单元。具体地, 对网表中的每一逻辑门, 根据如下规则选取模型中所用的替换单元:

(1) 若存在等效单元集合且其中所有元素满足 $\Delta S > 0$ 且 $\Delta P < 0$, 则选取该集合中的单元 ω 使得 ΔP 最小且满足 $\Delta S > 0$, 否则转(2);

(2) 对其余等效单元依照式(2)选取最优等效单元, 即选取单元 ω 使之具有最优功耗-时序裕量灵敏度, 同时满足 $\Delta S < 0$ 且 $\Delta P < 0$ 。

$$\max_{\omega \in C(g)} \{\Delta P(\omega, \omega_0) / \Delta S(\omega, \omega_0)\}, \Delta P < 0, \Delta S < 0 \quad (2)$$

其中 $\Delta P, \Delta S$ 分别为等效单元 ω 的功耗和时序裕量增量, g 为网表中的任一逻辑门, $C(g)$ 为该逻辑门的等效单元集合, ω_0 为当前逻辑门所使用的单元。最优等效单元具有最小的灵敏度, 这意味着该单元能以最小的时序代价换取最大的功耗改善。当等效单元中不存在能够减小功耗的单元, 即当前逻辑门已经为最小功耗类型时, 可以通过令相应的决策变量为零的方式处理, 或者将其从目标函数中剔除, 同时标记其逻辑门不进行后续的替换。

当电路中某一逻辑门改变时整体电路的时序也将受到影响^[4]。为反映这一改变对前后级电路的时序影响, 同时避免耗时较长的整体电路时序的重新计算, 本文选取以当前逻辑门 g 为中心, 包含 3 级扇入/扇出逻辑的子电路计算时序裕量的增量。在这一过程中, 可以同时计算出电路的延时增量。

就单个逻辑门而言, 静态功耗是由众多二阶效应产生的静态电流导致的功率消耗。其中主导泄漏态(dominant leakage state)的漏电流占整到整体漏电流的 95%, 是静态功耗的主要来源^[2], 因此逻辑门的静态功耗可以利用式(3)快速计算。

$$P_s = \sum I_{i,i} \beta_i \quad (3)$$

式(3)中 β_i 为处于主导泄漏态 i 的概率, $I_{i,i}$ 为处于该状态的漏电流。为求得电路中每个逻辑门的主导泄露态概率, 本文使用门级仿真方法, 加载其正常运行过程中的激励并统计该过程中每个逻辑门的输入状态, 最后在其基础上计算出较为准确的主导泄露态的概率。

2.1.2 ILP 模型中时序约束的建立 文中 ILP 模型的约束条件可以通过分析时序图中各节点到达时间来建立^[9]。与静态时序分析时的图表示法不同, 为了保存每个逻辑门的物理实体意义, 本文采用基于门节点(gate node convention)的时序图。对于一个不存在组合逻辑反馈的同步电路, 其时序图(timing graph)可由一个有向无环图 $G=(V, E)$ 表征。其中任一结点 $v \in V$ 代表一个逻辑门或电路的输入/输出端口, 特别地, 一个时序单元的数据输入、输出端也分别由一个输出和输入端口替换。图 2 中任一条边 $e \in E$ 代表了逻辑门之间互联线或者两个节点之间的拓扑连接。为了处理同步电路的最大延迟约束条件, 可以在时序图 G 中引入一个源节点 s 和一个汇节点 t 。源节点直接与所有的输入端口连接, 汇节点与所有的输出端口连接, 则 G 转变为一个单周期时序图。一条时序路径 $P(v_i, v_j) = \langle v_i, v_{i+1}, \dots, v_j \rangle$ 由一系列首尾相继的节点与边组成。一般地, 一条时序路径起始于一个输入端口而终止于一个输出端口。电路中的物理单元延迟可以通过赋予 G 的节点非负权重实现, 互连线延迟通过给予每一条边 $e=(u,v)$ 的非负权重 $w_{u,v}$ 。对于每个逻辑门节点 u , 用 d_v^u 表示该逻辑门的连接至扇入节点 v 的时序弧(timing arc)的延迟。

以 a_u 表示某一节点 u 的到达时间, 其意义为逻辑门 u 输出端最晚跳变的时间。整个时序图的延时约束不等式条件可以通过列写每一节点的到达时间

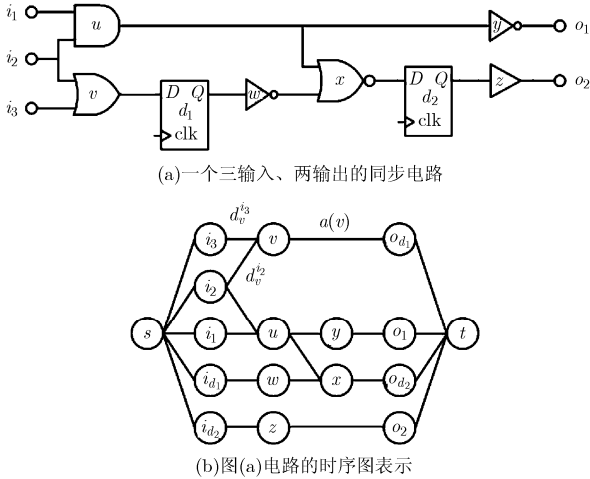


图2 同步电路及时序的图表示法

(arrival time)关系得到。例如，图 2 显示了一个三输入、两输出的电路及时序图。图中寄存器的输入、输出管脚被输出、输入节点替换。以其中的两输入逻辑门 v 为例，以 a_v 表示到达时间， d_v^{i3} 和 d_v^{i2} 分别为连接端口 i_3 和 i_2 至输出的两条时序弧的延迟，其到达时间约束为

$$\left. \begin{aligned} a_{i_2} + w_{i_2,v} + d_v^{i_2} &\leq a_v \\ a_{i_3} + w_{i_3,v} + d_v^{i_3} &\leq a_v \\ d_v^{i_2} &= d_{v,0}^{i_2} + \beta_v \cdot \Delta d_v^{i_2} \\ d_v^{i_3} &= d_{v,0}^{i_3} + \beta_v \cdot \Delta d_v^{i_3} \end{aligned} \right\} \quad (4)$$

时序约束条件也可以处理不同极性的时序弧 (timing sense)。仍以上述逻辑门 v 为例并假设其输入输出时序弧均为负极性 (negative unate)。在该条件下从节点 i_3 至 v 输出端路径中， i_3 输出的一个上升沿跳变将导致输出节点一个反方向的跳变。此时原式中对应的时序约束变为

$$\left. \begin{aligned} a_{i_3,r} + w_{i_3,v} + d_{v,f}^{i_3} &\leq a_{v,f} \\ d_{v,f}^{i_3} &= d_{v,0,f}^{i_3} + \beta_v \cdot \Delta d_{v,f}^{i_3} \end{aligned} \right\} \quad (5)$$

对时序图 G 按照拓扑序对进行周游，并在每个节点处按照式(4)和式(5)可以列写出整个 ILP 模型延时约束。其中的两个特殊节点分别对应 G 中的源节点和汇节点，在以上两节点处两种极性的到达时间分别为 $a_{s,r|f} = 0$ 和 $a_{t,r|f} \leq T$ 。

2.2 逻辑单元分层替换

通过 ILP 模型求解 0-1 决策变量 β ，可以确定待优化电路中每个逻辑门节点是否被替换。对电路中的任一节点，若决策变量 $\beta = 1$ ，表明该节点可以被选定的等效单元替换。但如前所述，电路中的某一逻辑门被替换时将会对周围的逻辑门延迟产生影

响。而在 ILP 模型中所采用的线性函数难以对该影响建模，这将造成延迟计算的误差^[13]，若直接基于该结果进行单元替换可能造成时序的严重恶化，导致下一阶段迭代过程中没有可用的时序裕量，迫使优化流程过早退出或者优化结果陷入局部极值。例如，某一逻辑门按照 ILP 模型的解被一个较小驱动能力单元替换，同时该门的一个扇出节点被一个大尺寸的低功耗单元替换，此时该门电路驱动较大的电容负载造成整体延时增大，增大后的输出摆率向后传播将增大后级电路延迟，可能造成较大的时序违规，而这一违规并没有被反映到 ILP 模型中。为解决该问题，本文采用广度优先搜索从输出节点向输入节点分层遍历整个电路^[14]，同时根据 ILP 模型求解结果和每个节点的扇出情况选择替换单元。具体而言，在每个可替换节点处，按照先沟道长度后阈值电压的顺序选择合适的单元，如下所示：

- (1)若 ILP 模型选择单元与目前单元驱动能力相同，则选择该单元，否则转(2)；
- (2)选择与节点单元驱动能力相同，阈值相同的长沟道器件，若目前单元为最长沟道器件转(3)；
- (3)选择与节点单元驱动能力相同，高一级阈值电压的最长沟道器件，若目前单元已经为最高阈值、最长沟道器件，则不替换当前单元。

图 3 显示了以上规则所确定的具体替换方式。由 ILP 求得节点 x 的替换单元驱动能力小于原始单元，其扇出节点 v 在前一层周游中被一个大驱动能力单元替换，最终将按照以上规则选取高阈值、最长沟道器件 NAND_HVT_P05 替换该节点。

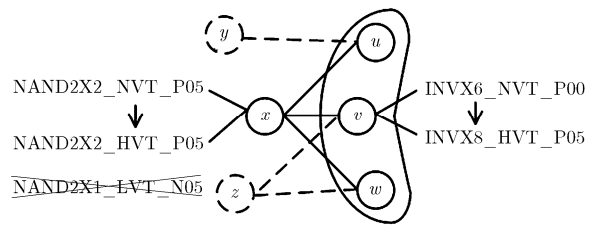


图3 逻辑单元分层替换方法的示例

按照以上分层方法替换后，更大尺寸的器件倾向于替换每条时序路径中靠后的单元，同时保持了前级单元的驱动能力。可以减少因 ILP 建模缺陷导致的时序违规。

2.3 基于路径的时序修复

在完成单元替换后，本文利用基于路径的优化方法对前一阶段的结果进行时序优化，修复前两个阶段可能造成的时序违规情况。在这一阶段优化中，将以最小功耗增量为代价，依次优化每一条时序违规路径。

基于路径的时序优化将从该路径的起始节点向扇出节点方向进行,并依次寻找每个节点的替换单元。每个候选单元首先被计算其代价函数值,然后选择最小代价的单元对该逻辑门进行替换,其中候选单元的代价由功耗增量及某一时序参量倒数的线性加权构成,如式(6)所示。

$$\text{cost} = a \cdot \Delta P + b \cdot \Delta t^{-1} \quad (6)$$

其中, a 和 b 为权重系数, Δt 为时序参量。一般而言,为实现以最小功耗换取最大的延迟改善需要满足 $a \gg b$, 以提高功耗所占的权重。

在估算待选择单元的延迟时,由于不能准确知道扇入扇出信息,延迟计算只能得到近似值^[5]。例如,当某一逻辑门的扇入节点已经选择了一个驱动能力较小的替换器件时,该逻辑门的实际输入摆率将大于延迟估算时所采用摆率,导致实际延迟增量大于估算值。因此在以上时序修复过程中,选取该时序路径的最差时序裕量(WNS)增量与一超调量 α_m 之和作为代价函数中的时序参量。加入的超调量可以弥补估算中的延时误差,以确保优化结果仍处于超调量所规定范围内。其次,作为功耗优化后的时序恢复,并不需要对路径中的所有节点进行优化,以降低复杂度并减少运行时间;同时,考虑到已被替换的单元倾向于出现在路径的后部,为避免在同一节点处迭代过程中产生功耗、时序之间的反复优化,该阶段步骤将在目标函数大于零时立即停止优化,达到以尽可能小的改动替换逻辑门节点。

3 实验结果

本文算法在一台 Linux 服务器上用 C++ 和 Tcl 混合实现。服务器配置为 Intel Xeon 处理器,运行频率为 2 GHz,主存容量为 32 GB。整体算法流程中,C++ 用以实现时序优化,候选替换单元选取、替换和 ILP 模型的建立;Tcl 用以胶连整个算法流程,并与时序分析工具及 ILP 模型求解器之间通信。在实验中,本文选取 Synopsys PrimeTime 工具集作为时序和功耗分析工具,GNU 开源工具 lp_solver 为 ILP 求解器。其中,PT 工具集也被选做本文优化后的结果的评估工具。

本文的测试电路集选用基于 65 nm 工艺标准单元实现的电路设计^[6],测试电路的概况总结于表 1。测试电路设计采用的 65 nm 标准单元库为多阈值和多沟道长度设计,在每个工艺拐点下每种宽度的逻辑门共计有 9 个等效功能单元。测试电路均采用半定制流程设计,RTL 级设计取自 OpenCores,经综合与布局布线产生最终版图设计,并提取网表和线网的寄生参数以进行详细的时序分析。本文中的每

表 1 测试电路整体概述

测试用例	时钟周期(ns)	单元数	初始静态功耗(μ W)
SASC	0.50	624	23.44
SPI	1.00	2887	96.11
AES	1.20	19363	639.86
JPEG	2.40	142811	5380.78

个测试电路均为同步设计,因此最大延时约束即选定为该电路对应的时钟周期。在应用本文算法时,整体流程的结束标准设置为 50 次迭代或者前后两次优化结果之差小于当前值的 5%;在时序优化中选取的功耗权重与延时权重分别为 100 和 10。

图 4 给出了本文与文献[6]中结果及商用工具 Encounter 优化结果的比较。图中列出了每种优化方法的功耗改变量与改善比列的结果。从对比中可以看出,在静态功耗优化方面,包括本文方法在内没有一种方法能够完全寻找到最优结果,但每种方法均取得了大致相同的优化效果。在针对具体测试电路的实验结果中,本文方法在两个测试电路上取得了更好的功耗优化结果,在与 Encounter 的对比中有 3 个测试电路得到了更好的静态功耗的改善。在优化后结果的时序约束上,本文方法能够更好地减少优化后的时序违规情况,其结果如图 5 所示。在每个测试电路中,本文方法结果的最大延时均小于前两种方法,特别地,电路 SASC 和 JPEG 在保证较好时序结果的同时,其静态功耗优化结果也好于前两种方法。从实际设计角度看,设计中过大的时序违规必须修复,以避免电路运行在不可接受的较低速度上,但进一步的时序优化必将导致静态功耗的增大和多次的迭代设计,增加设计难度。

4 结论

本文提出一种多阶段迭代方法以求解在时序约束下 CMOS 门级电路静态功耗的优化设计问题。该方法以降低门级电路中可用时序裕量的方式优化整体电路的静态功耗。在整体优化流程中,通过整数规划为每个门电路选择具有最优功耗-时序裕量灵敏度替换单元的方式,避免了采用线性规划方法时易陷入局部最优解的情况;与此同时,在优化流程增加一个时序修复阶段,不仅可以降低优化结果的最大延时,而且为下一次迭代过程提供了可用的时序裕量,避免了迭代过程中关键路径延时的过度恶化。实验表明,本文方法在测试电路中取得了良好的优化结果,个别电路功耗改善比例最高可达 26%。同其它方法相比,该方法可以在不降低功耗优化质

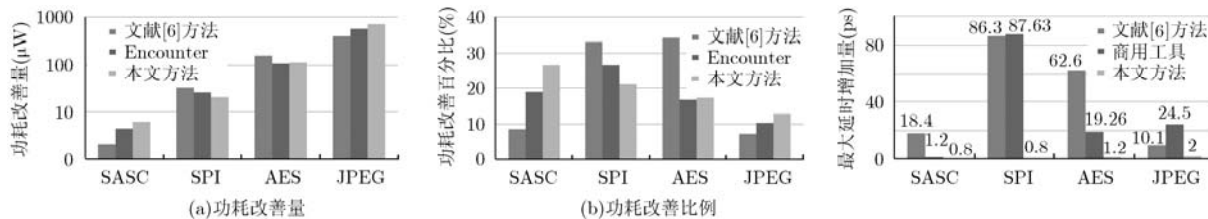


图 4 本文方法与文献[6]及商用工具功耗优化结果的比较

图 5 本文方法与文献[6]及商用工具优化后时序结果的比较

量的同时避免时序过度恶化的现象，优化后电路的最大延时违反量限制在 5 ps 以内。随着功耗指标在电路设计中重要性的日益提升，该方法在基于多阈值、多沟道长度标准单元的集成电路设计中具有广泛的应用前景。对于具体设计而言，该方法还可以通过设定不同的优化参数以适应门级电路的特殊设计规范和时序要求，最终达到优化电路静态功耗的目的。

参考文献

- [1] Narendra S. Challenges and design choices in nanoscale CMOS[J]. *ACM Journal on Emerging Technologies in Computing Systems*, 2005, 1(1): 7-49.
- [2] Kao J, Narendra S, and Chandrakasan A. Subthreshold leakage modeling and reduction techniques[C]. Proceedings of International Conference on Computer-Aided Design, San Jose, 2002: 141-149.
- [3] Chinnery D. High performance and low power design techniques for ASIC and custom in nanometer technology[C]. Proceedings of International Symposium on Physical Design, San Jose, 2013: 25-32.
- [4] Coudert O. Gate sizing for constrained delay/power/area optimization[J]. *IEEE Transactions on Very Large Scale Integration*, 1997, 5(4): 465-472.
- [5] Gupta P, Kahng A B, Sharma P, et al. Gate-length biasing for runtime-leakage control[J]. *IEEE Transactions on Computer-Aided Design*, 2006, 25(8): 1475-1485.
- [6] Srivastava A, Sylvester D, and Blaauw D. Power minimization using simultaneous gate sizing, dual-Vdd and dual-Vth assignment[C]. Proceedings of Design Automation Conference, San Diego, 2004: 783-787.
- [7] Livramento V S, Guth C, Güntzel J L, et al. Fast and efficient lagrangian relaxation-base discrete gate sizing[C]. Proceedings of the Conference on Design, Automation and Test in Europe, Grenoble, 2013: 1855-1860.
- [8] Nguyen D, Davare A, Orshansky M, et al. Minimization of dynamic and static power through joint assignment of threshold voltages and sizing optimization[C]. Proceedings of International Conference of Low Power Electronics and Design, Seoul, 2003: 158-163.
- [9] Jeong K, Kahng A B, and Yao H. Revisiting the linear programming framework for leakage power vs. performance optimization[C]. Proceedings of International Conference on Quality of Electronic Design, San Jose, 2009: 233-239.
- [10] 徐勇军, 骆祖莹, 李晓维. 双阈值 CMOS 电路静态功耗优化[J]. *计算机辅助设计与图形学报*, 2003, 15(3): 264-269.
Xu Yong-jun, Luo Zu-ying, and Li Xiao-wei. Optimization of static power for dual threshold CMOS circuits[J]. *Journal of Computer-Aided Design and Computer Graphics*, 2003, 15(3): 264-269.
- [11] 李先锐, 葛海波, 来新泉, 等. 芯片动态门限静态功耗的优化技术[J]. *电子科技大学学报*, 2009, 38(3): 443-446.
Li Xian-rui, Ge Hai-bo, Lai Xin-quan, et al. Optimization techniques of static power dissipation in chip with dynamical threshold[J]. *Journal of University of Electronic Science and Technology of China*, 2009, 38(3): 443-446.
- [12] Hu J, Kahng A B, Kang S H, et al. Sensitivity-guided metaheuristics for accurate discrete gate sizing[C]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design, San Jose, 2012: 233-239.
- [13] Lee J and Gupta P. Discrete circuit optimization: library based gate sizing and threshold voltage assignment[J]. *Foundation and Trends in Electronic Design Automation*, 2012, 6(1): 1-120.
- [14] Liao C and Hu S. Approximation scheme for restricted discrete gate sizing targeting delay minimization[J]. *Journal of Combinatorial Optimization*, 2011, 21(4): 497-510.
- [15] Ozdal M M, Burns S, and Hu J. Algorithms for gate sizing and device parameter selection for high-performance designs[J]. *IEEE Transactions on Computer-Aided Design*, 2012, 31(10): 1558-1571.
- [16] Kahng A B, et al. Benchmark suite for gate sizing[OL]. <http://vlsicad.ucsd.edu/SIZING/testcases.html>, 2013.5.

舒毅：男，1984年生，博士生，研究方向为数字集成电路的设计与优化方法。

蔡刚：男，1980年生，博士，助理研究员，主要研究方向为集成电路设计与抗辐照加固研究。

杨海钢：男，1960年生，博士生导师，研究员，主要从事数模混合信号 SoC 设计和大规模集成电路设计等方面的工作。