

电流型 CMOS 脉冲 D 触发器设计

姚茂群^{*①} 张立彬^① 耿亮^②

^①(杭州师范大学国际服务工程学院 杭州 311121)

^②(浙江大学信息与电子工程学系 杭州 310027)

摘要: 该文根据脉冲触发器的设计要求, 结合阈算术代数系统, 提出一种电流型 CMOS 脉冲 D 触发器的通用结构, 用于二值及多值电流型 CMOS 脉冲触发器的设计, 并可方便地应用于单边沿和双边沿触发。在此结构的基础上设计了电流型 CMOS 二值、三值以及四值脉冲 D 触发器。采用 TSMC 180 nm CMOS 工艺参数对所设计的电路进行 HSPICE 模拟后表明所设计的电路具有正确的逻辑功能和良好的瞬态特性, 且较以往文献提出的电流型 D 触发器, 优化了触发器的建立时间和保持时间, 二值和四值触发器最差最小 D-Q 延时比相关文献的主从触发器降低了 59.67% 和 54.99%, 比相关文献的边沿触发器降低了 4.62% 以上, 所用晶体管数也相对减少, 具有更简单的结构以及更高的电路性能。

关键词: 集成电路; 通用结构; 电流型 CMOS 电路; 脉冲 D 触发器; 阈算术代数系统; 和图

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2014)09-2278-05

DOI: 10.3724/SP.J.1146.2013.00343

Design of Current-mode CMOS Pulse-triggered D Flip-Flops

Yao Mao-qun^① Zhang Li-bin^① Geng Liang^②

^①(*Institute of Service Engineering, Hangzhou Normal University, Hangzhou 311121, China*)

^②(*Department of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China*)

Abstract: With the requirements of pulsed-triggered Flip-Flop and the threshold-arithmetic algebraic system, a novel universal structure of current-mode CMOS pulsed-triggered D Flip-Flop is proposed for binary and multi-valued current-mode CMOS pulsed-triggered D Flip-Flops design. Based on the proposed structure, a Binary Current-Mode CMOS pulse-triggered D Flip-Flop (BCMPDFF), a Ternary Current-Mode CMOS Pulse-triggered D Flip-Flop (TCMPDFF) and a Quaternary Current-Mode CMOS Pulse-triggered D Flip-Flop (QCMPDFF) are designed, respectively, and the designed Flip-Flops can be easily incorporated into single and double edge-triggered design. The HSPICE simulation using TSMC 180 nm CMOS technology show that the designed D Flip-Flops based on the proposed universal structure have the correct logic function. The setup time and hold time of the designed Flip-Flops are optimized, respectively. Comparing to the published current-mode CMOS master-slave D Flip-Flops, the worst minimum D-Q delay of BCMPDFF and QCMPDFF can be reduced by 56.97% and 54.99%, respectively, comparing to the published current-mode CMOS edge-triggered D Flip-Flops, the worst minimum D-Q delay can be reduced by at least 4.26%. The designed Flip-Flops have the advantage of fewer transistors, relatively simpler structure and higher performance.

Key words: Integrated Circuit (IC); Universal structure; Current-mode CMOS circuits; Pulse-triggered D Flip-Flop; Threshold-arithmetic algebraic system; HE map

1 引言

随着集成电路规模和速度的提高, 功耗问题越发显得突出, 最直接有效的方法是降低电源功耗^[1]。电流型电路与电压型电路相比, 可工作在更低的电

源电压, 且随着工作频率的提高, 电流型电路的功耗基本不变, 有利于电路的低功耗设计; 对于多值电路来说, 电压型电路在设计中, 需要增加电源数且输出电压形式单一^[2], 而电流信号易于实现多种信号算术运算, 在增加基数时不降低逻辑摆幅, 抗干扰能力强, 因此电流型电路越来越受到重视^[3-10]。

低功耗、高速度的触发器在高性能数字集成电路设计中起到至关重要的作用^[11,12], 脉冲型触发器

2013-03-18 收到, 2014-06-23 改回

国家自然科学基金(61271124), 浙江省自然科学基金(LY13 F010001)和杭州市科技项目(20130533B10)资助课题

*通信作者: 姚茂群 yaomaqun@163.com

较传统的主从型触发器具有负的建立时间和软边沿等特性, 输入-输出延时(D-Q delay)小, 有利于提高电路的速度^[12]。文献[13,14]针对电流型电路的设计提出了阈算术代数系统, 并提出和图的概念, 即为阈算术函数的图形表示, 其作用相当于卡诺图, 且阈算术函数间的相互运算可通过对应的和图的相互运算直接得到, 使运算过程更加直观, 阈算术代数系统及和图已成功应用于电流型组合电路的设计。本文在该系统基础上, 根据脉冲触发器的设计要求, 提出电流型 CMOS 脉冲 D 触发器的通用结构, 并具体设计了二值与多值电流型 CMOS 脉冲 D 触发器。与相关文献提出的电流型 CMOS 主从和边沿触发器比较, 本文提出的 D 触发器具有结构简单、性能高及可方便应用于单、双边沿触发等优点。

2 电流型 CMOS 脉冲 D 触发器的通用结构

2.1 电流型 CMOS 脉冲触发器的通用结构

脉冲型触发器通常包含信号输入、时钟控制和信号保持 3 部分。信号输入部分由一系列的晶体管来查看和捕捉输入信号, 时钟控制部分由晶体管控制信号传输时序, 信号保持部分用来存储保持信号。本文提出的通用结构如图 1 所示, 其输入信号 I_{in} 和输出信号 I_{out} 为二值或多值电流信号, $clkp$ 为外部时钟脉冲发生器产生的二值脉冲电压信号^[12]。信号输入部分实现电流电压信号转换, 并实现对多值信号的译码; 时钟控制部分实现对传输的二值电压信号的时序控制; 信号保持部分是由多组电流镜组成, 用来存储和保持二值信号, 在设计多值触发器时, 利用电流信号易于相加的特点将所保持的二值信号进行相加后输出。

2.2 电流电压转换译码器设计

根据图 1 结构和信号输入部分的功能, 本文提出电流电压转换译码器, 作为通用结构的信号输入部分。在多值电路设计中, n 值电路转换为二值电路, 至少需要 k 位二值信号($2^{k-1} < n < 2^k$)。本文提出的译码器输入以电流信号表示, 输出以电压信号表示。输入为二值电流信号时, 电流电压转换译

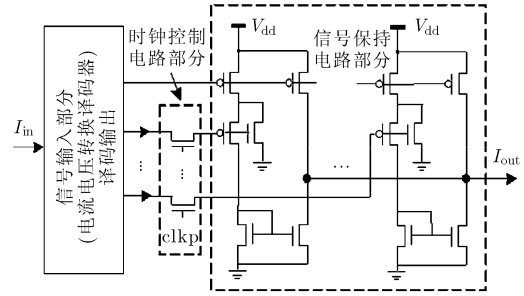


图 1 电流型 CMOS 脉冲 D 触发器的通用结构

码器只完成电流电压信号的转换, 其结构如图 2(a)所示, 其中 I_0 为恒流源, 对应的 PMOS 管沟道宽度取 $W_3 = W_4$, I_{in} 表示输入电流信号, V_0 表示输出电压信号, 当 $I_{in} = 1$ 时, $V_0 = 0$, 当 $I_{in} = 0$ 时, $V_0 = 1$; 对于输入为多值电流信号时, 电流电压转换译码器负责完成电流电压信号转换和译码, 以三值信号为例, 三值信号至少需两位二值信号表示, 其和图如图 2(b)表示^[13,14], 其中 I_{in} 表示输入的三值电流信号, V_{out} 表示输出的电压信号, 用二值信号 V_0 和 V_1 表示。根据阈算术代数系统^[13,14], 可得 V_0 和 V_1 的阈算术函数为: $V_0 = \langle I_{in} \rangle^{0.5}$, $V_1 = \langle I_{in} \rangle^{1.5}$, 由此可得三值电流电压转换译码器如图 2(c)所示, 其中需两个固定检测阈值 0.5 和 1.5 对应的电流为 $0.5I_0$ 和 $1.5I_0$, 对应的 PMOS 管沟道宽度取 $W_4 = 0.5W_3$, $W_5 = 1.5W_3$ 。同理可设计更高基数的译码器。

3 电流型 CMOS 脉冲 D 触发器设计

3.1 电流型 CMOS 二值脉冲 D 触发器的设计

根据图 1 结构, 信号输入部分为图 2(a)所示二值电流电压转换译码器, 时钟控制部分只需一个晶体管控制, 信号保持部分只需一组镜像电流源用来存储和保持电流信号, 可得电流型 CMOS 二值脉冲 D 触发器(Binary Current-Mode CMOS Pulse-triggered D Flip-Flop, BCMPDF)如图 3 所示。

3.2 电流型 CMOS 三值脉冲 D 触发器的设计

根据图 1 结构, 信号输入部分为图 2(c)所示三值电流电压转换译码器, 时钟控制部分需要 2 个晶

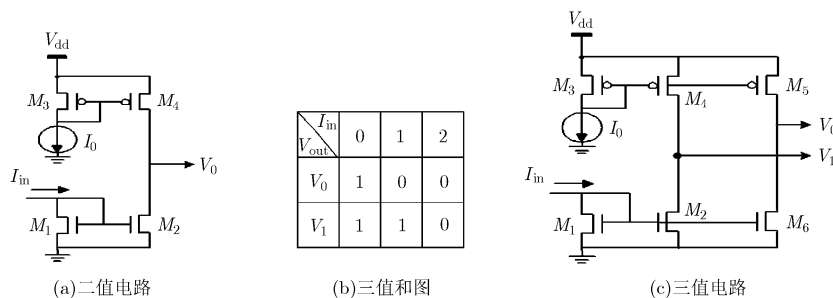


图 2 电流电压转换译码器

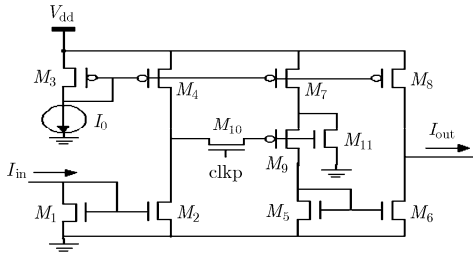


图 3 电流型 CMOS 二值脉冲 D 触发器

体管控制，信号保持部分需要两组电流镜用来存储和保持电流信号。可得电流型 CMOS 三值脉冲 D 触发器 (Ternary Current-Mode CMOS Pulse-triggered D Flip-Flop, TCMPDFF)如图 4 所示。

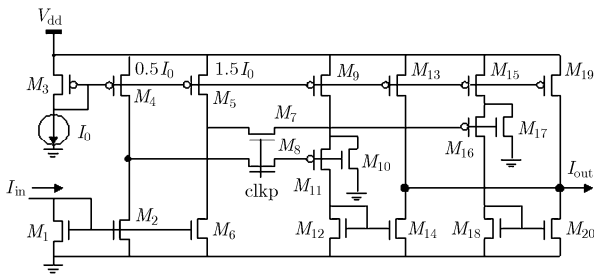


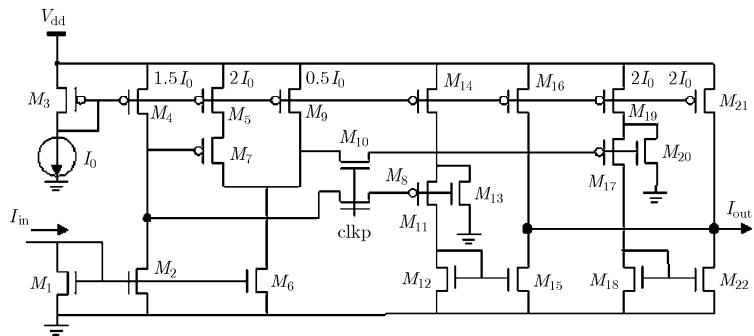
图 4 电流型 CMOS 三值脉冲 D 触发器

3.3 电流型 CMOS 四值脉冲 D 触发器的设计

根据图 1 结构，信号输入部分为四值电流电压转换译码器，至少需两位二值信号表示，其和图如图 5(a)所示。其中 I_{in} 为输入的四值电流信号， V_{out} 为输出的电压信号，用二值信号 V_0 和 V_1 表示。根据阈值算术代数系统，可得 V_0 和 V_1 的阈值函数为： $V_0 = \langle I_{in} \rangle^{1.5}$ ， $V_1 = \langle I_{in} \rangle^{0.5} + \langle I_{in} \rangle^{2.5}$ ，根据控阈技术^[15]，可将 V_0 和 V_1 的阈值函数转换为： $V_0 = \langle I_{in} \rangle^{1.5}$ ， $V_1 = \langle I_{in} \rangle^{2V_0+0.5}$ 。可得四值电流电压转换译码器，在此基础上可得电流型 CMOS 四值脉冲触 (Quaternary Current-Mode CMOS Pulse-triggered D Flip-Flop, QCMPDFF)如图 5(b)所示。

$V_{out} \setminus I_{in}$	0	1	2	3
V_0	1	1	0	0
V_1	1	0	1	0

(a) 四值和图



(b) 电路

图 5 电流型 CMOS 四值脉冲 D 触发器

4 仿真与讨论

对本文所设计的电流型 CMOS 脉冲 D 触发器均采用 TSMC 180 nm 工艺参数进行 HSPICE 模拟，模拟时触发器中恒流源 $I_0 = 20 \mu A$ ，电源电压 $V_{dd} = 1.8 V$ 。3 个触发器均采用外部时钟脉冲发生器^[15]，脉冲发生器可为单、双边沿。时钟脉冲发生器产生一个短暂的时钟脉冲 clkp 使时钟控制电路做短暂导通，使信号输入电路转换和译码后的二值电压信号传输给多组电流镜，控制电流镜来存储和保持电流信号，然后将输出的电流信号经过相加得到正确的输出。3 个触发器电路中产生 $0.5I_0$ 的 PMOS 管沟道宽度均取 $W = 360 \text{ nm}$ ，产生 $1.5I_0$ 的 PMOS 管均取 $W = 900 \text{ nm}$ ，产生 $2I_0$ 的 PMOS 管均取 $W = 1440 \text{ nm}$ ，其余的 NMOS 管 $W = 360 \text{ nm}$ ，PMOS 管 $W = 720 \text{ nm}$ ，负载电容均为 50 pF 。

仿真结果如图 6 所示，其中时钟脉冲信号 clkp 由频率为 250 MHz 单边沿或频率为 125 MHz 双边沿时钟脉冲发生器产生， I_{in} 的逻辑值 (0, 1, 2, 3) 对应的电流为 (0 μA , 20 μA , 40 μA , 60 μA)，时钟 clkp 的逻辑值 (0,1) 对应的电压为 (0 V, 1.8 V)，输出信号 I_{out} 。模拟结果显示所设计的触发器具有正确的逻辑功能和良好的瞬态特性。

表 1 为由本文设计的电流型 CMOS 二值、三值和四值显性脉冲 D 触发器和文献^[16]设计的二值电流型主从触发器 (Master Slave Single Edge-Triggered, MS-SET)、单闩锁电流型单边沿触发器 (One-Latch Single Edge-Triggered, 1L-SET) 和单闩锁电流型双边沿触发器 (One-Latch Double Edge-Triggered, 1L-DET) 以及文献^[17]设计的四值电流型主从触发器 (Master Slave Quaternary Single Edge-Triggered, MS-QSET)、四值单闩锁电流型单边沿触发器 (One-Latch Quaternary Single Edge-Triggered, 1L-QSET) 和四值单闩锁电流型双边沿触发器 (One-Latch Quaternary Double

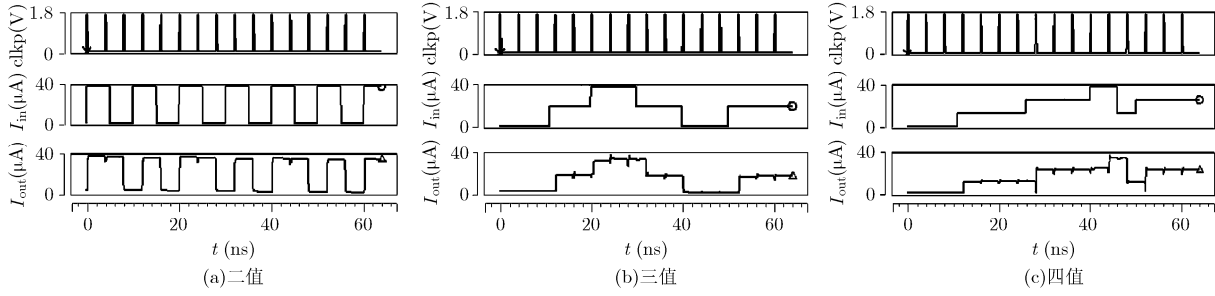


图 6 电流型 CMOS 脉冲 D 触发器瞬态波形

表 1 电流型触发器的性能比较

触发器类型	触发器名称	总功耗 (μW)	最差最小 D-Q 延时(ns)	所用晶体管数
二值	MS-SET ^[16]	168.27	1.220	22
	1L-SET ^[16]	171.17	0.584	15
	1L-DET ^[16]	165.25	0.847	19
	BCMPDFF*	159.78	0.492	11
三值	TCMPDFF*	244.93	0.734	20
	MS-QSET ^[17]	406.36	1.651	31
四值	1L-QSET ^[17]	294.01	0.779	20
	1L-QDET ^[17]	269.25	0.906	24
	QCMPDFF*	383.37	0.743	22

注：*表示本文所设计电路采用单边沿时钟发生器。

Edge-Triggered,1L-QDET)比较。表 1 所示的触发器都是在单边沿时钟频率 250 MHz 和双边沿时钟频率 125 MHz，输入信号开关频率 α 为 10% 的情况下测得的性能数据，本文采用总平均功耗作为触发器的功耗指标，它包括了触发器的内部功耗、时钟驱动功耗和数据驱动功耗，其中触发器的内部功耗不包括驱动外负载的功耗。由表 1 可以看出，本文所设计的触发器总功耗较低。在所用晶体管方面，本文提出的通用结构所设计的 BCMPDFF 晶体管数比 MS-SET, 1L- SET 和 1L-DET 少了 11 个，4 个和 8 个；QCMPDFF 所用晶体管数较 1L-QSET 多了 2 个，较 MS-SET 和 1L-QDET 分别少了 6 个和 2 个。

最小 D-Q 延时的数据比较中，通过多次扫描触发器在不同时钟边沿对输入信号不同跳变下的响应，同时优化建立时间来得到的最小 D-Q 延时，本文是取在输入信号不同跳变情况下的最差的最小 D-Q 延时。

文献[16,17]所提出的触发器，时钟控制电路复杂，且都是用时钟控制电路将单个电流镜电路拆分，通过时序来控制电流镜的轮流组成，以此达到控制数据的传输和保持的目的，由于建立时间和保持时

间和时钟控制电路的复杂度以及触发器的工作原理有关，因此在二值触发器中，1L-SET 和 1L-DET 的时钟控制电路较 MS-SET 复杂，它们的最差最小 D-Q 延时大幅增加；在四值触发器的最差最小 D-Q 延时比较中也是同样的道理。由本文通用结构设计的 BCMPDFF, TCMPDFF 和 QCMPDFF 由于时钟控制电路由单个 MOS 管组成，且是控制电流镜之间的数据的传输和保持，所以具有较小的建立时间和保持时间，即具有较小的最小 D-Q 延时。在二值触发器的数据比较中，BCMPDFF 的最差最小 D-Q 延时较 MS-SET, 1L-SET 和 1L-DET 分别减少了 59.67%, 15.75%和 41.91%，在四值触发器的数据比较中，QCMPDFF 的最差最小 D-Q 延时较 MS-SET, 1L-QSET 和 1L-QDET 分别平均减少了 54.99%, 4.62%和 17.99%。

表 2 为所提出的电流型触发器在不同速度下的总功耗比较，由表 2 可以看出电流型触发器随着工作频率的提高，电流型电路的功耗基本不变，在低功耗设计上具有重要意义。

表2 不同速度下的总功耗比较

时钟频率(Hz)	总功耗 (μW)		
	BCMPDFF	TCMPDFF	QCMPDFF
125 M	130.02	204.20	344.50
250 M	130.16	206.28	343.45
500 M	130.12	206.45	344.30
1 G	129.76	206.30	344.83

5 结束语

阈算术代数系统的提出为电流型电路提供了一种简单有效的设计方法，本文应用阈算术代数系统，提出了一种电流型CMOS脉冲D触发器的通用结构，基于该结构可设计二值和多值电流型CMOS脉冲D触发器，且可方便应用于单、双边沿触发。本文提出的结构中，信号输入部分可通过阈算术代数

系统简化结构, 时钟控制部分采用单个晶体管控制, 优化了触发器的建立时间和保持时间, 提高了触发器的工作速度。根据提出的电流型CMOS脉冲触发器的通用结构所设计的触发器结构简单, HSPICE模拟结果表明所设计的触发器具有正确的逻辑功能, 功耗低, 速度快, 可以应用到高速低功耗集成电路设计中。

参 考 文 献

- [1] Masayuki M, Masakazu Y, and Koichiro F. A GHz MOS adaptive pipeline technique using MOS current-mode logic [J]. *IEEE Journal of Solid-State Circuits*, 1996, 31(6): 784-791.
 - [2] 邓小卫, 吴训威. 四值 I2L 电路的输出电流信号综合技术[J]. *计算机学报*, 1994, 17(1): 73-76.
Deng Xiao-wei and Wu Xun-wei. Synthesis technique for output current signals in quaternary I2L circuits[J]. *Chinese Journal of Computer*, 1994, 17(1): 73-76.
 - [3] Ngai K, Seng-Pan U, and Martins R P. A novel CMOS switched-current mode sequential shift forward inference circuit for fuzzy logic controller[C]. Proceedings of IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, 2008: 396-399.
 - [4] Ei Feki N B and Masmoudi D S. High performance dual-output second and third generation current conveyors and current-mode multifunction filter application[C]. Proceedings of 2009 6th International Multi-Conference on Systems, Signals and Devices, Djerba, Tunisia, 2009: 1-6.
 - [5] El-Hariry Y M and Madian A H. MOS current mode logic realization of digital arithmetic circuits[C]. 22nd International Conference on Microelectronics (ICM 2010), Cairo, Egypt, 2010: 128-131.
 - [6] 尹喜珍, 肖时茂, 马成炎, 等. 一种应用于全球导航卫星系统接收机的低功耗宽带压控振荡器[J]. *电子与信息学报*, 2012, 34(4): 1002-1006.
Yin Xi-zhen, Xiao Shi-mao, Ma Cheng-yan, et al.. A low power wide-band voltage controlled oscillator for global navigation satellite system receiver[J]. *Journal of Electronics & Information Technology*, 2012, 34(4): 1002-1006.
 - [7] 焦继业, 穆荣, 郝跃, 等. 面向移动图形顶点处理器的高性能低功耗定点特殊函数运算单元设计[J]. *电子与信息学报*, 2011, 33(11): 2764-2770.
Jiao Ji-ye, Mu Rong, Hao Yue, et al.. High performance and low power fixed-point special function unit for mobile vertex processors[J]. *Journal of Electronics & Information Technology*, 2011, 33(11): 2764-2770.
 - [8] 于云丰, 马成炎, 叶甜春. 一种应用于GNSS接收机的新型低功耗高速预分频[J]. *电子与信息学报*, 2010, 32(7): 1752-1755.
Yu Yun-feng, Ma Cheng-yan, and Ye Tian-chun. A new low-power high-speed prescaler in GNSS receivers[J]. *Journal of Electronics & Information Technology*, 2010, 32(7): 1752-1755.
 - [9] 姜小波, 叶德盛. 一种新型低功耗异步比较器的设计方法[J]. *电子学报*, 2012, 40(8): 1650-1654.
Jiang Xiao-bo and Ye De-sheng. A new design methodology of low power asynchronous comparator[J]. *Acta Electronics Sinica*, 2012, 40(8): 1650-1654.
 - [10] 吴学祥, 沈继忠. 用于显性脉冲式触发器的新型低功耗脉冲信号发生器[J]. *浙江大学学报(理学版)*, 2012, 39(4): 396-401.
Wu Xue-xiang and Shen Ji-zhong. Novel low-power pulse generators for explicit-pulse triggered flip-flops[J]. *Journal of Zhejiang University (Science Edition)*, 2012, 39(4): 396-401.
 - [11] Wang X and William H R. A low-power double edge-triggered flip-flop with transmission gates and clock gating [C]. Proceedings of IEEE International Midwest Symposium on Circuits and Systems (NWSCAS 2010), Washington, USA, 2010: 205-208.
 - [12] Dai Y and Shen J. Structure and design method for pulse-triggered flip-flops at switch level[J]. *Journal of Central South University of Technology*, 2010, 17(6): 1279-1284.
 - [13] 张官志, 姚茂群, 施锦河. 和图及其在 I2L 电路设计中的应用[J]. *电路与系统学报*, 2011, 16(6): 94-98.
Zhang Guan-zhi, Yao Mao-qun, and Shi Jin-he. HE map and its application in the design of I2L circuits[J]. *Journal of Circuits and Systems*, 2011, 16(6): 94-98.
 - [14] 姚茂群, 张官志, 施锦河. 阈算术代数系统及多值电流型 CMOS 电路设计[J]. *电子与信息学报*, 2012, 34(7): 1773-1778.
Yao Mao-qun, Zhang Guan-zhi, and Shi Jin-he. Threshold-arithmetic algebraic system and design of multiple-valued CMOS circuits[J]. *Journal of Electronics & Information Technology*, 2012, 34(7): 1773-1778.
 - [15] 吴训威, 杭国强. 基于控阈技术的并行式 A/D 转换器设计[J]. *电子与信息学报*, 2002, 24(2): 250-256.
Wu Xun-wei and Hang Guo-qiang. Design of parallel A/D converter based on threshold-controllable technique[J]. *Journal of Electronics & Information Technology*, 2002, 24(2): 250-256.
 - [16] 杭国强, 徐月华. 用于混合信号集成电路的低噪声电流型触发器[J]. *浙江大学学报(工学版)*, 2007, 41(4): 616-620.
Hang Guo-qiang and Xu Yue-hua. Novel low-noise current-mode flip-flops for mixed-signal integrated circuits[J]. *Journal of Zhejiang University (Engineering Science)*, 2007, 41(4): 616-620.
 - [17] 杭国强, 应时彦. 新型电流型 CMOS 四值边沿触发器设计[J]. *浙江大学学报(工学版)*, 2009, 43(11): 1970-1974.
Hang Guo-qiang and Ying Shi-yan. Novel current mode CMOS quaternary edge-triggered flip-flops[J]. *Journal of Zhejiang University (Engineering Science)*, 2009, 43(11): 1970-1974.
- 姚茂群: 女, 1967年生, 教授, 博士, 研究方向为数字集成电路与系统、嵌入式系统与应用研究。
张立彬: 男, 1986年生, 硕士生, 研究方向为低功耗数字集成电路与系统设计。
耿亮: 男, 1989年生, 博士生, 研究方向为低功耗数字集成电路与系统设计。