

一种高效的门级电路可靠度估算方法

蔡烁^{*①②} 邝继顺^① 刘铁桥^① 周颖波^①

^①(湖南大学信息科学与工程学院 长沙 410082)

^②(长沙理工大学计算机与通信工程学院 长沙 410004)

摘要: 随着半导体技术的不断发展, 芯片的集成度越来越高, 软差错已经成为影响电路可靠性的关键因素之一。为了有效评估软差错对电路的影响, 该文提出一种基于信号取值概率的门级电路可靠度估算方法。首先计算电路所有节点在软差错影响下的取值概率, 然后用故障模拟分析电路整体可靠性。通过对基准电路的实验并与概率转移矩阵方法进行比较, 该方法在不损失准确度的前提下, 在时间与空间开销方面都具有优势, 尤其适合估算特定向量和随机向量激励下电路的可靠度。

关键词: VLSI; 软差错; 概率门模型; 概率转移矩阵; 电路可靠度

中图分类号: TN406

文献标识码: A

文章编号: 1009-5896(2013)05-1262-05

DOI: 10.3724/SP.J.1146.2012.01169

An Efficient Reliability Estimation Method for Gate-level Circuit

Cai Shuo^{①②} Kuang Ji-shun^① Liu Tie-qiao^① Zhou Ying-bo^①

^①(School of Information Science and Engineering, Hunan University, Changsha 410082, China)

^②(School of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha 410004, China)

Abstract: With the development of semiconductor technologies and integration of chips, soft errors become the key factor influencing circuit reliability. In order to estimate the effects of soft errors, a reliability calculation method of gate-level circuit based on signals' probability is proposed. All signals' probabilities under soft errors are calculated first, and then the whole reliability is estimated using fault simulation. The proposed method is compared with the probabilistic transfer matrix approach and benchmark circuit experiments are finished, results show the method has the same accuracy as the Probabilistic Transfer Matrix (PTM) approach, but it needs shorter time and less space, especially suitable for calculation of reliability under specific vector and random vectors.

Key words: VLSI; Soft error; Probabilistic gate model; Probabilistic Transfer Matrix (PTM); Circuit reliability

1 引言

随着深亚微米、纳米工艺在 VLSI 电路中的应用, 软差错对电路的影响越来越严重。软差错, 也称为暂态差错, 是一种不可再生的间歇性故障。由软差错引起的威胁主要来自于宇宙射线, 尤其是大气中子、alpha 粒子冲击的影响。软差错率的增加导致电路可靠性降低^[1]。如何避免因受软差错攻击而导致电路发生故障成为电路设计者需要考虑的一个重要问题^[2]。本文工作是评估软差错对电路可靠度的影响。正确估算软差错影响下的电路可靠度可辅助容错设计。

针对门级电路, 比较典型的可靠性评估方法有

TP(Two Pass) 算法, EPP(Error Propagation Probability) 方法和 PTM(Probabilistic Transfer Matrix)方法。文献[3]考虑软差错攻击电路中的独立节点, 首先从电路的原始输出回退至输入端, 再利用概率模型往前计算至输出节点, 得到某个输入向量下的电路出错概率; 文献[4]选择电路中的某个节点为故障源, 且假定其发生差错的概率, 建立从该节点到可达输出的通路, 同时给定非通路上的线端信号概率, 由此分析差错在通路上的传播情况, 从而估计电路的失效率; 文献[5-9]使用概率门模型(probabilistic gate model), 通过建立门电路输入到输出的概率模型, 利用概率转移矩阵计算电路可靠度。上述方法本质都源于信号可靠性, 但各自都存在不足: TP 算法使用的概率模型不具代表性, 且算法在反向回退时需要消耗大量时间; EPP 算法只针对电路的部分通路建立模型, 也没有计算出电路的

2012-09-10 收到, 2013-01-11 改回

国家自然科学基金(60773207, 60673085)资助课题

*通信作者: 蔡烁 csustcs4002@163.com

整体可靠度；PTM方法使用矩阵的张量积和矩阵乘运算分析门级电路行为，可以用于评价整个电路的可靠性，但矩阵规模随电路信号端数的增加而呈指数级增长，难以用于大规模电路^[10]。

本文提出基于节点取值概率的门级电路可靠度估算方法，针对概率门模型，通过计算电路中所有节点的取值概率分析电路可靠度。用此方法计算特定向量或随机向量作用下的电路可靠度时，时空复杂度与电路规模呈线性关系，而且，通过小样本空间的随机向量激励计算得到的可靠度平均值并没有损失准确性。因此，在现有实验环境下，本方法适用于更大规模电路可靠度的评估。

2 概率门模型分析

对于 n 输入的和门，设第 i 个输入节点取值为 1 的概率为 q_i ，此节点取值为 0 的概率为 p_i 。在软差错的影响下，该门的正确输出概率 r 满足 $0 \leq r \leq 1$ ，此与门输出为 1 和输出为 0 的概率 q_{out} 和 p_{out} 分别为

$$q_{\text{out}} = r(q_1 q_2 \cdots q_n) + (1-r)(1 - q_1 q_2 \cdots q_n) \quad (1)$$

$$p_{\text{out}} = 1 - q_{\text{out}} \quad (2)$$

式(1)是在全概率公式基础上得到的。这里假设逻辑门的各个输入信号相互独立。在实际电路中，由于存在扇出重汇聚结构，逻辑门的输入信号并不一定完全独立，因此计算出的节点取值概率与真实值之间会有很小的差别。

其它几个基本逻辑门的输出信号取值概率公式如表 1 所示。

表 1 中 q_{out} 和 p_{out} 分别表示逻辑门输出值为 1 和为 0 的概率； r 表示该门的正确输出概率； q_i 和 p_i 分别表示逻辑门第 i 个输入信号为 1 和为 0 的概

表 1 基本逻辑门输出概率公式表

门类型	q_{out}	p_{out}
与门	$r(q_1 q_2 \cdots q_n) + (1-r) \cdot (1 - q_1 q_2 \cdots q_n)$	$1 - q_{\text{out}}$
与非门	$1 - p_{\text{out}}$	$r(q_1 q_2 \cdots q_n) + (1-r) \cdot (1 - q_1 q_2 \cdots q_n)$
或门	$1 - p_{\text{out}}$	$r(p_1 p_2 \cdots p_n) + (1-r) \cdot (1 - p_1 p_2 \cdots p_n)$
或非门	$r(p_1 p_2 \cdots p_n) + (1-r) \cdot (1 - p_1 p_2 \cdots p_n)$	$1 - q_{\text{out}}$
非门	$1 - p_{\text{out}}$	$r q_{\text{in}} + (1-r)(1 - q_{\text{in}})$
异或门	$1 - p_{\text{out}}$	$r(p_1 p_2 + q_1 q_2) + (1-r) \cdot [1 - (p_1 p_2 + q_1 q_2)]$
扇出	q_{in}	$1 - q_{\text{in}}$

率；由于非门只有一个输入信号，故用 q_{in} 表示其输入为 1 的概率。本模型认为连接线和扇出不受软差错的影响^[2]。

3 组合电路可靠度计算

3.1 组合电路可靠度描述及计算方法

对于某个组合电路，假设在输入向量 \mathbf{V}_{in} 的激励下，电路的正确响应是 (O_1, O_2, \dots, O_n) 。其中， n 是电路输出端数， $O_i = 0$ 或 $1, i=1, 2, \dots, n$ 。由于软差错的影响，电路内部各个逻辑门未必能正常输出，从而导致电路可能会有一个或多个原始输出与正常值相反。若输入向量为 \mathbf{V}_{in} ，给定电路每个逻辑门的正确输出概率，则原始输出 O_i 为正常逻辑值的概率 $P_i(\mathbf{V}_{\text{in}})$ 可经过计算得到，该值称为此输出节点的可靠度。电路在向量 \mathbf{V}_{in} 激励下的可靠度 $R(C|\mathbf{V}_{\text{in}})$ 与输出节点可靠度的关系为

$$R(C|\mathbf{V}_{\text{in}}) = P_1(\mathbf{V}_{\text{in}})P_2(\mathbf{V}_{\text{in}})\cdots P_n(\mathbf{V}_{\text{in}}) \quad (3)$$

式(3)成立的条件是所有输出节点相互独立。若存在某些原始输出信号并非相互独立，则根据式(3)计算出的电路可靠度与真实情况会有偏差。对多数电路而言，该偏差很小。电路总的可靠度用 $R(C)$ 表示。

$$R(C) = \sum R(C|\mathbf{V}_{\text{in}})P(\mathbf{V}_{\text{in}}) \quad (4)$$

$P(\mathbf{V}_{\text{in}})$ 表示输入向量为 \mathbf{V}_{in} 的概率，一般情况下认为每个向量出现的可能性相同，故此概率值为 $1/2^m$ ， m 表示电路的输入端数。

为了计算 $R(C|\mathbf{V}_{\text{in}})$ ，首先将向量 \mathbf{V}_{in} 施加至电路输入端，模拟正常电路得到所有输出节点的正确逻辑值 $O_i (O_i = 0$ 或 $1, i=1, 2, \dots, n)$ ；然后计算电路所有节点的取值概率；原始输出 O_i 在向量 \mathbf{V}_{in} 激励下为正常值的概率 $P_i(\mathbf{V}_{\text{in}}) = P(O_i = O_i | \mathbf{V}_{\text{in}})$ ；最后由式(3)计算得到 $R(C|\mathbf{V}_{\text{in}})$ 。若电路的输入端数较少，可穷举所有输入向量并利用式(4)计算 $R(C)$ ；否则，只能采用近似算法。本文是通过随机施加部分输入向量，求出近似的平均可靠度（记作 $R(C|\text{rd})$ ），用以取代 $R(C)$ 。本方法描述的组合电路可靠度计算过程由图 1 表示。

计算电路所有节点取值概率的流程由图 2 描述。

首先按照电路网表文件中节点的标号顺序，依次计算每个节点的取值概率，跳过暂时无法计算的节点，在下次遍历电路节点时重新计算，计算依据为表 1 中的公式。

3.2 与 PTM 方法的比较

基于节点概率的电路可靠度计算方法与 PTM 方法都采用概率门模型。时间开销方面，若通过穷举所有输入向量组合计算可靠度 $R(C)$ ，则均需耗费

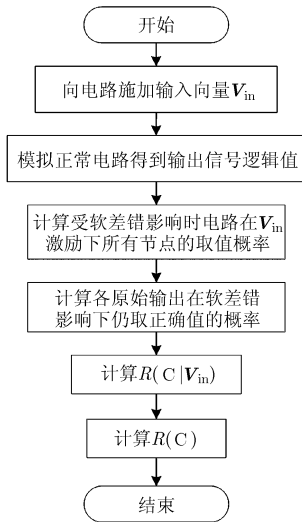


图 1 组合电路可靠性计算流程

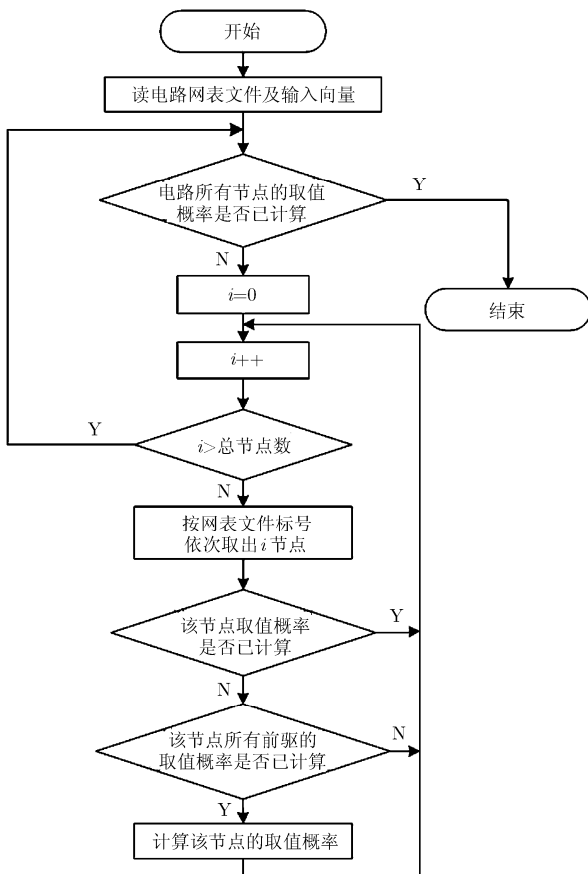


图 2 电路节点取值概率计算流程

大量时间，不适合处理规模较大的电路。但如果只是计算特定输入向量(或随机向量)激励下的电路可靠度 $R(C|V_{in})$ (或 $R(C|rd)$)，则节点概率方法需要的时间很少，可用于计算大规模电路；而 PTM 方法针对所有输入组合情况进行计算，无法根据条件限制缩减计算时间。从空间方面考虑，节点概率方法

所需要的存储资源与电路节点数呈线性关系；而 PTM 方法需要进行矩阵运算，矩阵的维数随电路输入(输出)端数的增加呈指数级增长趋势，不仅如此，假设电路的输入和输出数分别为 n 和 m ，在 PTM 计算过程中需占用的存储资源甚至远远超出 $O(2^{n+m})$ 的空间。因此，在计算稍大规模的电路可靠度时，基于 PTM 的方法一般都采用电路分割的近似算法，从而损失了精度^[2,7]。

4 实验结果及分析

首先选取 ISCAS'85 的 C17 电路进行实验，利用节点概率方法计算各输入向量下的电路可靠度和总的可靠度 $R(C)$ 。实验环境为 PC(Intel®Core(TM) i3-2310M CPU@2.10 GHz, 2 GB 内存)。结果如表 2 所示。

C17 电路有 5 个输入端和两个输出端，共 32 种不同的激励。在此将两个输出端输出正确值的概率相乘作为电路可靠度。由式(4)可知，当 $r = 0.95$ 时 $R(C17) = 0.76207$ ；当 $r = 0.99$ 时 $R(C17) = 0.94563$ 。结果说明电路可靠度受软差错的影响很大，且在不同的输入向量激励下，电路的可靠度也可能不同。

接下来针对其它 ISCAS'85 电路进行实验。为便于与文献[2]的结果作比较，取逻辑门的正确输出概率 $r = 0.9999$ 和 $r = 0.99999$ (r 的取值与当前 CMOS 技术的水平相适应)。由于各电路的输入端数远远超过了 C17 电路，穷举所有的输入向量变得困难。实验中对每个电路都随机生成 1,000 个向量施加至电路输入端，并统计各电路在这些向量激励下的可靠度平均值 $\overline{R(C|rd_{1000})}$ 。结果如表 3 所示。

从表 3 数据可知，使用本方法计算得到 $\overline{R(C|rd_{1000})}$ 所需的时间和空间开销远小于文献[2]的方法(本文与文献[2]的实验环境相差很小)。为证明 $\overline{R(C|rd_{1000})}$ 的有效性，下面的实验增大了输入向量样本空间，在随机给出 100,000 个输入向量的情况下，计算 $r = 0.9999$ 时各电路的平均可靠度 $\overline{R(C|rd_{100000})}$ ，结果如表 4 所示。

表 4 的最后一列 Δ (%) 是大样本空间下的电路可靠度 $\overline{R(C|rd_{100000})}$ 与小样本空间下的电路可靠度 $\overline{R(C|rd_{1000})}$ 之绝对差比上 $\overline{R(C|rd_{100000})}$ 。相对差最大值为 0.05%，可近似认为随机生成的 1,000 个向量具有一定代表性，在它们的激励下，计算的平均结果能够反映电路的可靠度。

为了证明经本文方法计算出的电路可靠度相比文献[2]的结果没有损失准确度，对电路注入故障并进行多次模拟。过程如下：将电路的所有逻辑门看作受软差错影响的独立单元，每个门电路的正确输

表 2 C17 可靠度计算结果

V_{in}	$R(C V_{in})$		V_{in}	$R(C V_{in})$		V_{in}	$R(C V_{in})$		V_{in}	$R(C V_{in})$	
	$r=0.95$	$r=0.99$		$r=0.95$	$r=0.99$		$r=0.95$	$r=0.99$		$r=0.95$	$r=0.99$
V_0	0.74348	0.94187	V_8	0.75477	0.94243	V_{16}	0.74348	0.94187	V_{24}	0.75477	0.94243
V_1	0.74910	0.94215	V_9	0.81828	0.96071	V_{17}	0.74910	0.94215	V_{25}	0.81828	0.96071
V_2	0.74348	0.94187	V_{10}	0.75477	0.94243	V_{18}	0.74348	0.94187	V_{26}	0.75477	0.94243
V_3	0.74910	0.94215	V_{11}	0.81828	0.96071	V_{19}	0.74910	0.94215	V_{27}	0.81828	0.96071
V_4	0.74348	0.94187	V_{12}	0.75477	0.94243	V_{20}	0.78228	0.95138	V_{28}	0.82162	0.96089
V_5	0.74910	0.94215	V_{13}	0.81828	0.96071	V_{21}	0.78820	0.95166	V_{29}	0.89076	0.97953
V_6	0.74348	0.94187	V_{14}	0.67861	0.92350	V_{22}	0.78228	0.95138	V_{30}	0.74904	0.94215
V_7	0.71030	0.93264	V_{15}	0.64841	0.91446	V_{23}	0.74737	0.94206	V_{31}	0.71571	0.93293

表 3 ISCAS'85 电路实验数据

电路	$\overline{R(C rd_{1000})}$		开销($r=0.9999$)			
	$r=0.9999$	$r=0.99999$	本文方法		文献[2]方法	
			时间(s)	内存(KB)	时间(s)	内存(KB)
C432	0.985983	0.998589	0.28	16.21	25.70	10050
C499	0.961974	0.996139	1.00	40.62	20.32	8420
C880	0.974147	0.997353	0.34	23.90	44.36	16660
C1355	0.962081	0.996054	0.52	36.81	76.91	28020
C1908	0.944903	0.994472	0.70	50.50	102.16	46440
C2670	0.906553	0.989935	1.01	73.05	56.62	131550
C5315	0.865469	0.985220	2.06	143.16	233.09	73240
C7552	0.749035	0.970860	2.82	200.97	513.83	158390

表 4 不同输入样本空间下电路可靠度结果

电路	$\overline{R(C rd_{1000})}$	$\overline{R(C rd_{100000})}$	$\Delta(\%)$
C432	0.985983	0.986232	0.03
C499	0.961974	0.961618	0.04
C880	0.974147	0.974035	0.01
C1355	0.962081	0.962044	0
C1908	0.944903	0.945405	0.05
C2670	0.906553	0.906283	0.03
C5315	0.865469	0.865351	0.01
C7552	0.749035	0.749366	0.04

出概率为 r ；对电路随机施加激励向量，模拟得到所有输出端的逻辑值，并与正常电路在对应向量激励下的输出响应进行比较，若存在至少一个输出端的逻辑值与正常响应不同，则认为发生了故障。本实验统计了模拟 100,000 次的故障次数，作为电路可靠度的一个参考标准。下面对两种方法的计算结果与模拟实验结果进行比较。

图 3 绘出了 $r = 0.99999$ 时两种方法与模拟实验结果的曲线。其中，本文方法的结果是基于 100,000 个随机向量激励计算得到；文献[2]采用的是基于 PTM 和电路划分的近似算法。从图中曲线可知，本文方法相比文献[2]计算得到的结果更接近模拟实验数据。而在时间与空间开销方面，本文方法都具有较大的优势。

5 结束语

本文考虑概率门模型，提出了一种基于节点取值概率的电路可靠度估算方法：通过计算电路从输

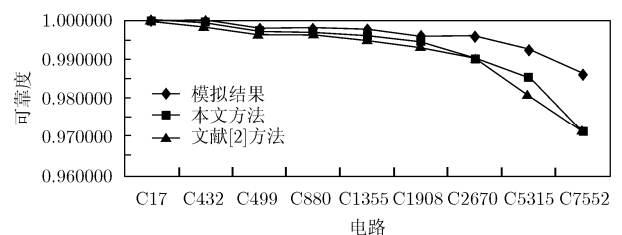


图 3 组合电路可靠度比较结果 2($r = 0.99999$)

入至输出端所有节点的取值概率, 分析电路的可靠度。相比 PTM 方法, 本文方法能够简单快速地对电路在某个确定向量激励下的条件可靠度或随机向量激励下的平均可靠度; 从空间角度考虑, 计算节点概率所需要的内存与电路总节点数近似成线性关系, 远小于计算概率转移矩阵的空间开销。通过较小的输入向量样本空间计算出的电路平均可靠度与模拟实验结果非常接近, 因此, 通过本文方法估算得到电路可靠度近似值所需要的时间也很短。

参 考 文 献

- [1] Wang Feng and Xie Yuan. Soft error rate analysis for combinational logic using an accurate electrical masking model[J]. *IEEE Transactions on Dependable and Secure Computing*, 2011, 8(1): 137-146.
 - [2] 王真, 江建慧. 基于概率转移矩阵的串行电路可靠度计算方法[J]. *电子学报*, 2009, 37(2): 241-247.
Wang Zhen and Jiang Jian-hui. A serial method of circuit reliability calculation based on probabilistic transfer matrix[J]. *Acta Electronica Sinica*, 2009, 37(2): 241-247.
 - [3] Kim J S, Nicopoulos C, Vijakrishnan N, *et al.* A probabilistic model for soft-error rate estimation in combinational logic[C]. Proceeding of the 1st International Workshop on Probabilistic Analysis Techniques for Real Time and Embedded Systems, Pisa, Italy, 2004: 25-31.
 - [4] Asadi G and Tahoori M B. An analytical approach for soft error rate estimation in digital circuits[C]. IEEE International Symposium on Circuits and Systems, Kobe, Japan, 2005: 2991-2994.
 - [5] Krishnaswamy S, Viamontes G F, Markov I L, *et al.* Accurate reliability evaluation and enhancement via probabilistic transfer matrices[C]. Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, Munich, Germany, 2005: 282-287.
 - [6] Patel K N, Hayes J P, and Markov I L. Evaluating circuit reliability under probabilistic gate-level fault models[C]. International Workshop on Logic and Synthesis, California, 2003: 59-64.
 - [7] 王真, 江建慧, 沈君华, 等. 基于概率转移矩阵的电路可靠性并行计算方法[J]. *小型微型计算机系统*, 2008, 29(2): 357-360.
Wang Zhen, Jiang Jian-hui, Shen Jun-hua, *et al.* Parallel processing of the probabilistic transfer matrix based circuits reliability calculation[J]. *Journal of Chinese Computer Systems*, 2008, 29(2): 357-360.
 - [8] Xiao Jie, Jiang Jian-hui, Zhu Xu-guang, *et al.* A method of gate-level circuit reliability estimation based on iterative PTM model[C]. 17th IEEE Pacific Rim International Symposium on Dependable Computing, Pasadena, California, 2011: 276-277.
 - [9] Han Jie, Chen Hao, and Boykin E. Reliability evaluation of logic circuits using probabilistic gate models[J]. *Microelectron Reliability*, 2011, 51(2): 468-476.
 - [10] Singh N S S, Hamid N H, Asirvadam V S, *et al.* Evaluation of circuit reliability based on distribution of different signal input patterns[C]. 8th IEEE International Colloquium on Signal Processing and Its Applications, Malaysia, 2012: 5-9.
- 蔡 烁: 男, 1982 年生, 博士生, 讲师, 研究方向为集成电路测试、容错设计。
 邝继顺: 男, 1959 年生, 博士, 教授, 博士生导师, 研究方向为集成电路测试、嵌入式系统。
 刘铁桥: 男, 1983 年生, 博士生, 研究方向为集成电路测试。
 周颖波: 男, 1984 年生, 博士生, 研究方向为 FPGA、容错设计。