

三维集成电路中硅通孔缺陷建模及自测试/修复方法研究

余乐^{①②} 杨海钢^{*①} 谢元禄^① 张甲^{①②} 张春红^{①②} 韦援丰^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100049)

摘要: 硅通孔(Through Silicon Via, TSV)是 3 维集成电路(3D IC)进行垂直互连的关键技术, 而绝缘层短路缺陷和凸点开路缺陷是 TSV 两种常见的失效形式。该文针对以上两种典型缺陷建立了 TSV 缺陷模型, 研究了侧壁电阻及凸点电阻与 TSV 尺寸之间的关系, 并提出了一种基于 TSV 缺陷电阻端电压的检测方法。同时, 设计了一种可同时检测以上两种缺陷的自测试电路验证所提方法, 该自测试电路还可以级联起来完成片内修复功能。通过分析面积开销可得, 自测试/修复电路在 3D IC 中所占比例随 CMOS/TSV 工艺尺寸减小而减小, 随 TSV 阵列规模增大而减小。

关键词: 3 维集成电路; 硅通孔; 缺陷; 自测试; 扫描/修复链

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2012)09-2247-07

DOI: 10.3724/SP.J.1146.2012.00048

A 3D IC Self-test and Recovery Method Based on Through Silicon Via Defect Modeling

Yu Le^{①②} Yang Hai-gang^① Xie Yuan-lu^①

Zhang Jia^{①②} Zhang Chun-hong^{①②} Wei Yuan-feng^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University, Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Through Silicon Via (TSV) is the key technology for vertical interconnections in 3D ICs, with insulator short and bump open being the two major types of TSV defects. In this paper, a TSV defect model is presented and the relationships between the linear oxide resistance/bump resistance and the TSV dimension are discussed. Based on the model, a method is proposed for detecting the voltage of the defects' resistance. To verify the proposed method, a self-test circuit which can detect both types of defects is designed, and it can be cascaded to achieve auto-recovery on chip. Then, the area overhead is analyzed and the results show that self-test/recovery circuits will occupy lower percentage of total chip area as CMOS/TSV fabrication technology scales down or as TSV array size increases.

Key words: 3D IC; Through Silicon Via (TSV); Defect; Self-test; Scan/recovery chain

1 引言

随着集成电路制造工艺的不断发展, 传统的 2 维平面集成电路芯片在集成规模、速度和功耗方面已遇到发展“瓶颈”, 迫切需要引入新型器件、新型工艺来满足更高要求^[1,2]。以硅通孔(Through Silicon Via, TSV)垂直互连线为基础的 3 维集成电路(3D IC)应运而生^[3]。然而当前的 TSV 还未完全成熟, 在 TSV 制备过程中, 有两种典型缺陷: 绝缘层短路缺陷及凸点开路缺陷。这两种缺陷的形成原因是: 键合前的 TSV 制备可能存在绝缘层生长瑕疵以及侧

壁裂痕, 而键合材料电阻的变化或者未对准都可能形成键合后 TSV 缺陷^[4]。相对于外围测试管脚而言, 单个 TSV 的尺寸太小了, 在实际应用中, 不可能对高密度 TSV 阵列提供大量外围测试焊盘。因此, 研究单片集成的 TSV 自测试及修复方法具有重要意义。

目前, 已报道的关于 TSV 检测电路如下: 文献[5]中, pMOS 单管产生的漏电流被送入硅通孔-地(TSV-GND)回路, 测试电路利用该漏电流在待测 TSV 电阻(954~976 M Ω)上形成的电压, 与比较电路的参考电压进行比较, 以此来检测 TSV 的缺陷情况, 由于单端测试结构用于区分逻辑 0 和逻辑 1 的电阻值裕度只有 2.3%(1-954 M Ω /976 M Ω), 不论

2012-01-12 收到, 2012-05-22 改回

国家重大科学研究计划项目(2011CB933202)资助课题

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

是 CMOS 工艺的制造偏差, 还是片内噪声对漏电流的干扰都容易产生误判。文献[6]借鉴了 DRAM 和 ROM 的测试方法, 使用了 TSV 键合前测试方法。文献[7-9]则关注精确的 TSV 电学参数(阻抗、电容和电导)表征。文献[10]提供了一种测试结构 TACS-3D, 键合前及键合后工艺均适用, 在多核系统中, 这种结构可有效降低测试管脚数。上述几种测试办法^[5-10]均需外接测试电路, 无法做到单片集成, 测试效率较低。

然而, 到目前为止还未见可同时检测 TSV 的键合前和键合后缺陷、以及对失效 TSV 进行修复的方法报道。本文的主要贡献: (1)针对 TSV 的典型缺陷, 建立了 TSV 缺陷模型; (2)提出了一种基于侧壁电阻及凸点电阻的 TSV 缺陷检测方法; (3)设计了一种可同时检测以上两种缺陷的自测试电路, 并级联起来完成后续修复功能; (4)分析了检测电路的面积开销与 TSV 阵列规模及随工艺进步的关系。

2 TSV 缺陷建模

单 TSV 的短路/开路缺陷模型, 如图 1 所示。图 1(a)描述了 TSV 的几何结构, TSV 及与之连接的凸点均可抽象为圆柱体模型, TSV 与衬底经氧化层隔绝形成一个同轴结构的电容, 而其自身的导体电阻以及上下连接的凸点电阻则可以通过圆柱导体模型进行计算。图 1(b)建立了 TSV 缺陷的电学模型, 该模型使用的是 RC 的 T 型连接。表 1 对图 1 中的符号及公式(1)-式(4)中使用的常量值做了说明。

C_{TSV} , R_{TSV} 和 R_{bump} 如式(1)-式(3)中表示^[11]。因为 TSV 的氧化层电导与侧壁电容满足关系式: $G_{\text{ox}}/C_{\text{TSV}} = \sigma_{\text{ox}}/(\epsilon_0 \cdot \epsilon_{\text{ox}})$ ^[12], 又因为 $R_{\text{ox}} = 1/G_{\text{ox}}$, 由此便可推导出式(4)。从这 4 个公式可以看出: C_{TSV} , R_{ox} 与 h_{TSV} , t_{ox} 和 d_{TSV} 3 个变量有关; 而 R_{TSV} 和 R_{bump} 都只与两个变量相关, 分别是 h_{TSV} , d_{TSV} 和 h_{bump} , d_{bump} 。

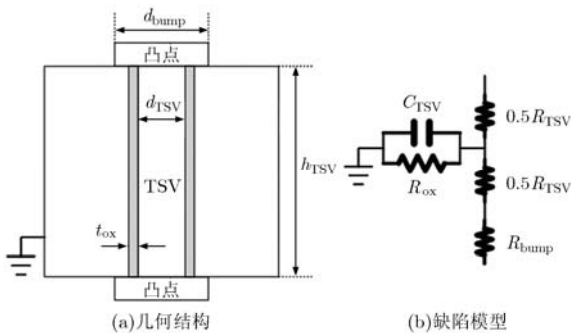


图 1 TSV 缺陷模型

表 1 符号说明及常量取值

符号	参数	符号	参数	常量	取值
h_{TSV}	TSV 长度	C_{TSV}	TSV 侧壁电容	ϵ_{ox}	4
d_{TSV}	TSV 直径	R_{TSV}	TSV 电阻	ϵ_0	8.85×10^{-12} (F/m)
d_{bump}	凸点直径	R_{ox}	氧化层电阻	σ_{ox}	1×10^{-3} (S/m)
t_{ox}	氧化层厚度	R_{bump}	凸点电阻	ρ_{TSV} 和 ρ_{bump}	1.68×10^{-8} (Ω/m)

$$C_{\text{TSV}} = 2\pi \cdot \epsilon_0 \cdot \epsilon_{\text{ox}} \cdot \frac{h_{\text{TSV}}}{\ln\left(1 + \frac{2t_{\text{ox}}}{d_{\text{TSV}}}\right)} \quad (\text{F}) \quad (1)$$

$$R_{\text{TSV}} = \rho_{\text{TSV}} \cdot \frac{h_{\text{TSV}}}{\pi \cdot (d_{\text{TSV}}/2)^2} \quad (\Omega) \quad (2)$$

$$R_{\text{bump}} = \rho_{\text{bump}} \cdot \frac{h_{\text{bump}}}{\pi \cdot (d_{\text{bump}}/2)^2} \quad (\Omega) \quad (3)$$

$$R_{\text{ox}} = \frac{\ln\left(1 + \frac{2t_{\text{ox}}}{d_{\text{TSV}}}\right)}{2\pi \cdot \sigma_{\text{ox}} \cdot h_{\text{TSV}}} \quad (\Omega) \quad (4)$$

3 TSV 缺陷检测方法

基于式(3)和式(4), 本文首先给出 R_{ox} 和 R_{bump} 与 TSV 尺寸之间的关系, 如图 2 所示。图 2(a)显示 R_{ox} 与 h_{TSV} 负相关, 与 $t_{\text{ox}}/d_{\text{TSV}}$ 正相关的变化趋势, 并且, 在 h_{TSV} 取值 $10 \sim 50 \mu\text{m}$, $t_{\text{ox}}/d_{\text{TSV}}$ 取值 $0 \sim 0.2$ 范围内, 无缺陷 R_{ox} 为 $\text{M}\Omega$ 量级。而从图 2(b)中, 可看出 R_{bump} 与 h_{bump} 正相关, 与 d_{bump} 负相关, 在 h_{TSV} 取值 $6 \sim 10 \mu\text{m}$, d_{bump} 取值 $2 \sim 6 \mu\text{m}$ 范围内, 无缺陷 R_{bump} 为 $\text{m}\Omega$ 量级。以上 h_{TSV} 、 $t_{\text{ox}}/d_{\text{TSV}}$ 、 h_{bump} 以及 d_{bump} 的取值范围选取自文献[11,13]。依据图 2, 在给定 TSV 尺寸条件下, 即可确定短路和开路缺陷的电阻阈值($R_{\text{ox_th}}$ 和 $R_{\text{bump_th}}$)。

判断 TSV 是否存在缺陷的基本检测思路为: 对 TSV 注入电流 I_{TSV} , 通过测量 TSV 端点电压 V_{TSV} 来判断 TSV 是否存在缺陷, 如图 3(a)所示。图 3(b)显示了 V_{TSV} 与 R_{ox} 之间的关系, 当 R_{ox} 趋向于无穷大, 此时 V_{TSV} 稳定在高电平, 表明 TSV 与侧壁绝缘完好, 无短路缺陷。当 R_{ox} 沿横轴向无穷小靠近时, V_{TSV} 开始下降。当斜率=1 时, V_{TSV} 开始加速下降, 显示了 TSV 上的传输信号质量开始恶化。即, 横坐标上小于此点的 R_{ox} 区域, 对应的 TSV 都存在短路缺陷。同理, 图 3(c)显示了 V_{TSV} 与 R_{bump} 之间的关系, 大于斜率=1 所对应点的 R_{bump} 区域, 均存

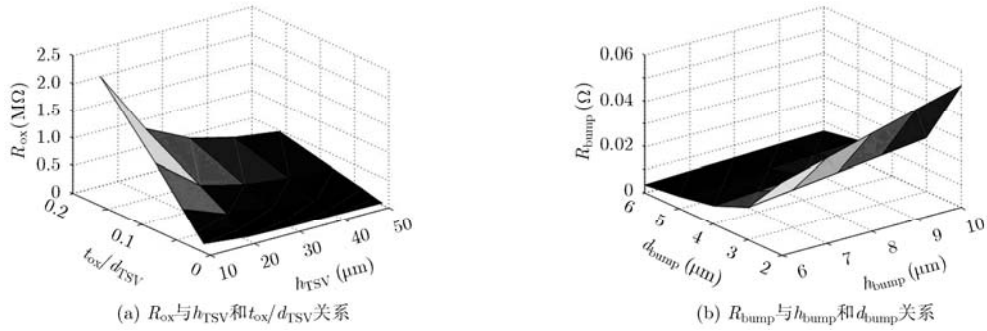


图 2 R_{ox} 和 R_{bump} 与 TSV 尺寸之间的关系

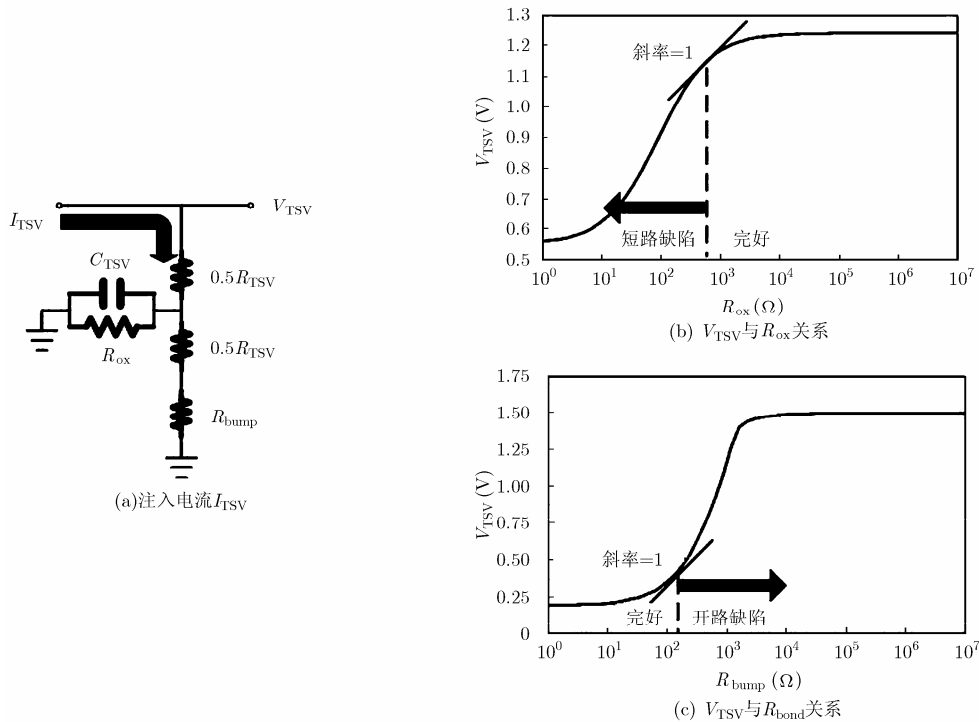


图 3 TSV 缺陷检测方法

在开路缺陷。综上所述，为匹配不同尺寸下的 TSV 短路和开路缺陷的电阻阈值(R_{ox_th} 和 R_{bump_th})，本文提出一种基于可控电流的动态检测方法，可调电流 I_{TSV} 为大电流模式。同时，为区分以上两种缺陷，将采用开关电路动态检测并暂存中间结果，电路实现形式将在下节详细介绍。

4 TSV 自测试及修复电路

本节介绍一种 TSV 自测试及修复电路，来验证上文所提的检测方法。电路设计及验证环境是基于 $0.13 \mu\text{m}$ 标准工艺库，仿真软件选择 Modelsim 6.2f 和 Cadence Virtuoso。根据第 3 节对 TSV 缺陷模型的讨论和文献[13]中的测量数据，本节所用 TSV 仿真模型，设置 $C_{TSV}=40 \text{ fF}$ ；短路缺陷 $R_{ox}=1 \text{ k}\Omega$ ；开路缺陷 $R_{TSV}=100 \text{ k}\Omega$ ；无缺陷 $R_{ox}=10 \text{ M}\Omega$ ，同

时 $R_{bump}=100 \Omega$ 。

基于第 3 节的分析，我们选择 $R_{ox_th}=500 \Omega$ ， $R_{bump_th}=150 \Omega$ 作为判断 TSV 失效标准，该数值的选择充分考虑了 TSV 与金属层间的寄生电阻。同时，TSV 的测量还应该具有覆盖较宽范围(直径从 $1\sim 5 \mu\text{m}$ ，深度/直径比则从 1:1 到 10:1)的功能，以适应于不同需求的 3D IC 应用。因此，本文选用的 R_{th} 可调范围设置为 40Ω 到 $2 \text{ k}\Omega$ ，可调电流源所提供电流 I_{TSV} 的可调范围为 $0.1\sim 10 \text{ mA}$ 。

4.1 自测试电路

用于检测 TSV 缺陷的自测试电路包括 1 个可调电流源，2 个连线盒(Switch Box, SB)，1 个电压比较器(CMP)，3 个控制开关($S1, S2, S3$)和 1 个寄存器(DFF)用来寄存测试中间值，如图 4 所示。该检测电路工作在大电流模式下，并且可调电流源采用

反馈结构,使得输出电流 I_{TSV} 具有较强的工艺、电压、噪声抑制能力^[14]。自测试过程(test_data)包括两个阶段,分别是短路测试模式(TEST_S)及开路测试模式(TEST_O)。

4.2 扫描/修复电路

图5左侧为扫描/修复电路架构,右侧为中控逻辑

端口说明。其中,自测试电路检测出的 TSV 失效数据,通过寄存器链扫描进入中控逻辑。寄存器链除了完成扫描功能,还可进行修复配置,而中控逻辑则控制整个测试、修复模式的状态跳转。

图6为中控逻辑的工作时序。复位信号撤销后,电路首先进入检测周期,置 mode 信号为“捕获”

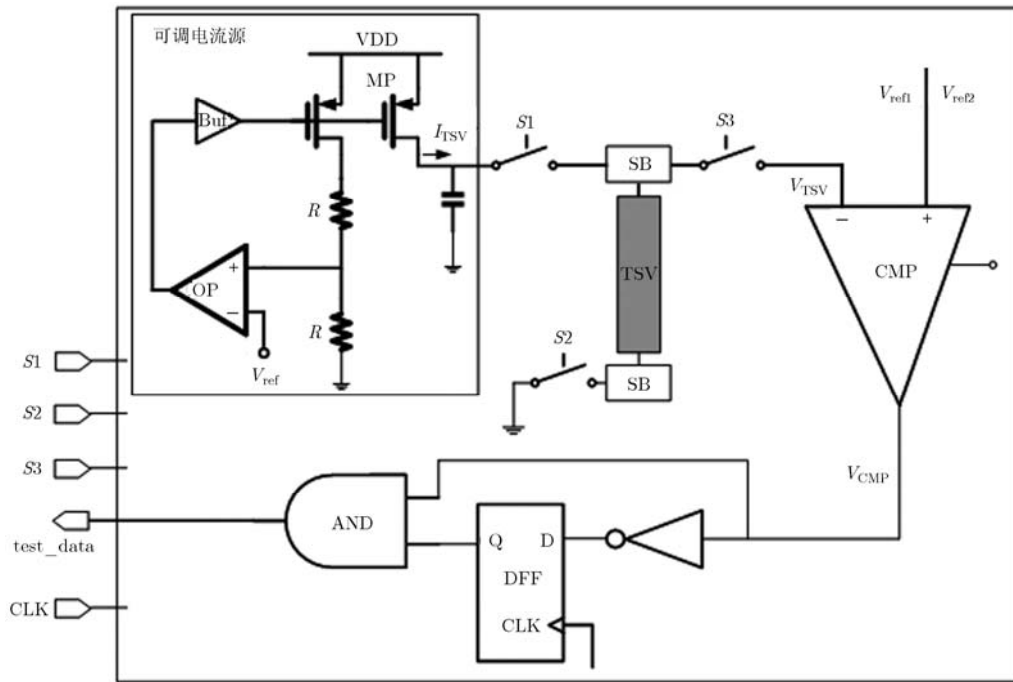


图4 自测试电路原理图

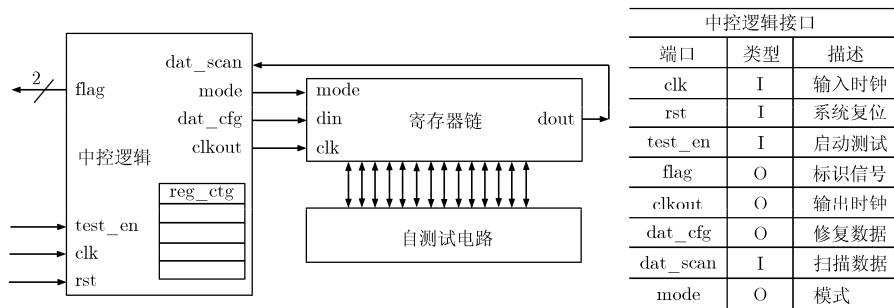


图5 扫描/修复电路框架

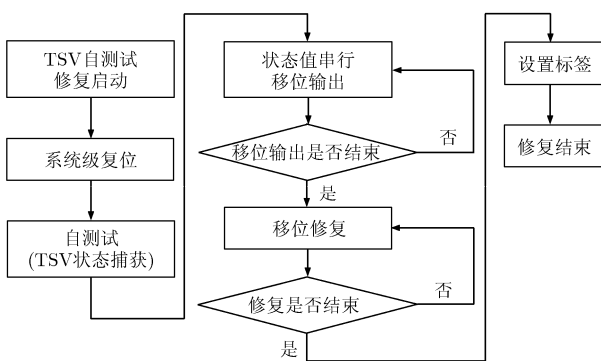


图6 中控逻辑时序图

状态,将自测试电路中全部节点的工作状态存入D触发器链路。然后置mode为“串行移位”状态,将节点工作状态信息存入中控逻辑内部的寄存器堆。在修复周期中,中控逻辑仍将D触发器链路置于“串行移位”状态,同时根据内部储存的电路节点状态信息,通过data_cfg向链路送出修复信号。修复周期结束后,自测试电路的修复即完成。本文所用扫描/修复链由多路器和寄存器链逐级串联而成^[4]。在前一级自测试完成后,中控逻辑自动启动移位模式,自测试结果通过扫描/修复链串行移位进寄存器组(reg_cfg)中。

5 仿真与版图

5.1 功能仿真

图 7 所示为自测试电路 TEST_C 和 TEST_R 模式的功能仿真图。图 7(a)~7(d) 分别表示了 TSV 自测试结果的 4 种情况：(a) 短路缺陷；(b) 无缺陷；(c) 开路缺陷；(d) 开路/短路缺陷同时存在。其中 S1, S2, S3 分别表示自测试电路的 3 个开关信号(见 3 节)； V_{TSV} 为比较器负端输入信号； V_{CMP} 为比较器将 V_{TSV} 与 V_{ref} 比较后的输出结果；test_data 为经

过 TEST_C 与 TEST_R 模式后，自测试输出的最终测试结果，低电平表示有缺陷，高电平表示无缺陷。图 8 则显示了在捕获及串行移位期间，中控逻辑在 dat_scan 信号上完全监听来自扫描链的输出，并将被测电路的状态写入内部缓存。串行移位期间，中控逻辑根据内部缓存来判断被测电路是否存在故障，同时输出 2 位的 FLAG 信号来表示“完好”，“修复”，“冲突”，“溢出”4 种状态，仿真结果表明此自测试/修复电路功能完全正确。

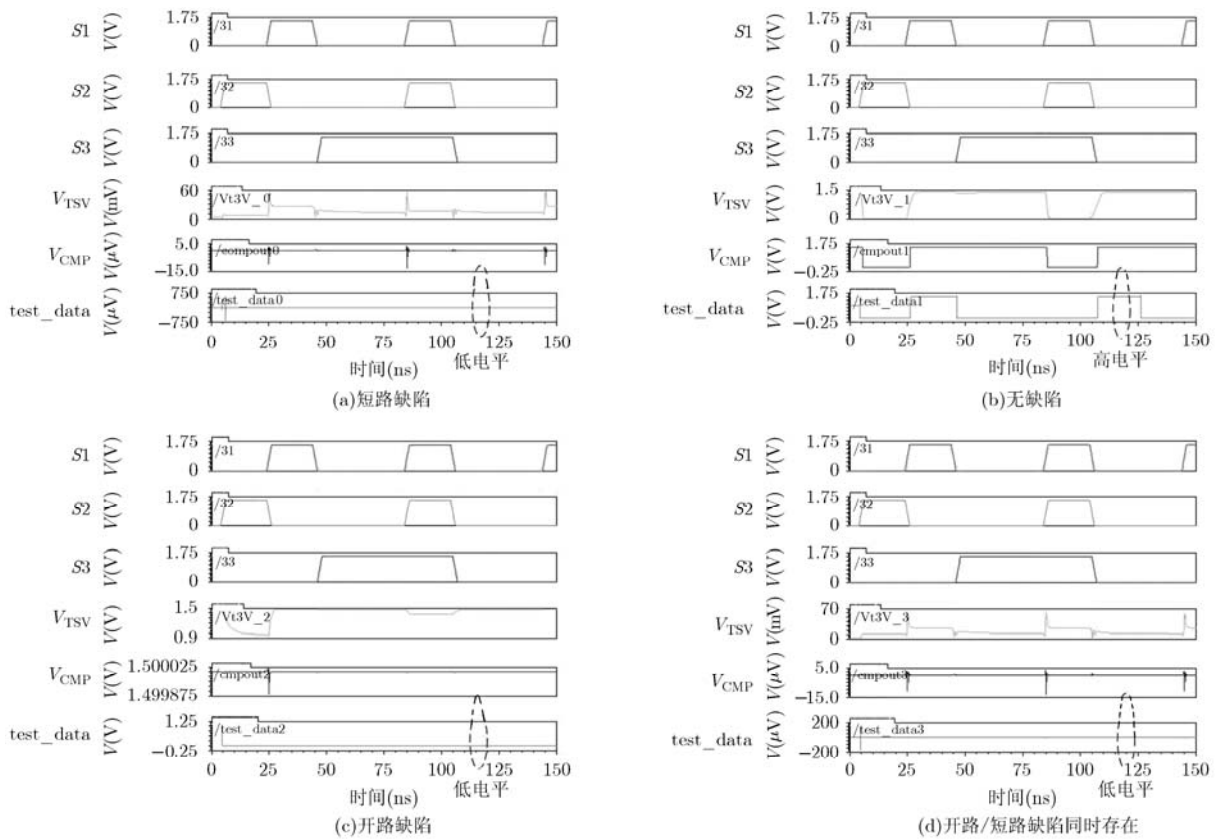


图 7 仿真结果

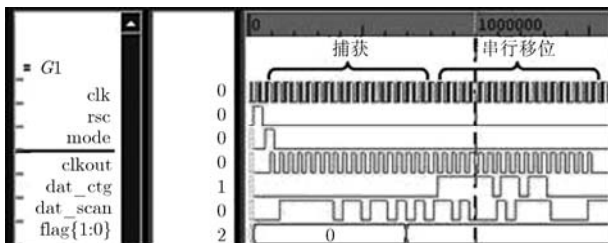


图 8 中央控制逻辑的功能仿真图

5.2 版图及面积分析

在 CMOS 130 nm 工艺条件下，电路版图：中控逻辑面积为 $4500 \mu\text{m}^2$ ($70 \mu\text{m} \times 65 \mu\text{m}$)，自测试及移位寄存器面积为 $150 \mu\text{m}^2$ ($22 \mu\text{m} \times 7 \mu\text{m}$)，见图 9(a), 9(b)。中控逻辑与自测试及移位寄存器将随

CMOS 工艺进步而等比例缩小，每两个工艺节点之间的缩放比例约为 0.5 (0.7×0.7)，如表 2 所示。因为高密度 TSV (最小直径 $< 5 \mu\text{m}$) 在最近三年才逐渐在工业上得以应用，所以本文选取 2009 年作为高密度 TSV 应用的起始年份。在此年份下，单个 TSV 占用的面积为 $100 \mu\text{m}^2$ ($10 \mu\text{m} \times 0 \mu\text{m}$)，见图 9(c)。同时，我们对检测电路所耗面积进行评估，并分析其与 3D IC 总面积的比例随工艺进步变化趋势。

本文选择高密度 TSV 阵列为 $N \times N$ 的阵列结构^[3-4]。那么，用于检测并修复 TSV 所增加电路面积为：自测试及寄存器链面积 \times 待检测 TSV 总数 + 中控逻辑面积，其中待检测 TSV 总数为 N^2 。如果不考虑相应的模块内数据存储单元增加，那么中控

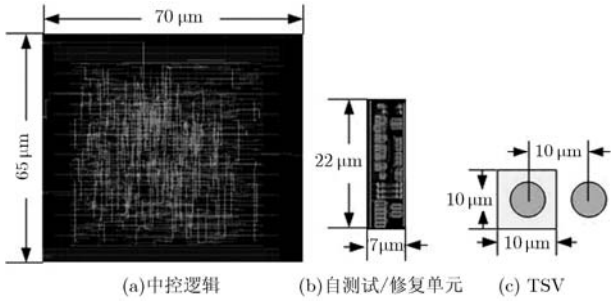


图 9 版图

表 2 自测试/修复电路面积随 TSV 与 CMOS 关键参数发展趋势

时间(年)	2003	2005	2007	2009	2011	2013
CMOS 节点(nm) ^[15]	130	90	65	45	32	28
中控逻辑面积(μm ²)	4500	2157	1125	539	273	208
自测试/修复单元面积(μm ²)	150	72	37	18	9	7
TSV 最小直径(μm) ^[15]	-	-	-	5	4.8	4.5
TSV 最小间距(μm) ^[15]	-	-	-	10	9.6	9
TSV 面积(μm ²)	-	-	-	100	93	81

逻辑面积几乎与待检测 TSV 总数无关。显然 TSV 阵列规模越大,那么单位 TSV 上分摊的检测电路面积就越小。假设 $N=10$, 则该 3D IC 总面积为 $10000 \mu\text{m}^2 (100 \mu\text{m} \times 100 \mu\text{m})$ 。在 CMOS 45 nm 工艺下,用于检测并修复 TSV 所增加电路面积为 $2339 \mu\text{m}^2 (18 \times 100 + 539)$, 占 3D IC 总面积的 23.4% ($2339 / 10000$)。中控逻辑、自测试/修复链与 10×10 TSV 阵列面积随工艺进步而逐渐减小, 见图 10(a); 并且, 检测电路总面积占 3D IC 比例随着工艺进步也在逐渐减小, 见图 10(b)。

5.3 结果对比

表 3 将本文检测/修复电路与已报道文献比较, 结果如下: (1)文献[5]报道的检测电路结构简单, 面积较小, 适合对单个 TSV 缺陷的电学性能进行表征。该电路使用的漏电流检测方法抵御衬底噪声的能力较差, 不适合应用在 3 维大规模集成芯片中。(2)文献[10]提出的全数字电路结构与工艺相关性低, 延展性较好, 可对 TSV 阵列进行缺陷检测。该结构不区分 TSV 缺陷类型和位置, 也不进行后续的 TSV 缺陷修复, 因此, 其适用于 TSV 缺陷率较低, 工艺相对成熟的情况。(3)由于当前 TSV 工艺不成熟, 制造 TSV 的缺陷率较高, 芯片工作过程中热膨胀效应也可能产生新的缺陷。本文提出具有自测试+修复功能的电路结构, 不仅能区分 3 维集成电路中每个 TSV 互连节点的开路/短路缺陷类型, 还可以定位缺陷并通过配置 TSV 上下端接的连线盒实现修复, 另外, 依据报告输出的 TSV 缺陷检测结果, 还可以分析芯片工作过程中热效应对 3 维互连的影响。相应的代价是结构复杂, 所占面积较大。表 3 及 4.2 节中涉及的 TSV 修复算法和电路在文献[4]中已有初步描述, 更详细的工作将在后续进行。

6 总结

硅通孔是 3 维集成电路进行垂直互连的关键技术, 而绝缘层短路缺陷和凸点开路缺陷是 TSV 两种常见的失效形式。本文针对以上两种典型缺陷建立了 TSV 缺陷模型, 研究了侧壁电阻及凸点电阻与 TSV 尺寸之间的关系, 并提出了一种基于可控电流的 TSV 缺陷电阻动态检测方法。同时, 设计了一种可同时检测以上两种缺陷的自测试电路来验证所提方法, 该自测试电路还可以级联起来完成片内修复功能。通过分析面积开销可得, 自测试/修复电路所

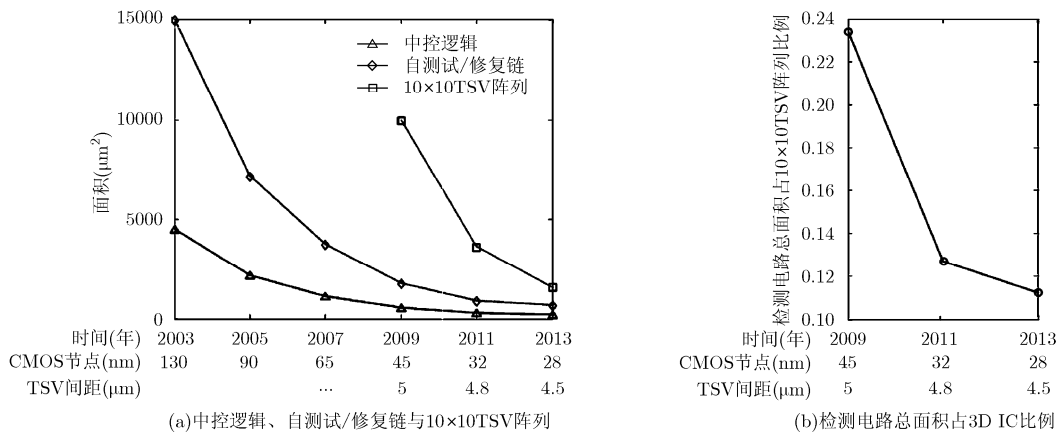


图 10 面积开销随工艺进步的变化趋势

表3 本文检测/修复电路与已报道文献比较

功能	文献[5] 自测试	文献[10] 自测试	本文 自测试+修复
是否区分 TSV 开路 /短路缺陷类型	是	否	是
CMOS 工艺节点	90 nm	-	130 nm
检测 TSV 数量	1	936 = (88+83+91) × 3+148	100 = (10 × 10)
电路面积/TSV	10.13 μm ²	约 70 个逻辑门	150 μm ²
优势	测试电路简单, 面积较小	全数字电路设计, 与工艺相关性低	可定位 TSV 缺陷位置 及类型, 实现修复
劣势	受环境噪声影响大, 且无法级联	检测结果不区分 TSV 缺陷 类型和位置	结构复杂, 面积较大
适用情况	对单个 TSV 缺陷结构的表征	对 TSV 阵列的缺陷检测。适合 TSV 缺陷率较低, 工艺成熟的情况	对 TSV 阵列的缺陷检测。适合 当前 TSV 缺陷率较高, 工艺不 成熟的情况

占 3D IC 比例随 CMOS/TSV 工艺尺寸缩小而减小, 随 TSV 阵列规模增长而减小, 显示了该电路随工艺进步而性能同步提升的潜力。

参考文献

- [1] Van der Plas G, Limaye P, Loi I, *et al.*. Design issues and considerations for low-cost 3-D TSV IC technology[J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(1): 293-307.
 - [2] Yu Le, Yang Haigang, Zhang Jia, *et al.*. Performance evaluation of air-gap-based coaxial RF TSV for 3D NoC[C]. Proceedings of IEEE VLSI-SOC, Hong Kong, China, Oct. 3-5, 2011: 94-97.
 - [3] Yu Le, Yang Haigang, Jing T T, *et al.*. Electrical characterization of RF TSV for 3D multi-core and heterogeneous ICs[C]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design, San Jose, CA, Nov. 7-11, 2010: 686-693.
 - [4] Zhang Jia, Yu Le, Yang Haigang, *et al.*. Self-test method and recovery mechanism for high frequency TSV array[C]. Proceedings of IEEE VLSI-SOC, Hong Kong, China, Oct. 3-5, 2011: 260-265.
 - [5] Tsai Menglin, Klooz A, Leonard A, *et al.*. Through Silicon Via (TSV) defect/pinhole self test circuit for 3D-IC[C]. Proceedings of IEEE International Conference on 3D System Integration, San Francisco, CA, Sept. 28-30, 2009: 1-8.
 - [6] Chen Po-yuan, Wu Cheng-wen, and Kwai Ding-ming. On-chip testing of blind and open-sleeve TSVs for 3D IC before bonding[C]. Proceedings of 28th IEEE VLSI Test Symposium, Santa Cruz, USA, Apr. 19-22, 2010: 263-268.
 - [7] Stucchi M, Perry D, Katti G, *et al.*. Test structures for characterization of Through Silicon Vias[C]. Proceedings of IEEE International Conference on Microelectronic Test Structures, Hiroshima, Japan, Mar. 22-25, 2010: 130-134.
 - [8] Liu F, Gu X, Jenkins K A, *et al.*. Electrical characterization of 3D Through-Silicon-Vias[C]. Proceedings of Electronic Components and Technology Conference, Las Vegas, USA, June 1-4, 2010: 1100-1105.
 - [9] Chung Hsien, Ni Ching-yu, Tu Che-min, *et al.*. The advanced pattern designs with electrical test methodologies on Through Silicon Via for CMOS image sensor[C]. Proceedings of Electronic Components and Technology Conference, Las Vegas, USA, June 1-4, 2010: 297-302.
 - [10] Lo Chih-yen, Hsing Yu-tso, Denq Li-ming, *et al.*. SOC test architecture and method for 3-D ICs[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2010, 29(10): 1645-1649.
 - [11] Kim J, Pak J S, Cho J, *et al.*. High-frequency scalable electrical model and analysis of a Through Silicon Via (TSV) [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2011, 1(2): 181-195.
 - [12] Bogatin E 著. 李玉山, 李丽平, 等译. 信号完整性分析[M]. 北京: 电子工业出版社, 2005: 198-246.
 - [13] Katti G, Stucchi M, De Meyer K, *et al.*. Electrical modeling and characterization of Through Silicon Via for three-dimensional ICs[J]. *IEEE Transactions on Electron Devices*, 2010, 57(1): 256-262.
 - [14] Razavi B. Design of Analog CMOS Integrated Circuits[M]. Boston: McGraw-Hill, 2001: 246-284.
 - [15] International Technology Roadmap for Semiconductor (ITRS). <http://www.itrs.net>, 2011, 11.
- 余乐: 男, 1983 年生, 博士生, 研究方向为 3 维互连线 TSV 建模及高速串行接口设计。
- 杨海钢: 男, 1960 年生, 研究员, 博士生导师, 研究方向为高速可编程逻辑芯片设计技术和数模混合信号 SOC 设计技术。
- 谢元禄: 男, 1980 年生, 助理研究员, 研究方向为 IP 硬核设计技术。