

基于并行完备检测的高速异步流水线设计

杨延飞^{*①} 杨银堂^① 朱樟明^① 周端^②

^①(西安电子科技大学微电子研究所 西安 710071)

^②(西安电子科技大学计算机学院 西安 710071)

摘要: 为了有效地提升异步零协议逻辑(NCL)流水线的吞吐量,该文提出一种多阈值并行完备流水线。采用独特的半静态零协议阈值门建立异步组合逻辑,使数据串行传输的同时每级流水线数据处理和完备检测并行进行,以串并结合的工作方式提升吞吐量。同时新阈值门的使用降低了流水线空周期时的静态功耗。基于SMIC 0.18 μm 标准CMOS工艺对所提出的流水线进行了分析测试。与现有流水线比较显示,当组合逻辑为四位串行进位全加器时,新的流水线吞吐量提升62.8%,静态功耗减少40.5%,可用于高速低功耗的异步电路设计。

关键词: 集成电路; 并行完备; 半静态零协议逻辑; 异步流水线; 静态功耗

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2012)04-1012-05

DOI: 10.3724/SP.J.1146.2011.00884

Design of High-speed Asynchronous Pipeline Based on Parallel Completion Detection

Yang Yan-fei^① Yang Yin-tang^① Zhu Zhang-ming^① Zhou Duan^②

^①(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

^②(School of Computer Science and Technology, Xidian University, Xi'an 710071, China)

Abstract: A multi-threshold pipeline based on parallel completion is proposed to improve the throughput of asynchronous NULL Convention Logic (NCL) pipeline. With the special semi-static NCL threshold gates to be realized asynchronous combinational logic, data processing and completion detection of each pipeline stage are carried out parallelly, meanwhile, the data get through the pipeline by using serial mode. The series-parallel ways improve the throughput of the pipeline. Moreover, the static power of the pipeline in NULL cycle declines as well because of the new threshold gates. The proposed pipeline is simulated based on SMIC 0.18 μm standard CMOS technology. Comparison results indicate that the throughput of the novel pipeline has an increment of 62.8% and the static power consumption is reduced by 40.5% with 4-bit NCL Ripper Adder serving as an asynchronous combinational logic. The proposed pipeline can be used to design high-speed low-power asynchronous circuit.

Key words: Integrated circuit; Parallel completion; Semi-static NULL convention logic; Asynchronous pipeline; Static power consumption

1 引言

随着集成电路工艺的发展,传统的同步电路设计面临由全局时钟引起的一系列设计问题^[1]。由于异步电路采用握手协议代替时钟信号,避免了全局时钟引起的各种问题,因而成为设计者新的选择^[2]。异步流水线是建立高速异步系统的主要技术之一,其中零协议逻辑(NULL Convention Logic, NCL)流水线^[3]因延时不敏感特性、设计简单等特点被广泛应用

设计各种运算电路^[4,5]。但是传统的NCL流水线每个数据周期内有效数据(DATA)和空(NULL)信号交替输入,导致流水线吞吐量大幅下降。现有多种技术优化NCL流水线,文献[6]采用提前完备检测技术提升吞吐量;文献[7,8]主要优化流水线静态功耗;文献[9]以较大的面积代价提升流水线性能。文献[10,11]的设计方法则适合应用于延时最长的一级流水线,进而提升整个流水线的吞吐量。

本文提出一种基于串并结合工作方式的NCL流水线。采用独特的多阈值半静态NCL(Multi-Threshold Semi-static NCL, MTSNCL)阈值门建立异步组合逻辑,以实现流水线级内并行、级间串行的工作方式,有效地提升流水线性能。

2011-08-29 收到, 2011-12-01 改回

国家自然科学基金(60725415, 60971066), 国家 863 计划项目(2009AA01Z258, 2009AA01Z260)和“宽带隙半导体”国家重点实验室基金(ZHD200904)资助课题

*通信作者: 杨延飞 yfyang@stu.xidian.edu.cn

2 并行完备 NCL 流水线设计

2.1 MTSNCL 阈值门设计

图 1 所示为本文提出的 MTSNCL 阈值门结构，以 TH23 门为例。图中圆形星状线标注的晶体管为高阈值晶体管，由 sl(sleep, 休眠信号)及其反向信号所控制，该信号由流水线内部产生。当 sl 为 0 时，T2 和 T3 导通而 T1 和 T4 关断，执行传统 TH23 门的逻辑功能。反之，当 sl 为 1 时，T1 和 T4 导通而 T2 和 T3 关断，阈值门进入休眠模式且输出 dout 为 0。此时，阈值门中的上拉链和下拉链均被高阈值晶体管短路，GND 和 VDD 之间为漏电流很小的高阈值晶体管，有效地减小了阈值门的静态功耗。由于在休眠模式下，电路中的高阈值晶体管同时具有保持功能。因此图中阈值门不包含状态保持模块也可正常工作。

2.2 并行完备流水线结构

图 2 所示为本文提出的 NCL 流水线，图中每级流水线由 MTSNCL 组合逻辑、NCL 寄存器、完备检测及休眠信号产生电路组成。以第 N 级流水线为例，休眠信号产生电路的输入信号 $(Zt_0)_n$ 和 $(Zt_1)_n$ 是经过第 N 级流水线组合逻辑和寄存器的延时最长的一位双轨数据。当 $(Zt_0)_n$ 和 $(Zt_1)_n$ 中有一位为 1 时，输出 Z_n 为 1，表示本级组合逻辑输出的所有数据已经正确存储；当 $(Zt_0)_n$ 和 $(Zt_1)_n$ 均为 0 时表示本级组合逻辑和寄存器复位完毕且输出空。该模块的另一输入信号 D_n 来自本级完备检测模块， D_n 为 1，表示本级输入的所有有效数据已正确接收，为 0 表示本级输入均为零。由图 2 可看出，只有在 D_n 和 Z_n 均为 1 时，输出 sl 才为 1，即本级

组合逻辑的复位只有在输入数据正确接收且输出数据正确存储后才会启动，而只要输入或输出复位完毕，组合逻辑就会立刻进入工作状态。

本文流水线的工作原理为：数据输入第 N 级流水线后，完备检测和数据处理并行进行，sl 信号和应答信号 ko 的产生依赖于完备检测和数据处理时间较长者。若完备检测的时间较长，那么 sl 和 ko 将在完备检测完成后产生。反之，若数据处理时间较长，那么 sl 和 ko 将在数据被完整存储后产生，以确保数据的正确处理。当数据处理完毕后，sl 为 1，进行本级组合逻辑和输出寄存器的复位，本级输出为零。同时 ko 为 0，通知前级寄存器数据存储完成，可输出 NULL 信号。

图 3 所示为第 N 级流水线的完备检测电路，由标准完备检测电路和反向 TH22 门组成。标准完备检测电路在检测本级输入正确性的同时保证前级输出的完备性。只有当所有的输入数据都正确接收后，输出 D_n 才为 1。输入 Z_n 由休眠信号产生电路输出， Z_n 为 1 时，表示本级寄存器已完成数据的存储。本级应答信号 ko 由反向 TH22 门输出。当 Z_n 和 D_n 均为 1 时，本级流水线完成数据处理和存储，此时 ko 为 0，通知前级可以开始空周期的处理。当 Z_n 和 D_n 均为 0 时，ko 为 1，本级完成复位，并通知前级可以接收新的有效数据。与标准流水线不同的是，本文流水线中本级输出数据的完备性是由下一级完备检测电路保证的。

2.3 流水线分析

图 4 所示为本文流水线的握手时序图，以第 N 级为例。图中 din_N 和 $dout_N$ 分别表示第 N 级流水线

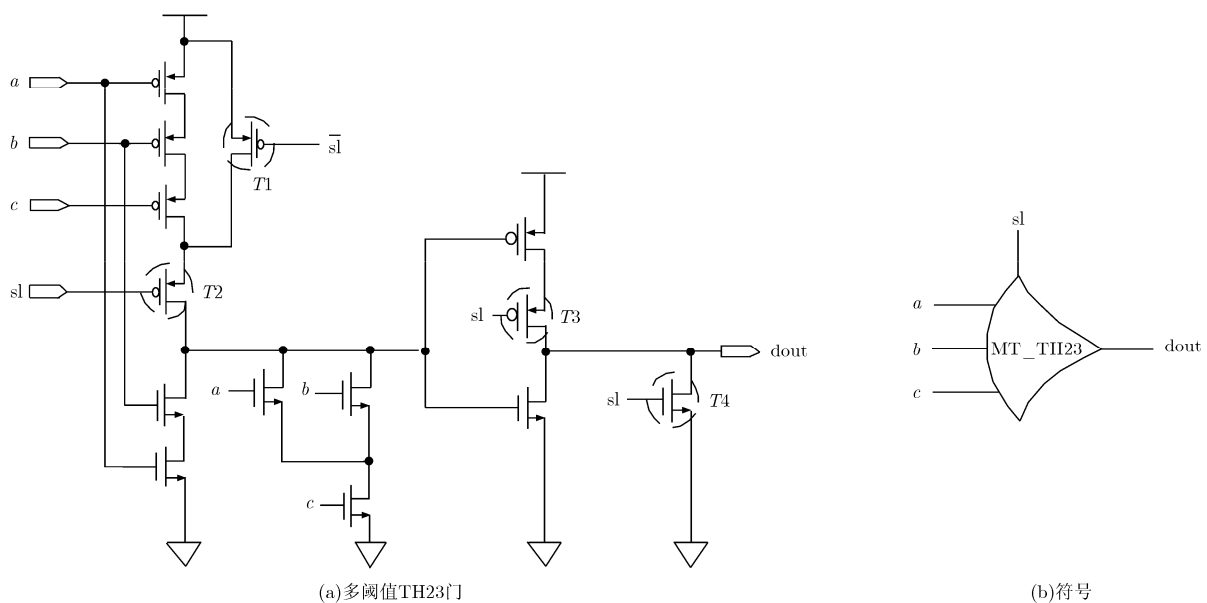


图 1 多阈值 TH23 逻辑门

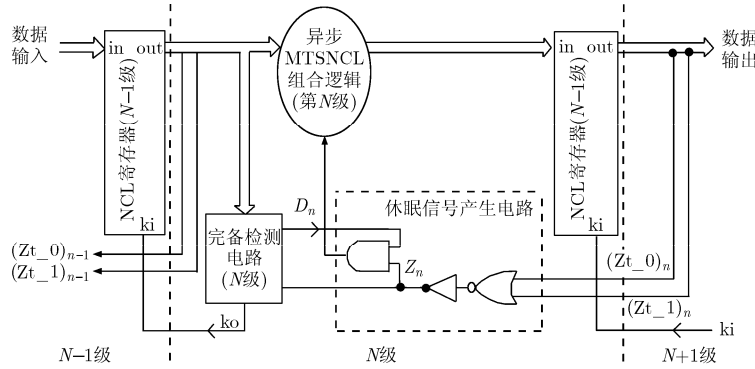


图 2 多阈值并行完备流水线

的输入和输出数据。初始化后应答信号 ko_N 为高电平，等待有效数据的输入。当数据输入后，完备检测和组合逻辑运算并行进行，而 sl_N 必须在数据计算完成并有效存储，同时本级完备检测结束后才输出为高电平。如图中所示，在 D_N 和 Z_N 均为高电平后才引起 sl_N 有效，电路进入低功耗的空状态。由时序图中可看出，组合逻辑的复位是由 sl_N 控制，而电路进入空周期则是由应答信号 ko_N 引起的。

数据到数据周期时间 (DATA-to-DATA cycle time) T_{DD} 是表征 NCL 流水线性能的一个重要参数，

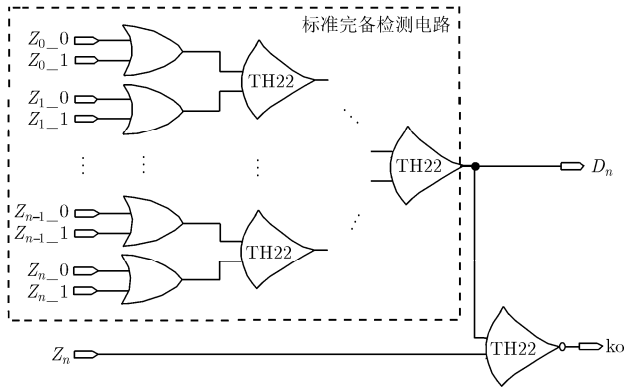


图 3 完备检测电路 (第 N 级)

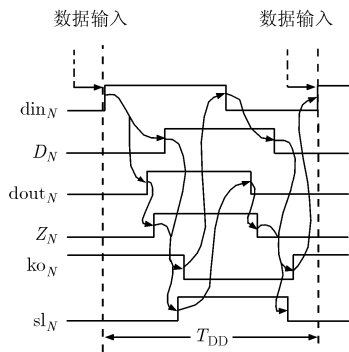


图 4 本文流水线握手时序图 (第 N 级)

定义为每级流水线从当前有效数据输入到下一次有效数据输入的时间。由于标准 NCL 流水线中信号总是依次经过组合逻辑、存储单元和完备检测。假设每级流水线组合逻辑和完备检测时间相同，则其周期时间为

$$T_{DD} = T_{DATAi+th22} + T_{CDDi} + T_{NULLi+th22} + T_{CDNi} \quad (1)$$

式(1)中 $T_{DATAi+th22}$ 和 $T_{NULLi+th22}$ 分别表示 DATA 和 NULL 信号经过第 i 级组合逻辑和寄存器的时间， T_{CDDi} 和 T_{CDNi} 分别为 DATA 和 NULL 信号经过第 i 级完备检测电路的时间。相比较于标准流水线的串行工作方式，本文流水线中信号的处理和存储与信号的完备检测是并行进行的。若采用相同的参数表述，由图 4 可知本文提出的流水线周期时间为

$$T_{DD} = \max\{T_{DATAi+th22}, T_{CDDi}\} + \max\{T_{NULLi+th22}, T_{CDNi}\} + 2T_{th22} \quad (2)$$

式(2)中所相加的时间项个数少于式(1)，表明本文设计的流水线在传输数据时不再依次串行通过每个功能块，每级流水线内采用并行工作方式，提升了吞吐量。

3 仿真结果和性能分析

3.1 流水线功能验证

基于 SMIC 0.18 μm 标准 CMOS 工艺，采用 Cadence Spectre 对本文流水线仿真验证，电源电压为 1.8 V。流水线组合逻辑使用一位 NCL 全加器，级数为 4 级，图 5 所示为部分仿真波形。图中 $Zt0_0$ 和 $Zt0_1$ 为信号经过第 1 级流水线组合逻辑和寄存器延时最长的一位双轨输出， $Z0_0$ 和 $Z0_1$ 为流水线最终输出的首位双轨数据。 $Z1$ 为 $Zt0_0$ 和 $Zt0_1$ 两信号或操作后的输出， $D1$ 则为第 1 级流水线完备检测模块中标准完备检测电路的输出。初始化后应答信号 $ko1$ 为 1，请求输入数据。数据进入组合逻辑的同时开始完备检测， $D1$ 为 1 时表示数据正确输入。当 $Z1$ 为 1 时表示首级流水线计算并存储完毕，

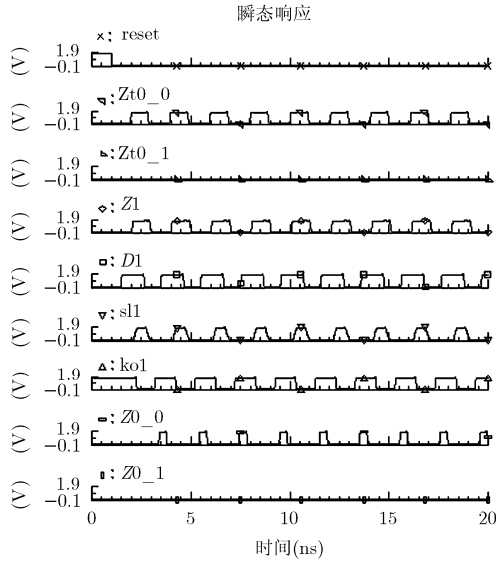


图 5 部分仿真波形图(4级)

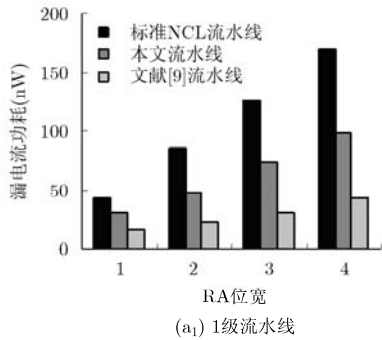
此时 s11 为 1，开始本级组合逻辑和寄存器的复位。在 D1 和 Z1 均为 1 后 ko1 为 0，通知前级可输入 NULL 信号。由波形图可看出，本文流水线信号的处理、存储与信号的完备检测是并行进行的。

3.2 流水线性能比较分析

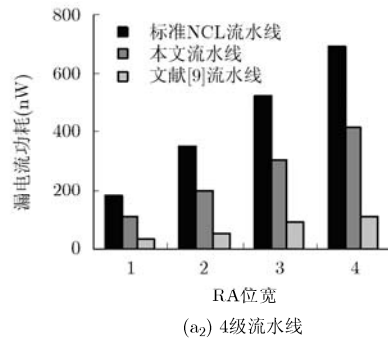
基于相同的测试平台，分别对文献[12]中的标准流水线、文献[9]提出的流水线和本文的流水线进行了仿真比较。测试时采用 NCL 串行进位全加器

(Ripple full-Adder, RA)作为组合逻辑。表 1 给出了基于不同位宽 RA 下 3 种流水线的周期及吞吐量。由于异步电路的性能取决于平均性能^[10]，测试时各流水线的 T_{DD} 为不同输入向量下的平均值。由表 1 可看出，随着 RA 位数增加，本文流水线吞吐量提升率越高。由于 RA 位数增加，每级流水线的组合逻辑延时和完备检测时间均增加。对比 2.3 节式(1)和式(2)可知，随着延时的增加，本文提出的流水线吞吐量提升越高。当组合逻辑为 4 位 RA 时，相比较于文献[9]和标准流水线，吞吐量分别提升了 45.6% 和 62.8%。

图 6 所示为不同位宽 RA 下 3 种流水线的静态功耗和面积比较，图 6(a)为不同级数下流水线的静态功耗，图 6(b)为相应的面积。由图 6 可看出，文献[9]的流水线静态功耗最小，但面积最大。由于该流水线采用静态实现方式，相比于半静态 NCL 门，静态 NCL 门具有更小的静态功耗，但是设计复杂且面积较大。因此静态功耗虽然显著减小，却需要更大的面积和动态功耗。而本文流水线采用 MTSNCL 逻辑，降低静态功耗的同时面积和动态功耗代价较小。由图中可看出，当 4 级流水线的组合逻辑为 4 位 RA 时，相比较于标准 NCL 流水线，本文流水线的静态功耗减小了 40.5%，而面积仅增加了 9.3%。

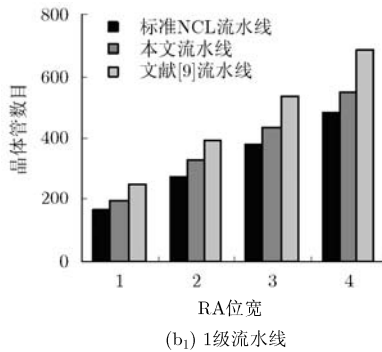


(a₁) 1级流水线

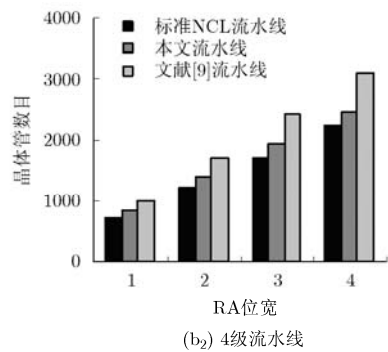


(a₂) 4级流水线

(a)不同级数下静态功耗比较



(b₁) 1级流水线



(b₂) 4级流水线

(b)不同级数下面积比较

图 6 流水线静态功耗和面积比较

表1 流水线性能比较

异步组合逻辑	标准 NCL 流水线 T_{DD} (ns)	文献[9] T_{DD} (ns)	本文流水线 T_{DD} (ns)	吞吐量提升 (相比于文献[9])(%)	吞吐量提升(相比于 标准 NCL 流水线)(%)
1 bit NCL RA	1.77	1.71	1.41	21.2	25.5
2 bit NCL RA	2.24	2.15	1.53	40.6	46.6
3 bit NCL RA	2.71	2.55	1.72	48.2	57.5
4 bit NCL RA	2.95	2.64	1.81	45.6	62.8

4 结束语

本文提出了一种并行完备异步流水线。首先给出流水线所需的 NCL 阈值门,采用新阈值门建立异步组合逻辑,使每级流水线的数据处理和完备检测并行进行,实现流水线级内并行、级间串行的工作

方式。这种串并结合的工作方式在有效缩短流水线周期,提升吞吐量的同时,降低了流水线空周期时的静态功耗。实验比较结果显示,本文流水线具有周期短,吞吐量高,静态功耗低的特点,适用于纳米工艺下高速异步 NCL 流水线系统设计。

参考文献

- [1] Rajaram A and Pan D Z. Robust chip-level clock tree synthesis[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2011, 30(6): 877-890.
- [2] 彭瑶, 周端, 杨银堂, 等. 一种高速延时无关片上异步转同步通信接口的设计[J]. *电子与信息学报*, 2011, 33(4): 938-944. Peng Y, Zhou D, Yang Y T, *et al.* A novel high-speed delay-independent asynchronous to synchronous communication interface[J]. *Journal of Electronics & Information Technology*, 2011, 33(4): 938-944.
- [3] Fant K M and Brandt S A. NULL convention logic: a complete and consistent logic for asynchronous digital circuit synthesis[C]. *Proceedings of International Conference on Application Specific Systems, Architectures and Processors*, Chicago, IL, 1996: 261-273.
- [4] Sankar R, Kadiyala V, Bonam R, *et al.* Implementation of static and semi-static versions of a bit-wise pipelined dual-rail NCL 2s complement multiplier[C]. *2007 IEEE Region 5 Technical Conference*, Fayetteville, Arkansas, 2007: 59-64.
- [5] Mallepalli S R, Kakarla S, Burugapalli S, *et al.* Implementation of static and semi-static versions of a 24+8×8 quad-rail NULL convention multiply and accumulate Unit[C]. *2007 IEEE Region 5 Technical Conference*, Fayetteville, Arkansas, 2007: 53-58.
- [6] Smith S C. Speedup of self-timed digital systems using early completion[C]. *IEEE Computer Society Annual Symposium on VLSI*, Pittsburgh, PA, 2002: 98-104.
- [7] Bailey A D, Jia Di, Smith S C, *et al.* Ultra-low power delay-insensitive circuit design[C]. *The 51st Midwest Symposium on Circuits and Systems*, Knoxville, TN, 2008: 503-506.
- [8] Bailey A D, Al Zahrani A, Fu G Y, *et al.* Multi-threshold asynchronous circuit design for ultra-low power[J]. *Journal of Low Power Electronics*, 2008, 4(3): 337-348.
- [9] Al Zahrani A, Bailey A D, Fu G Y, *et al.* Glitch-free design for multi-threshold CMOS NCL circuits[C]. *Proceedings of the ACM Great Lakes Symposium on VLSI*, Boston Area, MA, 2009: 215-220.
- [10] Smith S C. Speedup of NULL convention digital circuits using NULL cycle reduction[J]. *Journal of System Architecture*, 2006, 52(7): 411-422.
- [11] Guan X G, Zhou D, and Yang Y T. Optimization design of a full asynchronous pipeline circuit based on null convention logic[J]. *Journal of Semiconductors*, 2009, 30(7): 075010-6.
- [12] Kakarla S and Al Assadi W K. Testing of asynchronous NULL conventional logic (NCL) circuits[C]. *2008 IEEE Region 5 Conference*, Kansas City, MO, 2008: 1-6.

杨延飞: 女, 1984 年生, 博士生, 研究方向为 NoC 设计、异步电路设计及 VLSI 设计。

杨银堂: 男, 1962 年生, 博士, 教授, 博士生导师, 研究方向为深亚微米模拟集成电路及 IP 核设计、VLSI 技术和新型半导体器件设计。

朱樟明: 男, 1978 年生, 教授, 博士生导师, 主要研究方向为高性能 SoC/NoC 体系结构、CMOS 混合信号集成电路、SoC/NoC 设计方法学。