

## 一种适用于数控锁相环的动态带宽调整算法

陈鑫\* 吴宁

(南京航空航天大学电子信息工程学院 南京 210016)

**摘要:** 为了加快数控锁相环的锁定速度, 该文提出了一种适用于数控锁相环的动态带宽调整算法以加快锁定速度。仅当鉴相器鉴出的 3 次相位差均小于一定边界条件时, 该算法才减少数控锁相环的带宽, 而当鉴出的相位差超出一定边界条件时, 该算法将立即增加带宽。为验证所提出的动态带宽调整算法, 该文在 MATLAB 环境中建立了数控锁相环行为级模型。仿真结果表明, 在相同参数情况下, 采用该文提出的动态带宽调整算法可使锁定时间缩短至采用传统动态带宽调整技术锁定时间的 28.6%~85.7%。最后, 该文采用 CSM 0.18  $\mu\text{m}$  1P6M CMOS 工艺实现数控锁相环并进行实测。实测结果表明, 采用该文提出的动态带宽调整算法可快速消除相位差, 并使得锁相环始终维持在相位锁定状态。该文提出的动态带宽调整算法, 可以有效避免基于相位差调整锁相环频率的局限性, 降低错误调整带宽的几率, 继而加快锁定速度。

**关键词:** 数控锁相环; 动态带宽调整算法; 环路参数

**中图分类号:** TN402

**文献标识码:** A

**文章编号:** 1009-5896(2011)10-2500-06

**DOI:** 10.3724/SP.J.1146.2011.00053

## A Dynamic Bandwidth Control Algorithm for Digitally Controlled Phase-locked Loop

Chen Xin Wu Ning

(College of Electronic and Information Engineering,

Nanjing University of Aeronautics & Astronautics, Nanjing 210016, China)

**Abstract:** To accelerate the locking speed of the Digitally Controlled Phase-Locked Loop (DCPLL), a Dynamic Bandwidth Management (DBM) algorithm for DCPLL is presented. Only when the phase error sensed by the phase detector is less than the boundary condition for three times, the proposed algorithm decreases the DCPLL bandwidth. In addition, the proposed algorithm increases the DCPLL bandwidth immediately when the sensed phase error is larger the boundary condition. To verify the proposed algorithm, a behavioral model is developed in MATLAB environment. The simulation results show that, under the same condition, the locking time of the DCPLL with the proposed algorithm is reduced to 28.6%~85.7% of the locking time with the traditional DBM algorithm. Finally, a DCPLL is implemented by CSM 0.18  $\mu\text{m}$  1P6M CMOS and tested. The measured results show that the proposed algorithm can decrease the phase error rapidly and keep the DCPLL in locking status. Therefore, the proposed algorithm can avoid the limitation of traditional DBM algorithm, decrease the probability of changing the PLL bandwidth falsely, and accelerate the locking speed.

**Key words:** Digitally Controlled Phase-Locked Loop (DCPLL); Dynamic Bandwidth Management (DBM) algorithm; Loop parameters

### 1 引言

最近几年, 锁相环<sup>[1]</sup>广泛应用于嵌入式芯片的时钟产生电路<sup>[2, 3]</sup>。为降低功耗, 当嵌入式芯片进入休眠模式时, 嵌入式芯片会关掉包括锁相环在内的所有模块; 当嵌入式芯片退出休眠模式时, 嵌入式芯

片又需要锁相环尽快提供正确的时钟以同步数字电路。因此, 设计一个快速锁定的锁相环对于嵌入式芯片来说非常重要。

为降低锁定时间, 传统的方法是动态地调整带宽<sup>[4-8]</sup>。当相位差大时, 增加带宽以加快锁定速度; 当相位误差小时, 减少带宽以提高抖动性能。但是, 由于相位差仅表示相位的超前或落后程度, 并不代表频率差的大小, 因此在锁定过程中, 相位差和频率差的不一致将会导致带宽的错误调整, 进而影响了锁定时间。

2011-01-18 收到, 2011-07-11 改回

国家自然科学基金(61076019, 61106029)和江苏省科技支撑计划(BE2010003)资助课题

\*通信作者: 陈鑫 xin\_chen@nuaa.edu.cn

本文提出了一种新的动态带宽调整(DBM)算法。仅当鉴相器鉴出的 3 次相位差均小于一定边界条件时,该算法才减少数控锁相环的带宽,并当鉴出的相位差超出一定边界条件时,该算法将立即增加带宽以加快锁定速度。因此,通过本文提出的 DBM 技术,可以有效降低误判的几率,降低错误调整带宽的影响,提高锁相环的锁定速度。仿真和实测结果均表明,采用本文提出的 DBM 算法可快速消除参考时钟和反馈时钟之间的相位差,并使得锁相环维持在相位锁定状态。

## 2 锁相环锁定时间的讨论

二阶锁相环的锁定时间  $T_L$  可用式(1)表示<sup>[9]</sup>。

$$T_L \approx 4/(\omega_n \zeta) \quad (1)$$

式中  $\omega_n$  为带宽,  $\zeta$  为数控锁相环的阻尼系数。

由式(1)可知,带宽和阻尼系数均能影响锁相环锁定时间。增加阻尼系数可以减少锁定时间,但是较大的阻尼系数会导致锁相环的动态调整性能过缓,使得锁相环容易进入非线性工作状态,锁相环锁定时间不再服从式(1)并将大幅增加,因此阻尼系数的典型值在 0.5-2 之间,其中 0.707 是最常用的值。同时,具有较大带宽的锁相环锁定时间也较短,但是,大带宽又会影响锁相环的输出抖动性能。为解决这个矛盾,可采用动态带宽调整方法。当相位差较大时,锁相环增加带宽以达到快速锁定。相反,当相位差较小时,锁相环减少带宽以减小抖动。

数控锁相环包括鉴相鉴频器(PFD),时间数字转换器(TDC),数字滤波器,数控振荡器,分频器。数控锁相环的 Z 域模型可见图 1。

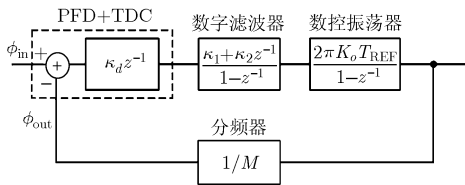


图 1 数控锁相环的 Z 域结构

因此,数控锁相环闭环传输函数如式(2)所示。

$$H(z) = \frac{\kappa(\kappa_1 z + \kappa_2)}{(z-1)^2 + \kappa(\kappa_1 z + \kappa_2)} \quad (2)$$

式中环路增益  $\kappa = K_o T_{REF}^2 / (M \Delta_{TDC})$ ,  $K_o$  为数控振荡器增益,  $T_{REF}$  为参考时钟周期,  $M$  为分频系数,  $\Delta_{TDC}$  为时钟数字转换器精度。

基于文献[10]的研究,当数控锁相环的带宽小于参考时钟频率的 1/10 时,有式(3)成立。

$$z - 1 = s T_{REF} \quad (3)$$

将式(3)代入式(2),可得

$$H(s) = \frac{(\kappa \kappa_1 / T_{REF})s + \kappa(\kappa_1 + \kappa_2) / T_{REF}^2}{s^2 + (\kappa \kappa_1 / T_{REF})s + \kappa(\kappa_1 + \kappa_2) / T_{REF}^2} \quad (4)$$

二阶锁相环的经典 S 域模型为

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5)$$

联合式(4)和式(5),带宽  $\omega_n$  和阻尼系数  $\zeta$  如式(6)所示。

$$\left. \begin{aligned} \omega_n &= \frac{1}{T_{REF}} \sqrt{\kappa(\kappa_1 + \kappa_2)} \\ \zeta &= \frac{\kappa_1}{2} \sqrt{\frac{\kappa}{\kappa_1 + \kappa_2}} \end{aligned} \right\} \quad (6)$$

从式(6)可知,环路增益  $\kappa$ 、数字滤波器  $\kappa_1$  分别与带宽  $\omega_n$ , 阻尼系数  $\zeta$  成正比例关系。数字滤波器  $\kappa_2$  和带宽  $\omega_n$  成正比例,和阻尼系数  $\zeta$  成反比例关系。

## 3 本文提出的动态带宽调整算法

本文采用的带宽调整方案如式(7)所示。

$$\left. \begin{aligned} \kappa_{1s} &= \beta \kappa_1 \\ \kappa_{2s} &= \beta \kappa_2 \end{aligned} \right\} \quad (7)$$

式中  $\kappa_{1s}$  和  $\kappa_{2s}$  为数字滤波器动态调整的参数,  $\kappa_1$  和  $\kappa_2$  为数字滤波器参数,  $\beta$  是调整系数,且  $\beta$  值随着相位差的增加而增加。

将式(7)代入到式(6),可得到下式:

$$\left. \begin{aligned} \omega_s &= \frac{1}{T_{REF}} \sqrt{\kappa(\kappa_{1s} + \kappa_{2s})} = \sqrt{\beta} \omega_n \\ \zeta_s &= \frac{\kappa_{1s}}{2} \sqrt{\frac{\kappa}{\kappa_{1s} + \kappa_{2s}}} = \sqrt{\beta} \zeta \end{aligned} \right\} \quad (8)$$

式中  $\omega_n$  是初始带宽,  $\zeta$  为初始阻尼系数,  $\omega_s$  为动态带宽,  $\zeta_s$  为动态阻尼系数。

从式(8)可知,数控锁相环的动态带宽  $\omega_s$ 、阻尼系数  $\zeta_s$  均和  $\sqrt{\beta}$  成正比例关系。 $\beta$  越大,则动态带宽  $\omega_s$  和阻尼系数  $\zeta_s$  越大,由式(1)可知,锁相环的锁定时间也越短。

由于鉴相器的鉴相结果只能间接地反映参考时钟和反馈时钟之间的频率差,有时会出现相位差与频率差不一致的情况。例如,参考时钟和反馈时钟之间的相位差较小,但是频率差较大。当出现这种情况时,基于相位差调整锁相环带宽会导致带宽的错误调整,反而会导致较长的锁定时间。

定义鉴出的第  $n$  个相位差为  $T_e(n)$ ,第  $n$  个参考时钟和反馈时钟的周期分别为  $T_{REF}(n)$  和  $T_{FB}(n)$ 。

第  $n$  个相位差  $T_e(n)$  可由式(9)给出。

$$T_e(n) = T_e(n-1) + T_{REF}(n-1) - T_{FB}(n-1) \quad (9)$$

式(9)可改写为

$$T_e(n) = T_e(n-1) + \frac{f_{FB}(n)/f_{REF}(n) - 1}{f_{FB}(n)} \quad (10)$$

式中  $f_{FB}(n)$  和  $f_{REF}(n)$  分别为第  $n$  个反馈时钟和参考时钟的频率。

若定义  $f_{FB}(n) = f_{REF}(1 + \Delta)$ ，则式(10)可改写为

$$T_e(n) = T_e(n-1) + \frac{1}{f_{REF}} \frac{\Delta}{1 + \Delta} \quad (11)$$

基于式(11)，若  $T_e(n-1)$  的符号为负， $\Delta$  的符号为正，则  $T_e(n)$  的绝对值将小于  $T_e(n-1)$ 。但经过一段时间， $T_e(n)$  的符号将与  $\Delta$  的符号相一致。

因此，即使参考时钟和反馈时钟之间的相位差和频率差不成比例关系，多次采样的相位差仍然能够指示反馈时钟和参考时钟之间的频率差。并且采样周期数越大，通过多次采样相位差指示的错误率越小。但是较长的采样周期又会导致较长的锁定时间。

所以，为获得较小的锁定时间，需要在指示错误率和采样周期数之间做出抉择。

若将采样相位差的平均周期数设为 2 次，则会出现如下情况。参考时钟和反馈时钟之间的频率差较大， $T_e(n)$  和  $T_e(n+1)$  的符号相反，且均略小于边界条件。若此时减小带宽，则减缓了锁相环的锁定速度。若减小边界条件，又容易造成锁相环很难满足带宽调整的条件，增加锁相环最终稳定的时间。

所以本文提出的算法仅当绝对相位差小于边界值 3 次时，才调整数控锁相环的带宽。在这种情况下，即使  $T_e(n)$  和  $T_e(n+1)$  均略小于边界条件，若参考时钟和反馈时钟之间的频率差较大， $T_e(n+2)$  将会超过边界条件，从而避免错误调整带宽，降低错误调整的概率。

图 2 所示的为本文提出的 DBM 算法。该算法根据时间-数字转换器的输出  $E[9:0]$ ，将相位差分为如下 3 种情况：

- (1)若  $E[9:0] < 63$ ,  $P[2]=1$ ；否则， $P[2]=0$ 。
- (2)若  $E[9:0] < 32$ ,  $P[1]=1$ ；否则， $P[1]=0$ 。
- (3)若  $E[9:0] < 8$ ,  $P[0]=1$ ；否则， $P[0]=0$ 。

为避免基于相位差调整锁相环带宽的局限性，本文提出的算法将  $P[2:0]$  的前 3 个状态分别保存为  $P\_d[2:0]$ ,  $P\_dd[2:0]$  和  $P\_ddd[2:0]$ ，并将  $P\_d[2:0]$ ,  $P\_dd[2:0]$  和  $P\_ddd[2:0]$  做按位与操作，得到  $PFLAG[2:0]$ 。

DBM 算法根据  $PFLAG[2:0]$  的结果调整  $\beta$  的值。 $\beta$  的值有如下 4 种情况：

- (1) $PFLAG[0]==1$ 。 $PFLAG[0]$  为  $P\_d[0]$ ,  $P\_dd[0]$  和  $P\_ddd[0]$  相与的结果。因此， $PFLAG[0]==1$

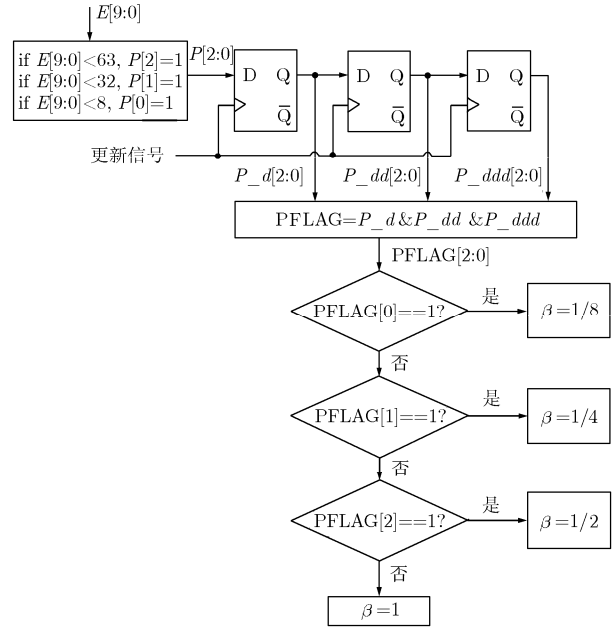


图 2 动态带宽调整算法

表明前 3 次数字化相位差  $E[9:0]$  均小于 8。此时， $\beta = 1/8$ 。若  $PFLAG[0]=0$ ，则表明至少一次数字化的相位差的值大于 8， $\beta$  值的判断转入下种情况。

(2) $PFLAG[1]==1$ 。 $PFLAG[1]$  为  $P\_d[1]$ ,  $P\_dd[1]$  和  $P\_ddd[1]$  相与的结果。因此， $PFLAG[1]==1$  表明前 3 次相位差  $E[9:0]$  均小于 32。此时， $\beta = 1/4$ 。若  $PFLAG[1]=0$ ， $\beta$  值的判断转入(3)。

(3) $PFLAG[2]==1$ 。 $PFLAG[2]$  为  $P\_d[2]$ ,  $P\_dd[2]$  和  $P\_ddd[2]$  相与的结果。因此， $PFLAG[2]==1$  表明前 3 次相位差  $E[9:0]$  均小于 63。此时， $\beta = 1/2$ 。若  $PFLAG[2]=0$ ， $\beta$  值的判断转入(4)。

(4) $PFLAG[2]==0$ 。在这种情况下，表明前 3 次相位差  $E[9:0]$  至少有一次不为零。因此，为尽快消除参考时钟和反馈时钟之间的相位差， $\beta = 1$ 。

本文提出的算法将相位锁定过程分为若干个小步骤；加强了减小带宽的约束条件，仅当鉴相器鉴出的 3 次相位差均小于一定边界条件时，该算法才减少数控锁相环的带宽；同时该算法增加带宽则十分迅速，只要鉴出的数字化相位差超过一定边界条件，锁相环将立即增加带宽。这主要基于如下 3 个考虑。第一，从式(8)可知，带宽和阻尼系数均与调整系数  $\beta$  相关。调整系数  $\beta$  若调整幅度过大可能会影响输出时钟的稳定性。因此，只能逐步调整  $\beta$  的值。第二，降低错误调整的几率。若锁相环尚未锁定，基于式(11)可知，鉴出的大多数相位差将比较大，因此强化减少带宽的约束条件，可以降低错误调整的几率。第三，降低错误调整带宽的影响。本文提出的 DBM 算法无法完全避免错误调整的可能，

但由于每次带宽的改变量较小，即使锁相环错误地调整带宽，对锁定时间的影响也是有限的；同时，若锁相环进行了错误带宽调整并引起相位差增加，则该算法将立即增加带宽以重新加快锁定速度。

#### 4 仿真验证

为和传统动态带宽调整技术进行详尽的性能比较，本文在 MATLAB 环境中建立了数控锁相环行为级模型<sup>[11]</sup>。该模型的伪代码如图 3 所示。

```

for i=2:npts      %npts 为仿真次数
    PFD 输出相位差 t2-t1;
    PFD 的非线性处理;
    时间-数字转换器转换相位差;
    根据相位差调整带宽;
    数字滤波器根据相位差, 产生控制字;
    数控振荡器根据控制字生成相应周期的时钟;
    分频器产生反馈时钟;
    参考时钟下个下降沿的时间 t1;
    反馈时钟下个下降沿的时间 t2;
end

```

图 3 数控锁相环 MATLAB 模型伪代码

从图 3 可知, Matlab 行为级模型的工作原理和一个实际数字锁相环工作原理完全一致, 因此, 只要环路中参数定义正确, 则该行为级模型则能够高精度模拟一个数字锁相环的响应<sup>[11]</sup>。

基于图 3 所示的 Matlab 模型, 本文建立了 3 种数控锁相环行为级模型, 分别为未采用 DBM 算法的数控锁相环模型<sup>[10]</sup>, 采用传统 DBM 算法<sup>[4]</sup>的数控锁相环模型和采用本文提出 DBM 算法的数控锁相环模型。对于未采用 DBM 算法的数控锁相环, 在锁定过程中其带宽和阻尼系数始终不变。传统 DBM 算法在模拟锁相环中应用的较多, 其带宽和相位差关系如式(12)所示, 成线性比例关系。当鉴相器鉴出的相位差较大时, 传统 DBM 算法将立即增加带宽; 同时, 当相位差较小时, 传统 DBM 算法将立即减小带宽。

$$\omega_s = \omega_n + \lambda|\theta_e| \quad (12)$$

式中  $\omega_n$  是初始带宽,  $\omega_s$  为动态带宽调整,  $\lambda$  为比例因子,  $\theta_e$  为鉴出的相位差。

为在相同参数下进行比较, 以上 3 种算法均应用于图 1 所示的数控锁相环结构, 唯一的区别在于参数  $\beta$  的选择。

未采用 DBM 算法数控锁相环的参数  $\beta = 1/8$ 。

采用传统 DBM 算法数控锁相环的参数  $\beta$  取值算法如下所示。其特点在于参数  $\beta$  随着数字化相位

差的变化而立即变化。

(1) 数字化相位差小于 8。此时,  $\beta = 1/8$ 。否则,  $\beta$  值的判断转入(2)。

(2) 数字化相位差均小于 32。此时,  $\beta = 1/4$ 。否则,  $\beta$  值的判断转入(3)。

(3) 数字化相位差小于 63。此时,  $\beta = 1/2$ 。否则,  $\beta$  值的判断转入(4)。

(4)  $\beta = 1$ 。

本文提出的 DBM 算法中参数  $\beta$  取值如图 2 所示。其特点在于仅当鉴相器鉴出的 3 次相位差均小于一定边界条件时, 该算法才分步骤地减少数控锁相环的带宽, 并当鉴出的相位差超出一定边界条件时, 该算法将立即增加带宽以重新加快锁定速度。

其他的参数均为一致, 其中时间-数字转换器的精度为 60 ps, 数控振荡器的增益为 0.6 MHz/个, 控制字范围为 0~511, 频率范围为 350~656.6 MHz, 数控锁相环的起始频率为 350 MHz。

若定义数控锁相环鉴出的数字化相位差小于 60, 即相位差小于 3.6 ns 时, 数控锁相环进入锁定状态。3 种数控锁相环锁定时间与锁定频率之间的关系如图 4 所示。图中, 横轴为分频系数  $M$ , 纵轴为锁定时间, 锁定时间的单位用参考时钟的周期数表示。如图所示, 由于数控锁相环的初始频率为 350 MHz, 随着分频系数  $M$  的逐渐增加, 数控锁相环初始频率和锁定时频率之间的频率差不断增加, 因此数控锁相环的锁定时间也不断增加。当分频系数  $M$  的范围为 36~63 时, 未采用 DBM 算法的锁定时间为 38~154 个参考时钟周期, 采用传统 DBM 算法的锁定时间为 6~29 个参考时钟周期, 采用本文提出 DBM 算法的锁定时间为 2~24 个参考时钟周期。

通过仿真可知, 采用 DBM 算法能明显加快数控锁相环的锁定速度。当分频系数相同时, 采用传统 DBM 算法的锁定时间是未采用 DBM 算法锁定

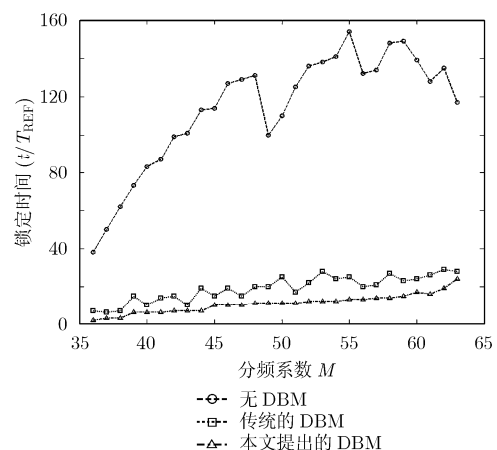


图 4 锁定时间仿真图

时间的 9.9%~23.9%。而本文提出的 DBM 可以降低错误调整带宽的几率,因此在相同参数下,采用本文提出 DBM 算法的锁定时间是采用传统 DBM 算法锁定时间的 28.6%~85.7%。

## 5 实测验证

为验证本文提出的 DBM 算法的有效性和稳定性,本文采用 CSM 0.18  $\mu\text{m}$  1P6M CMOS 工艺实现了一种采用该 DBM 算法的数控锁相环,面积为 700  $\mu\text{m}$ ×800  $\mu\text{m}$ 。该数控锁相环包括频率捕获模式<sup>[12]</sup>和相位捕获模式。当数控锁相环处于频率捕获模式时,采用文献[12]提出的一种快速频率搜索算法迅速减小参考时钟和反馈时钟之间的频率差。当数控锁相环进入相位捕获模式后,数控锁相环通过比较参考时钟和反馈时钟之间的相位差调节数控振荡器频率,并采用本文提出的 DBM 算法快速消除参考时钟和反馈时钟之间的频率差。

图 5 和图 6 所示的均为数控锁相环锁定在 550 MHz 的相位锁定过程。其中,图 5 所示的为未开启 DBM 算法的数控锁相环相位锁定过程。图中共有 4 栏信号。第 1 栏为参考时钟信号,其频率为 10 MHz。第 2 栏为反馈时钟信号,由振荡器分频后产生,当锁相环锁定时,其频率为 10 MHz。第 3 栏为频率锁定信号,根据内置鉴频器的鉴频结果产生,当鉴频器鉴出振荡器输出频率与预期锁定频率的差别小于 10 MHz 时,频率锁定信号为高电平,否则为低电平。第 4 栏为相位锁定信号,根据内置时间数字转换器的转换结果产生,时间数字转换器将鉴相鉴频器鉴出的相位差转换为数字量,当数字超过 60,则相位锁定信号为低电平,否则为高电平。

如图 5 所示,当频率锁定信号为高电平后,数控锁相环进入相位捕获模式。但由于参考时钟和反馈时钟之间残留的频率差,经过 0.82  $\mu\text{s}$  左右,参考时钟和反馈时钟之间的相位差经时间-数字转换器转化后的数字相位差不断增加,超过了 60,相位锁

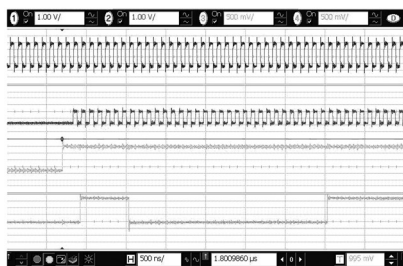


图 5 未开启 DBM 算法的锁定过程(550 MHz)

定信号重新转为低电平。数控锁相环通过调整数控振荡器的频率,再经过 2.5  $\mu\text{s}$  后,将参考时钟和反馈时钟之间的数字相位差缩小至 60 以下,相位锁定信号重新转为高电平。

图 6 所示的为开启动态带宽算法的数控锁相环相位锁定过程。图中 4 栏信号的含义与图 5 所示信号的含义一致。如图 6 所示,在相位锁定过程中,由于采用动态带宽调整,数控锁相环鉴出的相位差经时间-数字转换器转换后的数字相位差始终小于 60,因此,相位锁定信号始终保持为高电平。

通过图 5 和图 6 的比较可知,本文提出的 DBM 算法可稳定快速地消除参考时钟和反馈时钟之间的频率差,并使得锁相环维持在相位锁定状态。

## 6 总结

本文提出了一种新的动态带宽调整算法。它将相位锁定过程分为若干个小步骤,减少了调整环路参数对时钟稳定性的影响;并且加强了减少带宽的约束条件,仅当鉴相器鉴出的 3 次相位差均小于一定边界条件时,该算法才分步骤地减少数控锁相环的带宽,降低错误调整带宽的几率;该算法增加带宽则十分迅速,只要鉴出的数字化相位差超过一定边界条件,锁相环将立即增加带宽,因此若锁相环进行了错误带宽调整并引起相位差增加,该算法将立即增加带宽以重新加快锁定速度。因此,该算法可以有效避免基于传统动态带宽调整算法调整的局限性,降低错误调整带宽的几率,继而加快锁定速度。仿真结果表明,在相同参数情况下,本文提出的动态带宽调整算法可使锁定时间缩短至采用传统动态带宽调整算法锁定时间的 28.6%~85.7%。最后,本文采用 CSM 0.18  $\mu\text{m}$  1P6M CMOS 工艺实现数控锁相环。实测结果表明,采用本文提出的动态带宽调整算法可稳定快速地消除参考时钟和反馈时钟之间的频率差,验证了本文提出的动态带宽调整算法的有效性和稳定性。

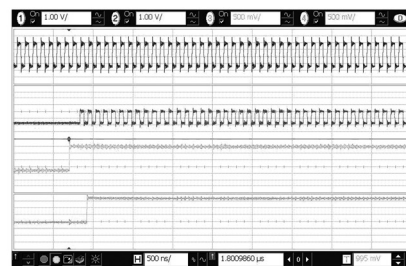


图 6 开启 DBM 算法的锁定过程(550 MHz)

## 参 考 文 献

- [1] 戚晨皓, 陈国强, 吴乐南. 二阶锁相环的 EBPSK 信号解调分析[J]. 电子与信息学报, 2009, 31(2): 418-421.  
Qi Chen-hao, Chen Guo-qiang, and Wu Le-nan. EBPSK demodulation analysis based on second-order phase locked loop[J]. *Journal of Electronics & Information Technology*, 2009, 31(2): 418-421.
- [2] 董方源, 杨海钢, 韦援丰. FPGA 片上时钟发生器快速自校准方案[J]. 电子与信息学报, 2009, 31(6): 1521-1524.  
Dong Fang-yuan, Yang Hai-gang, and Wei Yuan-feng. Scheme of fast self-calibration for a FPGA chip clock generator[J]. *Journal of Electronics & Information Technology*, 2009, 31(6): 1521-1524.
- [3] Lee Jang-woo, Kim Hong-jung, and Yoo Chang-sik. Spread spectrum clock generation for reduced electro-magnetic interference in consumer electronics devices[J]. *IEEE Transactions on Consumer Electronics*, 2010, 56(2): 844-847.
- [4] 黄水龙, 王志华. 快速建立时间的自适应锁相环[J]. 电子与信息学报, 2007, 29(6): 1492-1495.  
Huang Shui-long and Wang Zhi-hua. An adaptive PLL architecture to achieve fast settling time[J]. *Journal of Electronics & Information Technology*, 2007, 29(6): 1492-1495.
- [5] Hsieh P H, Maxey J, and Yang C K K. A phase-selecting digital phase-locked loop with bandwidth tracking in 65-nm CMOS technology[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(4): 781-792.
- [6] Shan Chang-hong, Chen Zhong-ze, Zhu Li-jun, *et al.* Design and implementation of bandwidth adaptable third-order all Digital phase-locked loops[C]. 2010 6th International Conference on WiCOM, Chengdu, 2010: 1-4.
- [7] Chen Chen-feng and Chau Yawgeng A. The implementation of an adaptive bandwidth all-digital phase-locked loop[C]. TENCON 2010 - 2010 IEEE Region 10 Conference, Fukuoka, 2010: 1182-1185.
- [8] Kim Deok-soo, Song Heesoo, and Kim Taeho. A 0.3-1.4 GHz all-digital fractional-N PLL with adaptive loop gain controller[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(11): 2300-2311.
- [9] Das B P, Watson N, and Liu Yong-he. Electronically tunable PLL controller design using OTA[C]. 2010 17th IEEE International Conference on ICECS, Athens, 2010: 198-202.
- [10] Kratyuk Volodymyr, Hamumolu Pavan Kumar, Moon Un-Ku, *et al.* A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked loop analogy [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2007, 54(3): 247-251.
- [11] Syllaios I L, Staszewski R B, and Balsara P T. Time-domain modeling of an RF all-digital PLL[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2008, 55(6): 601-605.
- [12] Chen Xin, Yang Jun, and Shi Long-xing. A novel fast-lock-in digitally controlled phase-locked loop[J]. *IEICE Transactions on Electronics*, 2008, E91C(12): 1971-1975.

陈 鑫：男，1982 年生，讲师，研究方向为数控锁相环。

吴 宁：女，1956 年生，教授，博士生导师，研究方向为数字系统理论与技术、系统的自动测量、控制与故障检测、电子系统集成与专用集成电路。