

采用字典词条衍生模式的测试数据压缩

刘杰^{*①③} 易茂祥^② 朱勇^①

^①(阜阳师范学院物理与电子科学学院 阜阳 236037)

^②(合肥工业大学电子科学与应用物理学院 合肥 230009)

^③(合肥工业大学计算机与信息学院 合肥 230009)

摘要: 为了降低数字集成电路测试成本,压缩预先计算的测试集是一种有效的解决途径。该文根据索引位数远少于字典词条,以及测试数据中存在大量无关位,提出一种采用词条衍生和二级编码的字典压缩方案。该方案引入循环移位操作,确保无关位按序任意移动而不丢失,从而扩大词条衍生性能,减少非词条向量个数。另外,采用规则的两级编码可以减少码字数量和解压电路的复杂度。实验结果表明该文所提方案能够进一步提高测试数据压缩率,减少测试时间。

关键词: 集成电路; 测试数据压缩; 字典压缩方案; 循环移位

中图分类号: TP391.76; TN407

文献标识码: A

文章编号: 1009-5896(2012)01-0231-05

DOI: 10.3724/SP.J.1146.2010.01416

Test Data Compression Using Entry Derivative Mode of Dictionary

Liu Jie^{①③} Yi Mao-xiang^② Zhu Yong^①

^①(School of Physics and Electronic Science, Fuyang Normal College, Fuyang 236037, China)

^②(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, China)

^③(School of Computer and Information, Hefei University of Technology, Hefei 230009, China)

Abstract: To lower cost of testing digital integrated circuits, compressing precomputed test set is an effective resolution way. A dictionary compression scheme using entry derivative and two-level coding is proposed based on digits of index far fewer than that of dictionary entry and enormous don't-care bits in test data. The introduced cyclic shift operation can arbitrarily shift don't-care bits in order without losing them so that derivative performances of entries are expanded and number of non-entry vectors is decreased. In addition, two-level regular coding is adopted to reduce volume of code words and complexity of decompression circuit. The experimental results show that the proposed scheme can farther heighten test data compression ratio and decrease test time.

Key words: Integrated circuit; Test data compression; Dictionary compression scheme; Cyclic shift

1 引言

随着集成电路规模增大、测试数据量增加,电路测试成本越来越高。确定性测试集测试因具有测试速度快、故障覆盖率高,并能与基于扫描链的可测试设计相结合等特点而被采用。这样,降低测试成本便归结到对测试集进行压缩的研究。当前关于这方面的研究主要包括游程编码、线性反馈移位寄存器(LFSR)重播种和分块编码等^[1]。

游程编码^[2-4]是一种对测试流中 0 游程或者 1

游程进行编码的测试压缩技术,主要用于单扫描链测试,很难用于多扫描链测试中。LFSR 重播种方案^[5,6]使用多项式技术把测试激励转换成位数较少的种子,并在测试硬件中使用 LFSR 对种子进行扩展以便还原出原有测试激励,主要用于随机测试后的硬故障测试以及多扫描链测试中。对于确定性测试集压缩,因种子位数受到测试向量中确定位影响,其压缩能力受到限制。

分块编码压缩方案^[7-13]是把单扫描链中的分块(block),或者多扫描链中的切片(slice)看作测试向量,并根据不同测试向量之间关系进行编码。这类方案能够利用测试向量在测试集中的共性,采用灵活的编码形式,获得比游程编码和LFSR重播种方案更好的压缩效果。考虑到片上系统(SoC)中一些核可能具有存储能力,如果能够把这种存储芯核用在

2010-12-27收到, 2011-11-09改回

教育部博士点基金(200803590006), 安徽省海外高层次人才基金(2008Z014)和安徽省高校省级自然科学基金(KJ2010A280, KJ2010B428)资助课题

*通信作者: 刘杰 liujie52@sina.cn

SoC的自身测试中,将会减少对自动测试设备(ATE)的要求。基于这种理念,分块编码具有了更多的实用性,其中字典压缩方案就是具体的表现。文献[9,10]因为采用不规则寻址地址,造成解压电路相对复杂;而文献[11-13]采用规则的索引寻址,其解压电路相对简单,因而更具有研究价值。

结合字典压缩优势,本文把循环移位技术引入测试数据压缩中。通过循环移位可以灵活运用无关位,改变向量形式,扩大向量之间的相容性和反向相容性,拓宽字典词条衍生范围,减少非字典词条数量。同时采用两级规则编码,有效提高字典词条利用率和减少解压电路复杂性。该方案既能应用于单扫描链测试也可以用于多扫描链测试中,能够进一步提高原有字典压缩方案的压缩效果。

2 所提压缩技术

采用实例说明本文所提方案压缩过程和编码方法,见表1。表中符号“*”表示了该行对应向量处理到此结束,其结束原因在第7栏给出。具体操作过程如下。

(1)给定一个测试集,如果采用单扫描链测试,则对所有测试模式连成的数据流按照一定位数进行划分,得到一系列定长的分块^[7-9],即测试向量;而如果采用多扫描链测试,则对所有测试模式按照扫描链条数进行重新划分,得到一系列切片(slice)^[10-13],也即测试向量。表1第2栏给出了划分后的定长测试向量集合 G 。这里共有12个8位数据。

(2)根据文献[11]提出的字典压缩技术,采用启发式算法程序,获得字典集合 D 。例如,对表1中

数据进行处理,获得压缩结果见表中第3栏。

(3)取1集合 P ,用于保存字典集合 D 中词条和 G 中可能还剩余的向量。接着对 P 中向量进行反向相容判断,删除被替代的反向相容的向量,并记录被替代的反向相容向量个数。

表中第4栏给出反向相容处理结果。例如,第4向量与第1向量是反向相容,那么第5向量也就与第1向量是反向相容,于是用第1向量表示第4和第5向量。

(4)对 P 中向量进行循环移位和相容关系判断,程序如下:

(a)设定最大可循环移位位数 $shift_max$ (该值不能大于向量的位数),初始化一些可能使用的参数。

(b)再设定一个移动位数变量 s , s 从0开始。

(c)从集合 P 中第1个向量开始,经循环移位 s 位后判断与其后向量是否相容或者反向相容,对于相容或者反向相容的向量,将从 P 中删除,并记录结果。

(d)如果 s 不大于 $shift_max$,则重复步骤(c),直到 s 大于 $shift_max$ 。

(e)根据 P 中向量所代表的相容、反向相容,以及移位后相容和反向相容的总数对 P 中向量按降序排列。

例如,第9向量与循环移动第1向量1位后获得的新向量X0010000相容;第10向量与循环移动第6向量1位后获得的新向量0X00X111反向相容。

(5)根据预先确定的字典容量 N ,采用图1编码方式对原始测试向量进行编码。

表1 本文所提压缩技术压缩流程

序号 i	测试向量 T_i	字典压缩	未移动时反向相容	右向循环移动1位	右向循环移动2位	结束原因	向量个数	编码
1	0010000X	0010000X	0010000X	0010000X	00100001		7	0 0
2	0010XXXX	*				与第1相容		0 0
3	XX10X001	*				与第1相容		0 0
4	1101111X	1101111X	*			与第1反向相容		111 0
5	1101111X	*				与第4相容		111 0
6	X00X1110	X00X1110	X00X1110	X00X1110	10001110		4	0 1
7	X00X1110	*				与第6相容		0 1
8	X1111100	X1111100	X1111100	X1111100	X1111100		1	110 X1111100
9	X0010000	X0010000	X0010000	*		与第1相容		100 0 0
10	1X11X000	1X11X000	1X11X000	*		与第6反向相容		101 1 0
11	01001000	01001000	01001000	01001000	*	与第1相容		100 0 1
12	01011100	01011100	01011100	01011100	*	与第6反向相容		101 1 1
总数	96位	8个	7个	5个	3个			49位

设集合 P 中含有 n 个向量，当 $n < N+1$ 时 编码方式为	
0 + 词条索引，	表示该向量与字典词条相容
11 + 词条索引，	表示该向量与字典词条反向相容
100 + 词条索引 + A，	表示该向量与字典词条循环移动 s 位后相容
101 + 词条索引 + A，	表示该向量与字典词条循环移动 s 位后反向相容
否则 编码方式为	
0 + 词条索引，	表示该向量与字典词条相容
111 + 词条索引，	表示该向量与字典词条反向相容
110 + 原始向量，	表示该向量不在字典内，不需要对原始数据编码
100 + 词条索引 + A，	表示该向量与字典词条循环移动 s 位后相容
101 + 词条索引 + A，	表示该向量与字典词条循环移动 s 位后反向相容

图 1 编码方式

为表示区分，被储存在字典中作为词条的向量称作基本词条，由基本词条通过移位而获得的向量叫做衍生词条。基本词条的索引采用二进制数表示，共有 $\lceil \log_2^N \rceil$ 位，属于一级编码；衍生词条采用循环移动位数 s 的二进制数表示，即图 1 中的 A ，共有 $\lceil \log_2^{\text{shift-max}} \rceil$ 位，属于二级编码。

通过以上 5 个步骤，数据处理和编码完毕。这里需要补充 3 点。(1)表中字典容量是 2，基本词条是第 1 和第 6 向量，分别用索引“0”和“1”表示。例如，第 8 向量不在字典内，只能采用标识符“110”加原始数据“X1111100”编码。第 1 向量是字典的第 1 词条，编码为标识符“0”加词条索引“0”。第 12 向量与第 6 向量经过循环移位 2 位后获得的衍生词条反向相容，因此编码是标识符“101”加词条索引“1”和移动位数的二进制数“1”。(2)第 1 向量循环移动 2 位后变成 0X001000，与第 11 向量相容，其中无关位 X 由向量最右端移动到左边第 2 位；如果第 1 向量采用单向右移 2 位，最左位补 0，则变成 00001000，与第 11 向量是既不相容也不反向相容，其中无关位也丢失。这说明循环移位不仅增加向量之间的相容性，还能够充分利用无关位，优于一般的向量移位。(3)从表中可以看出，原始测试集是 12 个向量，经过字典压缩后剩下 8 个，经过本文方案处理后仅剩 3 个。这样，96 位的原始测试集被压缩成 49 位，减少了一半。

3 解压电路

这里给出本文方案在多扫描链测试中实施的电路，见图 2。图中被测电路(CUT)由 m 条扫描链组成^[11]。计数器 1 是 $\lceil \log_2^m \rceil$ 位加 1 计数器。RST1 是复位控制线，INC 是加 1 计数控制线。当计数器 1 计数到 $\lceil \log_2^{\text{shift-max}} \rceil$ 时，移位结束标志(Sflag)有效，以便向有限状态机(FSM)表示二级编码输入结束；当计数到 $\lceil \log_2^N \rceil$ 时，字典索引结束标志(Iflag)有效，表示字典索引数完全移入到计数器 2 中；而当计数到 m 时，计数结束标志(Mflag)有效，表示 m 个原始数据被移入到循环移位寄存器(CSR)中。计数器 2 是移位计数器，位数由 $\lceil \log_2^N \rceil$ 和 $\lceil \log_2^{\text{shift-max}} \rceil$ 中最大者决定，用于储存移入的索引和二级编码。RST2 是复位控制线，SHT2 是移位控制线，DEC 是减 1 计数控制线，而 Zero 则是计数器 2 计数结果为 0 的标志线。循环移位寄存器(CSR)是 m 位可装载循环移位寄存器，其正反两个输出端被选择输出到扫描链。下面描述该电路的工作过程。

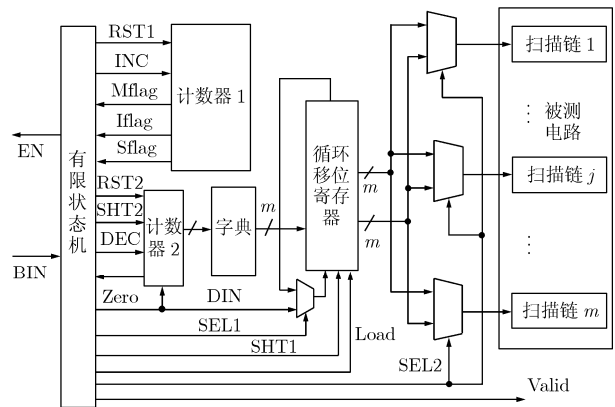


图 2 解压电路结构

(1)电路初始化，有限状态机(FSM)由使能端(EN)发出使能信号，由数据输入端(BIN)接收外来被编码数据。

(2)当接收到数据“0”，表示后续接收的数据是 $\lceil \log_2^N \rceil$ 位字典索引。有效 EN, INC 和 SHT2，计数器 1 开始加 1 计数，字典索引数据通过 DIN 移入计数器 2 中；直到 Iflag 有效，索引数据停止移入，EN 无效。接着，先后有效数据装载端(Load)和数据有效端(Valid)，选择 CSR 的正向输出端数据传到扫描链。随后，有效 RST1，复位计数器 1，转入步骤(1)。

(3)当接收到数据“110”，表示后续接收数据是 m 位原始数据。有效 EN 和 INC，计数器 1 开始加 1 计数；使数据选择端(SEL1)和移位控制端(SHT1)有效，数据由 DIN 线经选择器移入 CSR 中，直到

Mflag 有效;接着,有效 Valid,把 CSR 的正向输出端数据传到扫描链。随后,有效 RST1,复位计数器 1,转入步骤(1)。

(4)当接收到数据“111”,表示后续接收数据是词条索引,并把词条反码输入到扫描链。有效 EN 和 INC,计数器 1 开始加 1 计数;SHT2 有效,字典索引通过 DIN 移入计数器 2 中;直到 Iflag 有效,停止有效 EN,也停止后续数据移入。接着,有效 Load,再有效 SEL2 和 Valid,选择 CSR 的反向输出端数据传到扫描链。随后,有效 RST1,复位计数器 1,转入步骤(1)。

(5)当接收到数据“100”,表示后续接收数据是词条索引和二级编码。首先,继续有效 EN 和 INC,计数器 1 开始加 1 计数;有效 SHT2,词条索引通过 DIN 移入计数器 2 中;直到 Iflag 有效,停止有效 EN,也停止后续数据移入。接着有效 Load 和 RST1,之后再同时有效 RST2, EN, INC 和 SHT2,把二级编码移入计数器 2 中,直到 Sflag 有效。最后,计数器 2 在 DEC 作用下减 1 计数,CSR 在 SHT1 控制下移位,直到 Zero 有效,停止移位。有效 Valid,选择 CSR 的正向输出端数据传到扫描链。之后,有效 RST1,复位计数器 1,转入步骤(1)。

(6)当接收到数据“101”,电路工作过程与步骤 5 相似,唯一不同点在于:有效 SEL2,选择 CSR 的反向输出端数据传到扫描链。

4 实验数据分析

对 ISCAS-89 标准电路中最大几个电路进行多扫描链测试实验。实验中采用 128 个字典词条,每个词条的位数按照扫描链条数计算,实验结果见表 2。表中第 1 栏给出电路名称,第 2 栏列出相应的测试集总位数,第 3 到第 7 栏分别给出不同扫描链下的压缩率。数据表明,部分电路在扫描链达到 200 条时获得较高压缩率。只有电路 s38417 和 s38584 分别在扫描链为 67 和 128 时获得很高压缩率。

下面给出本文方案与几种基于字典的测试压缩方案的压缩率对比,见表 3。数据表明,除掉电路 s38417 和 s38584,本文方案对其它电路都获得很高的压缩率,在平均值方面本文方案也比其它方案高,高出文献[10]达 14%。

考虑到字典同样要占用资源,下面给出几种方案在计入字典存储后的压缩率比较,见表 4。可以看出,本文方案对每一种电路都获得较高压缩率,高出文献[11]达到 14%。这也说明本文方案比其它方案更具优势。

表 2 基于不同扫描链的测试数据压缩率

电路	测试集 (位)	不同扫描链压缩率(%)				
		32	64	67	128	200
s13207	165200	73.97	86.52		93.11	95.36
s15850	76986	69.75	81.38		89.34	94.61
s38417	164736	58.59	65.00	71.42	62.80	53.77
s38584	199104	66.59	74.73		78.09	77.67
s5378	23754	71.78	84.39		91.54	92.51
s9234	39273	68.85	80.83		92.19	93.15

表 3 压缩率比较(%)

电路	VHEC ^[10]	SEFI ^[11]	DWC ^[12]	BDSM ^[13]	本文方案
s13207	91.18	94.84	88.00	92.01	95.36
s15850	78.49	81.98	87.73	88.12	94.61
s38417	64.39	61.79	86.72	74.00	71.42
s38584	72.20	73.24	86.89	76.51	78.09
s5378	67.96	73.29	77.57	-	92.51
s9234	67.50	70.72	88.66	87.54	93.15
平均	73.62	75.98	85.93		87.52

表 4 压缩率比较(%)

电路	SEFI ^[11]	DWC ^[12]	BDSM ^[13]	本文方案
s13207	79.35	80.77	82.09	84.31
s15850	60.70	63.99	66.84	71.74
s38417	58.06	48.47	64.05	66.22
s38584	60.38	67.15	68.28	72.42
s5378	38.80	51.20	-	56.75
s9234	29.00	51.85	45.82	60.71
平均	54.38	60.57		68.69

下面再讨论本文方案的测试用时。这里忽略自动测试设备(ATE)与解压器的异步握手协议,并假设 ATE 传输数据频率是 20 MHz,扫描链测试频率是 320 MHz,实验结果见表 5。表中第 2 栏列出在单扫描链测试状态下由 ATE 直接把原始数据输入到被测电路所需时间,第 3 栏和第 5 栏给出在 128 条扫描链时的测试耗时,第 4 栏数据来自文献[13]。结果表明,尽管本文方案需要消耗一定的数据移位时间,但是,这种测试仍然比其它方案减少用时,相比单扫描链测试节约更多耗时,平均耗时压缩了 4/5。

从图 2 和文献[11-13]提供的解压电路可知,当使用相同扫描链条数时,所有方案的寄存器数量相差不大。另外,本文方案采用规则编码,因而 FSM

表 5 测试耗时分析(s)

电路	原始数据单扫描链	SEF ^[11]	BDSM ^[13]	本文方案
s13207	8.260	0.704	12	0.574
s15850	3.849	0.696	1	0.418
s38417	8.237	5.21	3	3.10
s38584	9.955	2.91	6	2.20
s5378	1.188	0.440	-	0.102
s9234	1.964	0.579	1	0.156
平均	5.58	1.76		1.09

复杂度低, 硬件开销小。这样, 本文方案在总的附加解压硬件开销方面应该不超过文献[11-13]。

在扫描移位功耗方面, 由于本文方案需要一定的 CSR 移位, 因而增加了移位功耗。但是, 考虑到测试功耗主要由组合电路决定, 并且扫描链长度一般远大于解压器中的 CSR, 因而 CSR 移位产生的功耗在整个测试过程中微乎其微。

5 结论

基于字典的压缩方案能够合理利用被测芯核中存储器, 减少对外部 ATE 的存储要求, 提高测试压缩效果。利用这种字典法优势, 本文把向量循环移位处理技术融入其中, 确保在向量动态调整中不损失无关位, 增加衍生词条数量, 提高字典词条与其它向量的相关性, 减少非词条向量个数, 并在解压电路中充分利用字典法的循环移位寄存器(CSR)和其它原有测试硬件。另外, 本文方案采用两级规则编码, 不仅进一步压缩测试数据, 还能减少解压电路的复杂度。本文方案可以用于不同扫描链测试中, 不需要知道被测芯核内部信息, 能很好适合确定性测试。实验分析表明, 本文方案在增加少量扫描测试功耗后能够快速测试被测电路, 获得较高的压缩率, 与其它同类型压缩方案相比具有一定的优势, 是一种可选择的测试压缩方案。

参 考 文 献

- [1] Touba N A. Survey of test vector compression techniques[J]. *Design & Test of Computers*, 2006, 23(4): 294-303.
- [2] Chandra A and Chakrabarty K. Test data compression and test resource partitioning for system-on-a-chip using frequency-directed run-length (FDR) codes[J]. *IEEE Transactions on Computers*, 2003, 52(8): 1076-1088.
- [3] El-Maleh A H. Test data compression for system-on-a-chip using extended frequency-directed run-length code[J]. *IET Computers & Digital Techniques*, 2008, 2(3): 155-163.
- [4] 彭喜元, 俞洋. 基于变游程编码的测试数据压缩算法[J]. 电子学报, 2007, 35(2): 197-201.
- [5] Peng Xi-yuan and Yu Yang. A test set compression algorithm based on variable-run-length code[J]. *Acta Electronica Sinica*, 2007, 35(2): 197-201.
- [6] Kongtim P and Reungpeerakul T. Parallel LFSR reseeding for mixed-mode BIST[C]. International Conference on Electrical Engineering/Electronics Computer Telecommunications and Information Technology (ECTI-CON), Chiang Mai, Thailand, 2010: 198-202.
- [7] Kim Hong-sik and Kang Sung-ho. Increasing encoding efficiency of LFSR reseeding-based test compression[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(5): 913-917.
- [8] El-Maleh A H. An efficient test vector compression technique based on block merging[C]. Proceedings of IEEE International Symposium on Circuits and Systems, Island of Kos, Greece, 2006: 1447-1450.
- [9] Yi M X, Liang H G, Zhang L, et al. A novel X-ploiting strategy for improving performance of test data compression[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2010, 18(2): 324-329.
- [10] Kavousianos X, Kalligeros E, and Nikolos D. Optimal selective Huffman coding for test-data compression[J]. *IEEE Transactions on Computers*, 2007, 56(8): 1146-1152.
- [11] Kavousianos X, Kalligeros E, and Nikolos D. Test data compression based on variable-to-variable Huffman encoding with codeword reusability[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2008, 27(7): 1333-1338.
- [12] Li Lei, Chakrabarty K, and Touba N A. Test data compression using dictionaries with selective entries and fixed-length indices[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2003, 8(4): 470-490.
- [13] Württenberger A, Tautermann C S, and Hellebrand S. Data compression for multiple scan chains using dictionaries with corrections[C]. Proceedings of IEEE International Test Conference, Charlotte, NC, USA, 2004: 926-935.
- [14] Basu K and Mishra P. Test data compression using efficient bitmask and dictionary selection methods[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2010, 18(9): 1277-1286.

刘 杰: 男, 1970 年生, 博士, 副教授, 研究方向为集成电路内建自测试与可测试设计、以及计算机体系结构等。
 易茂祥: 男, 1964 年生, 博士, 教授, 研究方向为 VLSI 测试、数据压缩和 BIST。
 朱 勇: 男, 1972 年生, 博士生, 副教授, 研究方向为计算机体系结构、检测技术与自动化装置。