

偶数级差分环形振荡器的稳定平衡态分析

张 辉^{①②} 杨海钢^{*①} 周发标^{①②} 刘 飞^① 高同强^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100049)

摘 要: 与具有奇数增益级的差分环形振荡器不同, 偶数级振荡器除了具有能够起振的非稳定平衡态, 还有可能在起振前处于一种稳定平衡状态从而使电路锁定不能起振。该文主要分析了这种稳定平衡状态存在的原理, 同时为了避免振荡器设计中的这种风险, 提出了一种振荡器起振电路, 使得电路在起振前处于接近非稳定平衡态的状态, 从而能够快速起振。在 0.13 μm 1P8M 标准 CMOS 工艺下流片实现的 4 级差分环形压控振荡器(VCO)及其改进版本很好地验证了该文提出的理论和解决方法。经测试发现, 第 1 款不带起振电路的 4 级 VCO 芯片锁定于稳定平衡态, 不能起振; 两种改进版本 3 级 VCO 和带起振电路的 4 级 VCO 都能够正常输出振荡信号。

关键词: 环形振荡器; 压控振荡器; 起振; 偶数级

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2011)08-1969-06

DOI: 10.3724/SP.J.1146.2010.01386

Stable Equilibrium State Analysis of the Differential Ring Oscillator with Even Number of Stages

Zhang Hui^{①②} Yang Hai-gang^① Zhou Fa-biao^{①②} Liu Fei^① Gao Tong-qiang^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: The start-up conditions for differential oscillator with an even number of stages are analyzed in this paper. Compared with those that have an odd number of stages, such oscillators may have two stable equilibrium states besides an unstable equilibrium state in which the circuits can start to oscillate. To avoid the risk of possible latching up into the stable states, an additional start-up circuit technique is proposed. The proposed circuit should also reduce the start-up time. The theory is further confirmed with the design and fabrication of three kinds of differential ring Voltage-Controlled Oscillator (VCO), a 3-stage one, 4-stage ones with and without the start-up circuit based on a 0.13 μm standard CMOS process. The measurement results show that the 3-stage one and the 4-stage one with the start-up circuit have the correct output oscillation signals, but the 4-stage without the start-up circuit has nothing to output.

Key words: Ring oscillator; Voltage-Controlled Oscillator (VCO); Start-up; Even-stage

1 引言

环形振荡器以其低功耗、高集成度以及宽频率调节范围等显著优点越来越成为数字和通信系统中不可或缺的功能模块。特别是压控振荡器(VCO)的电路形式, 广泛应用于时钟信号发生器、集成频率综合器、时钟恢复电路以及硬盘驱动读取通道等^[1-4]。在这些应用领域中, 由于低相位噪声及多个输出相位的需求, 相比于单端结构, 差分结构的环形振荡器更灵活, 具有更大优势。不同于必须由奇数个反相增益级组成的单端振荡器, 差分振荡器

可以有偶数个反相增益级, 只需要将其中一级正负端反向连接使其不起到反相的效果即可^[5]。 N 级单端振荡器可以输出 N 个不同相位的振荡信号, 而 N 级差分振荡器可以产生 $2N$ 个不同相位的振荡信号, 所以差分结构的环形振荡器应用更为广泛。

但是偶数级的差分振荡器存在处于锁定状态不能起振的风险, 因为它有可能具有两个不满足起振条件的稳定平衡态。而奇数级的差分振荡器不具有稳定平衡态, 只有一个非稳定平衡态, 即所有增益级输入结点都处于反相器的逻辑阈值(反相器的逻辑阈值是指使输出电压和输入电压相等的输入电压)处, 此状态必然能够满足振荡器起振条件。偶数级的这种问题在振荡器的设计中是不可接受的, 一方

2010-12-20 收到, 2011-03-18 改回

国家 863 计划项目(2008AA010701)资助课题

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

面会严重影响振荡器芯片的成品率；另一方由于现在对于功耗的要求越来越严格，振荡器在非工作状态下需要关闭，这种多次的打开关闭操作对于振荡器的可靠性设计提出了更高的要求。

文献[5,6]对振荡器起振问题进行了很好的理论分析，奠定了环形振荡器的理论基础，但是没有提及偶数级差分环形振荡器存在的起振锁定问题；文献[7,8]开始在偶数级差分环形振荡器中使用起振电路来保证起振的可靠性或者提高起振的速度，但是都没有进行理论分析，没有能够完善地解释这一问题。本文主要针对这种情况，对比奇数级差分环形振荡器分析偶数级振荡器的起振条件，重点研究后者起振过程中的稳定平衡态问题，分析了这种状态存在的原理，总结了避免这种情况的设计方法，提出一种新的起振电路。根据本文分析设计的带有起振电路的振荡器具有更好的可靠性和更快的起振时间。

2 起振条件分析

环形振荡器起振分析主要基于如图 1 所示的反馈系统模型。一般反馈电路的线性行为都可以通过反馈系统模型的环路增益来分析，环路增益定义为前馈电路传输函数和反馈电路传输函数的乘积，即

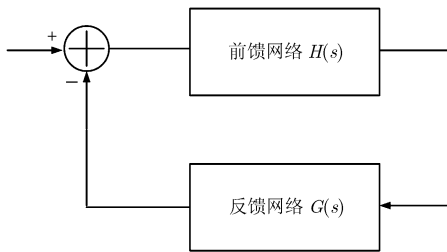


图 1 反馈系统模型

$$T_{\text{loop-gain}}(s) = H(s)G(s) \quad (1)$$

基于环路增益分析，振荡器的必要非充分条件“巴克豪森准则”^[6]可以描述为

$$|T_{\text{loop-gain}}(j\omega_0)| \geq 1, \quad \angle T_{\text{loop-gain}}(j\omega_0) = 180^\circ \quad (2)$$

图 2 所示为 4 级和 3 级差分环形振荡器的示意图。假设振荡器的每一个反相级都是理想的一阶系统，传输函数可以表示为 $-A_0/(1+s/\omega_{3\text{dB}})$ ，其中 A_0 表示低频的差分小信号增益， $\omega_{3\text{dB}}$ 表示该一阶系统的 -3 dB 带宽。所以图 2(a) 中 4 级振荡器的环路增益表达式为

$$T_{\text{loop-gain}}(s) = -\frac{A_0^4}{\left(1 + \frac{s}{\omega_{3\text{dB}}}\right)^4} \quad (3)$$

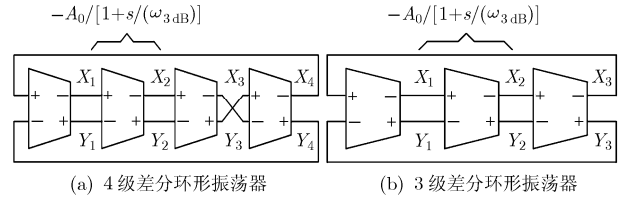


图 2 差分环形振荡器示意图

根据式(2)的条件，由式(3)可以解得当 $A_0 \geq \sqrt{2}$ 时，4 级振荡器在频率点 $\omega_{3\text{dB}}$ 处满足“巴克豪森准则”，即系统最终将在 $\omega_{3\text{dB}}$ 处稳定振荡。对 3 级振荡器应用同样的方法可以得出类似的结论：当 $A_0 \geq 2$ 时，3 级振荡器将在 $\sqrt{3} \omega_{3\text{dB}}$ 处稳定振荡。

通过研究反馈系统的极点可以更加形象的理解起振条件。一个反馈形式的振荡器系统能够产生自激振荡的基本要求是在 s 域的右半平面具有一对复数极点^[6]。首先计算 4 级差分环形振荡器的闭环传输函数

$$T_{\text{closed}} = -\frac{A_0^4}{(1 + s/\omega_{3\text{dB}})^4} = -\frac{A_0^4}{1 + \frac{A_0^4}{(1 + s/\omega_{3\text{dB}})^4}} \quad (4)$$

可以得到该闭环系统呈现出两对复数极点为

$$s_{1,2} = \frac{\sqrt{2}A_0 - 2}{2} \omega_{3\text{dB}} \pm j \frac{\sqrt{2}}{2} A_0 \omega_{3\text{dB}} \quad (5)$$

$$s_{3,4} = \frac{-\sqrt{2}A_0 - 2}{2} \omega_{3\text{dB}} \pm j \frac{\sqrt{2}}{2} A_0 \omega_{3\text{dB}} \quad (6)$$

所以振荡器输出波形的表达式为

$$V_{\text{out}} = a \exp\left(\frac{\sqrt{2}A_0 - 2}{2} \omega_{3\text{dB}} t\right) \cos\left(\frac{\sqrt{2}}{2} A_0 \omega_{3\text{dB}} t\right) + b \exp\left(\frac{-\sqrt{2}A_0 - 2}{2} \omega_{3\text{dB}} t\right) \cos\left(\frac{\sqrt{2}}{2} A_0 \omega_{3\text{dB}} t\right) \quad (7)$$

由于 A_0 为正数，复数极点 $s_{3,4}$ 位于左半平面，由这一对极点产生的正弦衰减的信号，即式(7)中的第 2 项在稳定状态下可以忽略。当 $A_0 > \sqrt{2}$ 时，复数极点 $s_{1,2}$ 位于右半平面，该对极点将产生一个正弦变大的信号，即式(7)中的第 1 项。当 A_0 等于 $\sqrt{2}$ 时， $s_{1,2}$ 位于虚轴上，此时振荡器将在频率 $\omega_{3\text{dB}}$ 处产生一个无损的振荡。当 A_0 进一步减小到小于 $\sqrt{2}$ 时， $s_{1,2}$ 将进入左半平面，此时电路不能起振。所以只有设定满足要求的反相级增益使系统满足起振条件，图 2 所示的振荡器电路才能够起振。极点随着低频增益 A_0 变化的轨迹如图 3(a) 所示，箭头方向表示随着 A_0 减小极点的变化趋势。

应用相同的方法可以分析得到 3 级环形振荡器在不同增益下的极点变化轨迹，如图 3(b) 所示。

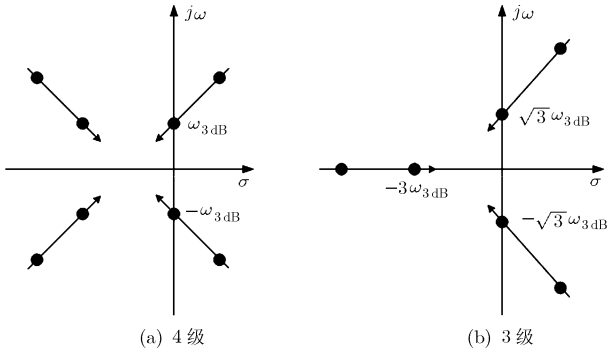


图 3 环形振荡器不同增益值的极点轨迹

3 稳定平衡态分析

根据前面小节的分析, 当低频增益 A_0 小于某个特定值时, 4 级和 3 级差分环形振荡器将不再满足起振条件式(2)。如果这种情况发生在起振前, 并且电路处于一种稳定态, 那么振荡器系统将处于锁定状态而不能振荡。这对于振荡器设计来说是严重而不可接受的。本小节主要研究 4 级振荡器的起振过程中稳定平衡态存在的原理, 分析振荡器处于锁定状态的可能性。3 级振荡器的情况作为对比也将进行对照分析。

为了便于起振分析, 一些理想但是合理的假设是必须的。假设每一个反相增益级具有完全对称的结构, 器件噪声可以忽略, 并且增益级之间是完全等价一致的。那么每一级的两个输入端具有完全相等的初始电压, 或者说差模信号为零, 即 $X_1=Y_1, X_2=Y_2, X_3=Y_3, X_4=Y_4$, 如图 2 所示。

所以, 首先考虑每一个反相增益级的共模偏置情况, 图 4(a)给出了反相级的低频增益 A_0 随输入共模电平的变化曲线。可以看出为了满足前面小节得出的 4 级环形振荡器起振条件, 即 $A_0 > \sqrt{2}$, 输入共模电平必须限定于 x_1 到 x_2 的区间。在本文中 x_1 和 x_2 定义为“共模边界点”。

根据共模信号分析, 图 2(a)中的初始电压满足

$$\left. \begin{aligned} X_2 &= f(X_1) \\ X_3 &= f(X_2) \\ X_4 &= f(X_3) \\ X_1 &= f(X_4) \end{aligned} \right\} \quad (8)$$

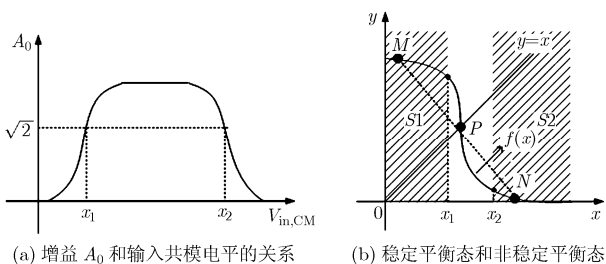


图 4 稳定平衡态的原理分析图

而图 2(b)中的初始电压满足

$$\left. \begin{aligned} X_2 &= f(X_1) \\ X_3 &= f(X_2) \\ X_1 &= f(X_3) \end{aligned} \right\} \quad (9)$$

其中 $f(x)$ 为反相增益级的共模输入输出特性方程。由式(8)和式(9)可以分别推导出 X_1 满足

$$X_1 = f^4(X_1) \quad (10)$$

$$X_1 = f^3(X_1) \quad (11)$$

显然 $f(x)$ 在第 1 象限是单调递减函数, 因此式(11)只有唯一的根, 即为 $y=f(x)$ 和 $y=x$ 的交点, $P(p, p)$, 如图 4(b)所示。这意味着 3 级差分环形振荡器的各个输入结点具有相同的初始电压, 并且都位于反相增益级的逻辑阈值处, 此时低频增益 A_0 足够大能够满足起振条件。即振荡器系统处于一个非稳定平衡态, 一个类似于器件热噪声那样的微小激励就能够使其脱离平衡态开始振荡。

不同于 3 级振荡器, 4 级振荡器除了非稳定平衡态外还可能具有稳定平衡态。点 $P(p, p)$ 仍然满足式(10)。但如果曲线 $y=f(x)$ 上有一对点关于直线 $y=x$ 对称, 例如图 4(b)所示的 $M(m, n)$ 和 $N(n, m)$, 那么这两个点也是式(10)的根。如果 M 和 N 分别位于图 4(b)中的阴影部分, 使得反相增益级的增益 A_0 小于 $\sqrt{2}$, 那么振荡器一直保持平衡不能起振, 各个结点满足 $X_1=X_3=m, X_2=X_4=n$ 或者 $X_1=X_3=n, X_2=X_4=m$, 这就是 4 级振荡器的稳定平衡态。

所以在由“共模边界点”确定的低频增益区, 如果有满足反相增益级共模输入输出特性方程的两个点关于 $y=x$ 对称, 那么由该反相增益级组成的 4 级差分环形振荡器具有两个稳定平衡态, 如图 4(b)所示, 该振荡器系统在起振时有可能锁定到平衡态而不能起振。

图 5 给出了两种设计实例的反相增益级共模仿真波形。图 5(a)为文献[5]提出的一种常用反相增益级的共模特性, 由于尾电流源的使用, 其共模输出范围小, 组成的偶数级差分环形振荡器不存在稳定平衡态。图 5(b)为一个存在稳定平衡态的实例仿真波形, 其共模输出范围很大, 在低频增益区存在对称点, 会产生锁定起振问题。

4 解决方案和验证

4.1 解决方案

由第 3 节可以看出, 在 4 级差分环形振荡器设计过程中, 反相增益级的共模输入输出特性是需要重点研究的, 确保特性曲线在由“共模边界点”确

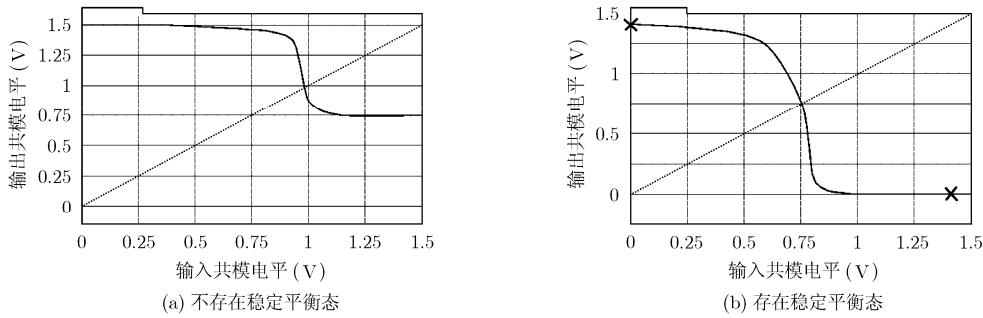


图 5 两种设计实例反相级共模特性仿真波形

定的低频增益区没有关于 $y=x$ 的对称点，这一点在以前的设计中是经常被忽略的。在一些传统的设计中，例如文献[9-11]中，尾电流源或者交叉耦合对的应用能够缩小反相增益级的共模输出范围，从而避免 $f(x)$ 的一端进入第 3 节所述的低增益区。但在一些具有轨到轨输出信号的振荡器中，不带有尾电流源，或者交叉耦合对没有能够有效地缩小反相级的共模输出范围，振荡器处于锁定状态不能起振的风险仍然是存在的。因此，增加专用的起振电路保证振荡器不进入稳定平衡态对于高可靠性的振荡器设计是十分必要的。

起振电路的基本思想是将其中一个反相级的共模电平预先设置为电源电压的一半。图 6 显示了带有起振电路的 4 级差分环形振荡器，起振电路主要由 2 个上拉/下拉电路和 6 个虚拟电路组成。 X_1 处的上拉/下拉电路只发挥上拉的作用，相应的 Y_1 处的只起到下拉的作用。虚拟电路是为了保证振荡器各个结点都是等价一致的，从而确保多相位输出信号之间精确的相位关系。起振电路的使能信号是振荡器使能信号的取反信号，当振荡器关闭时， X_1 通过弱上拉作用被预置于高电平， Y_1 通过弱下拉作用被预置于低电平，那么其共模电平就处于中间电平。一旦振荡器使能信号变为有效，那么上拉/下拉电路将关闭，振荡器电路处于靠近非稳定平衡态的不平衡状态，并且由于上拉/下拉的作用，振荡器具有很大的差模信号，不需要任何激励以及逐级放大激励的过程就能够快速起振。所以振荡器起振时间要小于不带有起振电路的振荡器。由于在起振电路工作时振荡器是关闭的，主要通路没有大的电流，起振电路使用很小的上拉/下拉管就能够实现，所以增加起振电路所需要的功耗代价是很小的。

4.2 实验验证

3 种不同的振荡器，包括不带有起振电路的 4 级和 3 级差分环形 VCO，以及带有起振电路的 4 级 VCO 都在 0.13 μm CMOS 工艺下依次流片实现，电源电压为 1.5 V。测试结果很好地验证本文的理论

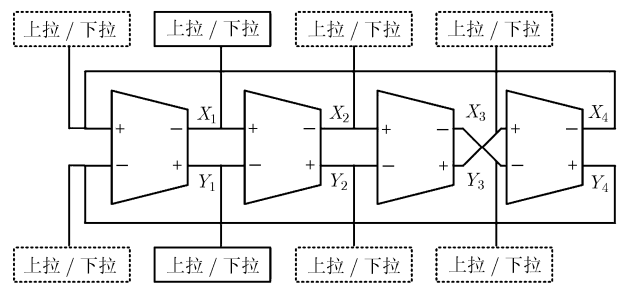


图 6 带有起振电路的 4 级差分环形振荡器

分析及解决方案。其实验来由是因为最初设计实现的不带起振电路的 4 级差分环形 VCO 经过测试没有能够起振，第 1 步改进方案是修改其中一层金属掩膜，旁路了一个反相增益级，将 4 级 VCO 改正为 3 级 VCO；进一步的修改方案是在原来 4 级 VCO 的基础上增加了如上文所述的起振电路。

本文所设计的 4 级差分环形 VCO 的基本结构如图 7 所示。其主要结构包括电源调节器(regulator)和一个 4 级差分环形振荡器。调节器的作用是将控制电压 V_c 转化为控制电流 I_c ，并有效地减小了电源噪声对于 VCO 抖动性能的影响^[12]。反相增益级是由两个简单的放大器与一对交叉耦合 NMOS 管构成。由于交叉耦合管作用相对较弱，没有能够有效减小反相增益级的输出共模范围，其共模输入输出特性曲线如图 7 所示，所以这种 VCO 具有前面章节所分析的稳定平衡态。其起振过程如图 8(a)所示，可以看出结点 X_1, Y_1, X_3, Y_3 处于高电平 m ，结点 X_2, Y_2, X_4, Y_4 处于低电平 n ，VCO 处于一种锁定状态下不能起振。

图 8 中 3 种波形都是使用 spectre 电路仿真器在相同的上电过程中仿真出来的，分别对应于不带起振电路的 4 级, 3 级 VCO 和带起振电路的 4 级 VCO 的起振波形。由图 8(b)可以看出，3 级 VCO 的反相增益级各结点在起振前都处于逻辑阈值，各级增益很高，微小的噪声或者失配都能够作为激励使得 VCO 开始振荡。带有起振电路的 4 级 VCO 规

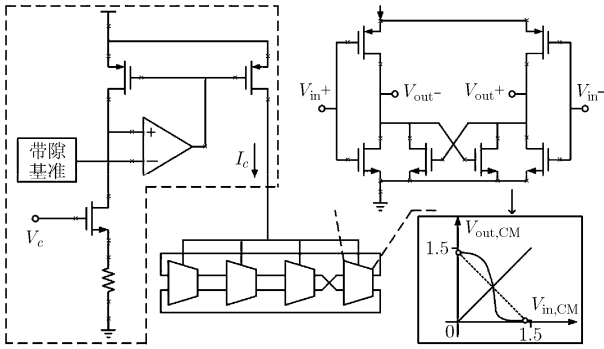


图 7 4 级差分环形 VCO 电路图

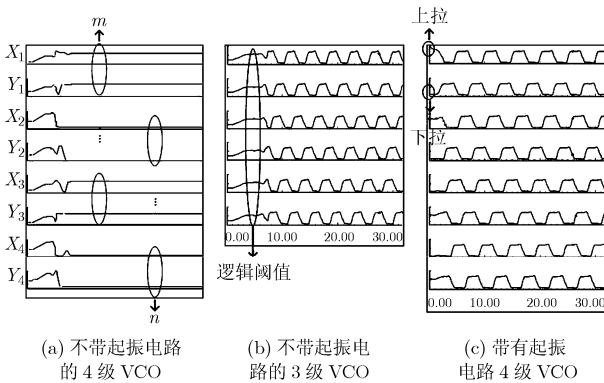


图 8 VCO 起振波形

避了位于稳定平衡态的风险, 由于上拉/下拉的作用使得 X_1 位于高电平, Y_1 位于低电平, 即 VCO 在使能之前已经具有很大的差模信号, 所以能够快速起振。对比图 8(b)和图 8(c)可以看出带有起振电路的 4 级环形 VCO 在起振速度方面具有明显的优势。

图 9 中仿真比较了 4 级差分环形 VCO 增加起振电路前后功耗的变化。起振电路增加了输出结点的寄生电容, 但是数值很小, 所以振荡过程中增加的功耗很小; 当 VCO 关闭时, 起振电路处于工作状态, 所以会增加低于 0.04 mA 的额外电流。

经过测试发现, 不带有起振电路的 4 级 VCO 没有输出波形, 测试各个结点电平发现 VCO 状态与文中所分析的稳定平衡态相吻合。3 级 VCO 和带有起振电路的 4 级 VCO 都能够稳定起振, 并输

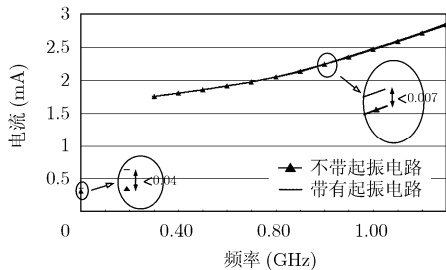


图 9 4 级差分环形 VCO 中起振电路的功耗代价比较

出波形。图 10 给出了带起振电路的 4 级 VCO 的振荡波形, VCO 振荡频率为 400 MHz, 为了便于输出和示波器显示, VCO 输出信号经过了 16 分频, 所以显示波形为 25 MHz。

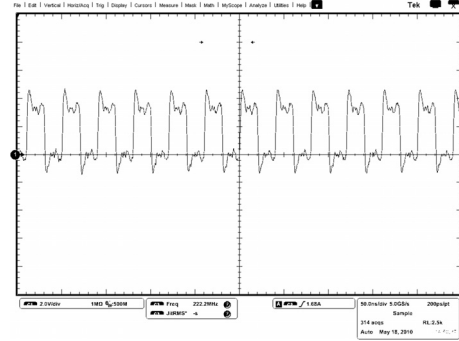


图 10 带有起振电路的 4 级 VCO 输出波形

5 结论

本文从理论和实验两方面深入研究了 4 级差分环形振荡器的起振问题, 其结论可以拓展到任意偶数级差分环形振荡器。根据本文分析, 针对偶数级振荡器存在稳定平衡态的问题, 主要有两种方法可以避免振荡器锁定而不能起振。第一, 在设计过程中减小反相增益级的共模输出范围, 确保共模输入输出特性曲线至少有一端不进入由“共模边界点”确定的低增益区域; 另一种选择是增加专门的起振电路, 将振荡器初始状态预置于非稳定平衡态附近, 这样一旦振荡器打开就能够快速起振。3 种版本的差分环形 VCO 的芯片测试, 很好的验证了本文的理论分析和解决方法。

参考文献

- [1] Hajimiri A, Limotyrakis S, and Lee T H. Jitter and phase noise in ring oscillators[J]. *IEEE Journal of Solid-State Circuits*, 1999, 34(6): 790-804.
- [2] Tsuyoshi Ebuchi, Yoshihide Komatsu, Tatsuo Okamoto, et al. A 125-1250 MHz process-independent adaptive bandwidth spread spectrum clock generator with digital controlled self-calibration[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(3): 763-774.
- [3] Shu Zhinian, Lee Ka Lok, and Leung B H. A 2.4-GHz ring-oscillator-based CMOS frequency synthesizer with a fractional divider dual-PLL Architecture[J]. *IEEE Journal of Solid-State Circuits*, 2004, 39(3): 452-462.
- [4] Ali H and Hegazi E. A low-jitter video clock recovery circuit[C]. 2010 IEEE International Symposium on Circuits and Systems, France, May 2010: 2326-2329.
- [5] Razavi B. Design of Analog CMOS Integrated Circuits[M].

- New York: McGraw-Hill Higher Education, 2001: 484-495.
- [6] Nguyen N M and Meyer R G. Start-up and frequency stability in high-frequency oscillators[J]. *IEEE Journal of Solid-State Circuits*, 1992, 27(5): 810-820.
- [7] Nizhnik O, Pokharel R K, Kanaya H, *et al.*. Low noise wide tuning range quadrature ring oscillator for multi- standard transceiver[J]. *IEEE Microwave and Wireless Components Letters*, 2009, 19(7): 470-472.
- [8] Deng Hong-hui, Yin Yong-sheng, and Du Gao-ming. Phase noise analysis and design of CMOS differential ring VCO[C]. The Ninth International Conference on Electronics Measurement & Instruments, Beijing, China, Aug. 16-19, 2009: 4-731-4-736.
- [9] Daniel Pacheco Bautista and Mónico Linares Aranda. A low power and high speed CMOS voltage-controlled ring oscillator[C]. 2004 IEEE International Symposium on Circuits and Systems, Canada, May 2004, Vol. 4: 752-755.
- [10] Andrea Gerosa, Silvia solda, Andea Bevilacqua, *et al.*. A digitally programmable ring oscillator in the UWB range[C]. 2010 IEEE International Symposium on Circuits and Systems, France, May 2010: 1101-1104.
- [11] Park Seung-jin, Woo Suho, Ha Hyunsoo, *et al.*. A transistor-based background self-calibration for reducing PVT sensitivity with a design example of an adaptive bandwidth PLL[C]. 2008 IEEE Asian Solid-State Circuits Conference, Japan, Nov. 2008: 433-436.
- [12] Fahim A M. Clock Generator for SOC Processors Circuits and Architectures[M]. London: Kluwer Academic Publishers, 2005: 107-123.
- 张 辉: 男, 1983年生, 博士生, 研究方向为高性能RF/模拟集成电路设计.
- 杨海钢: 男, 1960年生, 研究员, 博士生导师, 研究方向为高性能可编程逻辑芯片设计技术、数模混合信号SOC设计技术.
- 周发标: 男, 1984年生, 博士生, 研究方向为大规模集成电路可测性设计.