

一种高速延时无关片上异步转同步通信接口的设计

彭 瑶^① 周 端^② 杨银堂^① 朱樟明^①

^①(西安电子科技大学微电子研究所 西安 710071)

^②(西安电子科技大学计算机学院 西安 710071)

摘 要: 该文提出一种可用于多核片上系统和片上网络的快速延时无关异步通信接口, 由在独特运行协议下工作的环形 FIFO 实现, 可在支持多种数据传输协议的前提下, 保证数据从异步模块到同步时钟模块的完整高速传输。在 0.18 μm 标准 CMOS 工艺下, 传输接口的延时为 792 ps, 平均能耗为 4.87 pJ/request, 可满足多核片上系统和片上网络芯片高速低功耗、鲁棒性强和重用性好的设计要求。

关键词: 片上系统; 通信接口; 高速低功耗; 延时无关; 异步转同步; 全局异步局部同步

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2011)-04-0938-07

DOI: 10.3724/SP.J.1146.2010.00714

A Novel High-speed Delay-independent Asynchronous to Synchronous Communication Interface

Peng Yao^① Zhou Duan^② Yang Yin-tang^① Zhu Zhang-ming^①

^①(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

^②(School of Computer Science and Technology, Xidian University, Xi'an 710071, China)

Abstract: This paper proposes a novel delay-independent communication interface used in multiprocessor System-on-Chip (SoC) and Network-on-Chip (NoC). Data can be transferred fast from asynchronous to synchronous through the interface gracefully, which is implemented by the circular FIFO handled under special operation protocol, and various asynchronous transfer protocols are supported. Meanwhile, the communication integrity and high throughput are maintained during transmission. Simulations are made based on SMIC 0.18 μm CMOS technology. Results show that the delay is 792 ps with the average energy consumption of 4.87 pJ/request, which can satisfy the requirements of high speed low power, strong robustness and good reusability in Multiprocessor SoC and NoC.

Key words: System-on-Chip (SoC); Communication interface; High-speed low-power; Delay-independent; Asynchronous to synchronous; Globally Asynchronous Locally Synchronous (GALS)

1 引言

随着芯片集成度的不断增加, 由时钟信号引入的功耗越来越高, 将它分配到整个芯片的难度也越来越大。全局异步局部同步(GALS)的设计思想逐步成为设计高速、低功耗^[1]大规模集成电路片上系统^[2](SoC)的有效方法。由于异步电路采用握手信号而非时钟信号控制数据的传输, 使得运行速度由局部时延决定, 消除了时钟分配和时钟偏差问题, 具有高速低功耗、鲁棒性强和重用性好等特点^[3]。因此无时钟的异步电路核和同步时钟核集成的 GALS 系

统^[4]被提出并研究, 它没有全局时钟, 减小了时钟分配引起的设计复杂度和功耗, 使设计更加灵活, 芯片高速低功耗, 更适用于片上网络^[5](NoC)等多核芯片的设计。此种 GALS 系统中, 异步电路核和同步电路核之间的通信目前还鲜有研究, 但它却是影响芯片性能的关键因素之一。

从异步模块到同步模块的数据传输, 主要采用加入传输延时线, 应用可停时钟和采用 FIFO 等实现方法。文献[6]通过在异步模块和同步模块之间使用握手信号和插入延时线实现异步同步传输, 设计时需参照发送方和接收方的不同频率来设计延时线, 发送方或接收方频率有变就需要重新进行设计, 可重用性较差。Muttersbach 等人^[7]通过采用可停时钟的方法来调节发送方和接收方之间的速率差, 实现数据在异步同步模块间的传输, 发送模块需要停止数

2010-07-09 收到, 2010-11-29 改回

国家自然科学基金(60725415, 60971066), 国家 863 计划项目(2009AA01Z258, 2009AA01Z260) 和国家重点实验室基金(ZHD200904)资助课题

*通信作者: 彭瑶 xyjiezi@163.com

据采样来等待数据传输至接收模块，不能使采样与传输并行，延长了总传输时间。Sheibanyrad 等人^[8]和文献[9]借鉴 FIFO 的思想，并采用了顺序发生器和多路选择器，Sheibanyrad 等人的设计需比较 FIFO 的读写指针，降低了传输速度，文献[9]设计无法支持多种异步传输协议，采用集成多个单一功能模块实现传输控制，设计复杂度较高。文献[10,11]直接使用 FIFO 作为传输接口，但需同步化读写指针来检测 FIFO 的空/满状态，当工作频率和可靠性需求改变，FIFO 的体系结构随之改变。这些都限制了 GALS 技术的发展和应

用。本文设计了一种应用独特协议工作的环形 FIFO 作为通信接口，可实现数据从异步端到同步端的高速延时无关传输，避免了由收发双方工作频率不同引起的传输亚稳态。通过采用独特的 FIFO 运行协议，本文设计出环形体系结构的 FIFO，将 FIFO 中的读写控制逻辑和数据传输通道分开，使 FIFO 可支持多种数据传输协议，提高了数据的传输速率和接口的可重用性。又将数据同步化模块和读写指针分离，在实现数据从同步端到异步端高速延时无关传输的同时使接口可满足不同传输可靠性的要求。

2 通信接口的体系结构和协议

如图 1 所示，由于通信接口是用在 GALS 系统中异步模块到同步模块的数据传输，保证通信质量和通信速度外，还需避免因收发双方工作频率不同引起的传输亚稳态。故本文设计了新颖的环形 FIFO 作为通信接口，它使读/写操作并行，数据遵从先入先出的顺序，内嵌同步器保证通信质量。

2.1 用作通信接口的环形 FIFO 体系结构

图 2 为通信接口体系结构，它由本文首先提出并设计的环形 FIFO 实现。此环形结构中，读/写指针从 FIFO 的左侧逐次向右移动，指示 FIFO 单元的读/写状态。FIFO 单元分为控制模块和数据传输

通道两部分。控制模块与发送端和接收端进行握手，发出读/写指令到数据通道，控制数据通道对数据的存储和输出。FIFO 运行时，数据先从左侧的数据传输通道开始传输，随着读/写指针的右移，依次使用右边的数据传输通道，数据传输通道的使用轨迹呈环形。

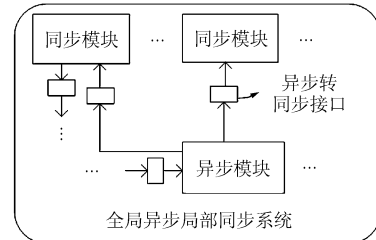


图 1 集成了异步电路核和同步时钟核的 GALS 系统

2.2 FIFO 的读/写协议

本文的 FIFO 在运行中，规定信号高电平时为有效。当写信号为 1 时，数据传输通道存储数据，读信号为 1 时，输出数据到接收模块。初始化后，FIFO 为空，每个控制模块的全部输出都为 0，数据传输通道状态为空。

在设计中，特别为环形 FIFO 设定了读/写协议：仅在初始时刻，将两个值为 1 的数据托肯输入到最左侧的 FIFO 单元中，令其分别为写指针和读指针。FIFO 环中有且只有一个写指针和一个读指针，它们均顺时针在 FIFO 环中传递，传输轨迹为一个圆环。FIFO 进行写操作时，写指针指向的单元存储数据，存储完数据后，写指针指向下一级单元。FIFO 以相应的方式进行读操作。

图 3 为依照此协议所描绘的读/写指针托肯流动图，设环的最顶端位置代表编号为“0”的 FIFO 单元，从顺时针方向依次编号。初始时刻 t_0 ，读/写指针都指向编号为“5”的单元，对“5”进行读/

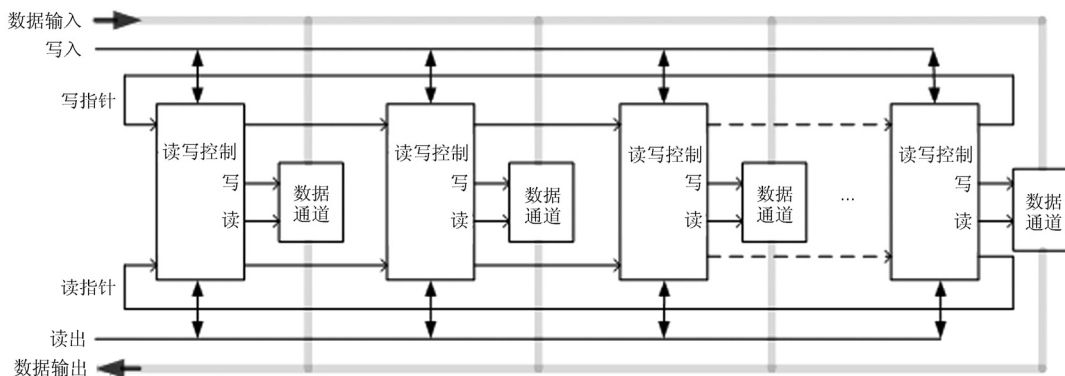


图 2 环形 FIFO 体系结构

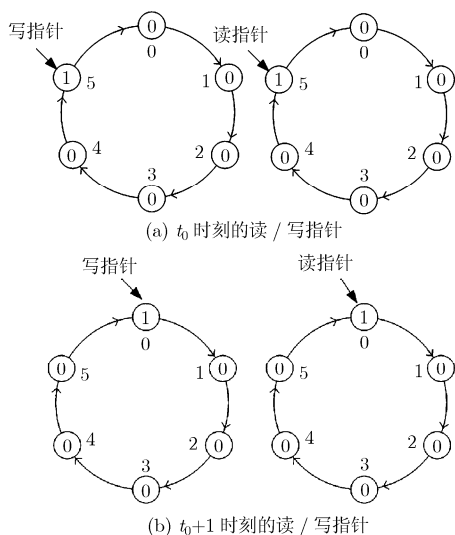


图3 FIFO环中读/写指针传递示意图

写操作,如图3(a)所示。一个读写周期后, t_0+1 时刻,则对“0”进行读/写,如图3(b)。读/写指针在FIFO运行中可能不同步,但握手的传输方式能够保证数据的读/写过程延时无关,且在传输过程中无需等待接收端完全接收数据,发送端即可发送新的数据,有效节省总的传输时间。

2.3 数据传输协议

独热码是一种组合多个信号的编码方式,其中的信号按照每个状态只有一个信号被置位、其余信号都归零的方式传递信息。这种编码方式具有编码简单,传输稳定的特点^[12]。为了高速准确的进行数据传输,本文特别使用了1/4码的数据编码方式,它是一种传输时归零的独热码,1/4码与二进制码的转换关系如表1,用4根线代表2 bit数据,当且仅当其中一条线为高电平时表示数据有效,全部为低电平表示无数据。1/4编码方式需采用特定的1/4传输协议,这种四相握手协议不但保证数据传输时延时无关,使通信接口具有较强的鲁棒性,而且能增加传输数据的宽度,提高数据传输通道的比特率,根据协议设计的传输通道电路图在下节中介绍。

表1 二进制转1/4码的编码表

二进制数据	1/4码数据			
	D_0	D_1	D_2	D_3
00	1	0	0	0
01	0	1	0	0
10	0	0	1	0
11	0	0	0	1
空	0	0	0	0

3 通信接口的电路设计和分析

通信接口的环形FIFO由功能相同的FIFO单元组成,为了增强通信接口的适用性,使其能支持多种数据传输协议,本文在设计中将FIFO单元分成传输控制模块和数据传输通道两部分。传输控制模块负责发出读/写指令,数据传输通道负责数据的存储和输出。

3.1 FIFO单元的电路实现

图4为传输控制模块。发送端为异步模块,依照FIFO的读/写协议,写指针到达,pt_wr_in为高电平允许数据传输通道存储数据。接收端是同步时钟模块,则读操作需匹配接收端的时钟。当读指针传入,pt_rd_in为高电平,接收端的接收使能信号en_get为高电平,时钟上升沿到来时,读信号re升高,数据被传出。设计中使用门限^[13]保证信号的稳定性。

传输控制模块分为发送控制模块、空/满控制模块和接收控制模块3部分。发送控制模块通过和发送端握手,控制FIFO的写操作,并把FIFO的存储信息告知发送端来控制发送端发送数据。空/满控制模块将本级FIFO单元的空/满信息告知发送控制模块和接收控制模块。接收控制模块和接收端联系,控制FIFO的读操作,并完成在不同工作频率下传输数据所需的同步化工作。初始化后,FIFO为空,信号在跳变为高电平时有效。当发送端的发送请求信号req_put为高,数据准备好,写指针信号pt_wr_in有效,写控制信号wr被分别发送到数据传输通道和空/满控制模块,数据传输通道进行数据存储,并返回wr_ack表示数据已存储,完成写操作。在数据传输通道运行的同时,空/满控制模块中full信号升高,传入接收控制模块完成数据的同步化。若此单元的读指针pt_rd_in为高,且接收端的接收使能信号en_get为高,当时钟上升沿到来时,读信号re升高,它被分别送入数据传输通道和空/满控制模块,允许数据传输通道中存储的数据输出。并且激发空/满控制模块中的empty信号,告知发送控制端,数据已传出。数据传输通道在输出数据后将rack信号分别返回到发送控制端到接收控制端,发送控制端收到rack信号后,告知发送端可发送新的数据并将写指针传递给下一级FIFO单元,同理,接收控制模块也将读指针传出。使得不必等待接收端接收数据,通信接口就可进行新的传送工作。

数据传输通道完成通信接口的数据传输功能,由数据存储模块REG和协议转换逻辑组成。本文选用1/4码传输协议完成数据传输通道的设计,以

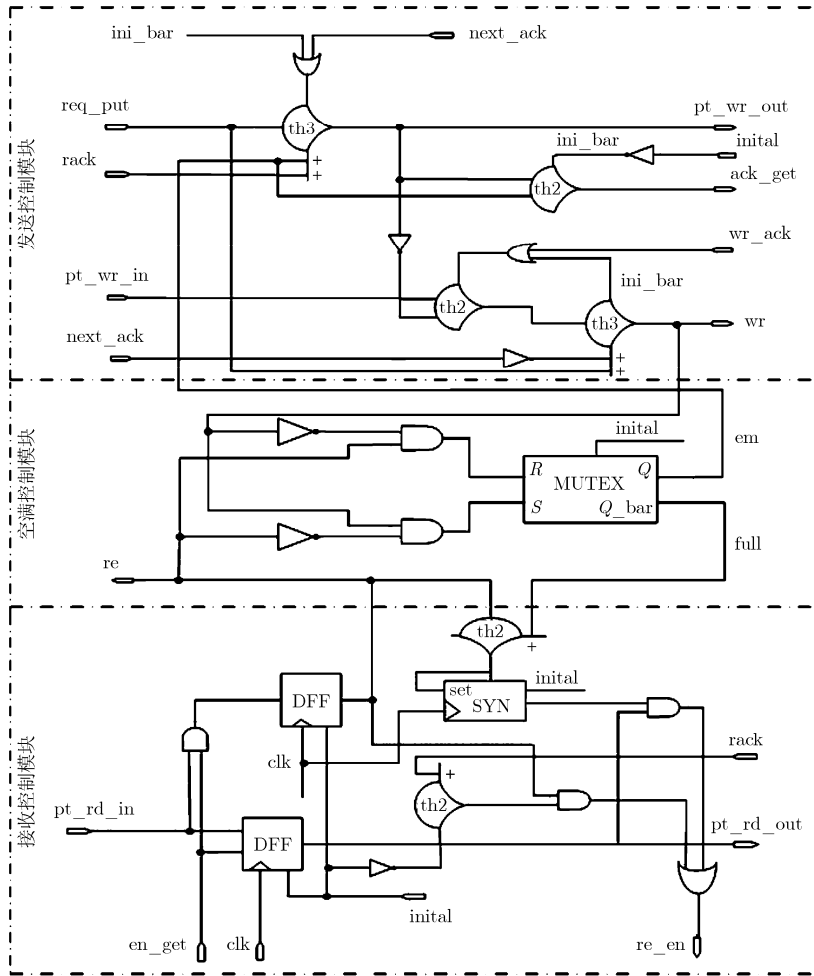


图 4 传输控制模块

2 bit/次进行数据发送的存储模块电路见图 5。数据到达数据输入端 $din1, din2, din3, din4$ 后，等待发送端的读控制信号 wr ， wr 升高，数据被存储，分别返回 ack 和 wr_ack 信号到发送端和发送控制端进行确认。当时钟上升沿到来且读信号 re 升高，存储的数据被传出，确认信号 $rack$ 返回至接收控制端和发送控制端。数据传出后经图 6 所示的编码转换电路转换成与接收端匹配的数据形式，接收端接收数据后， $reset$ 升高，清零数据传输通道。当使用不同的传输协议时，只需重新设计 FIFO 的数据传输通道部分，即可继续工作，增强了通信接口的可重用性。

3.2 电路分析

图 7 描绘了发送控制模块的时序。从写指针到达发送控制模块至写控制信号 wr 升高，需要两个门限门延时；从接收确认信号 $rack$ 至写指针传出，也需要一个门限门的延时，传送写指针共需 3 个门延时。相应地，接收控制模块的时序描述见图 8。读指针通过一个与门和一个上升沿有效的 D 触发器置

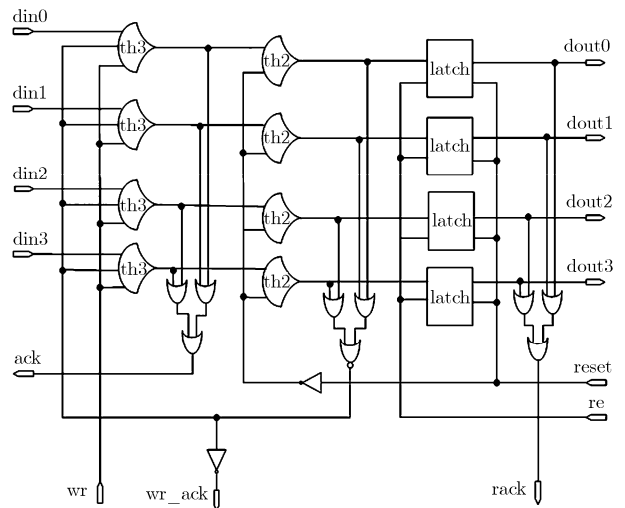


图 5 数据存储模块

re 为高电平，同时通过一个同样的 D 触发器向下一级传递，时延与 D 触发器的响应时间和时钟周期相关，理论上耗时一个时钟周期。由图 5 的数据存储模块可知，数据从输入到输出的前向延时为 3 个门

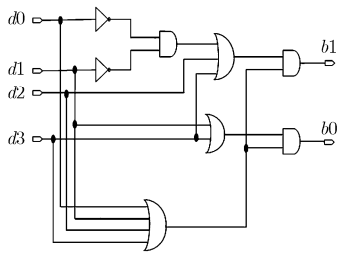


图6 1/4 码到二进制码的编码转换电路

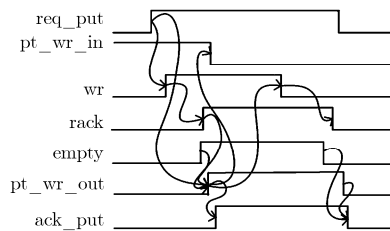


图7 发送控制模块的时序示意图

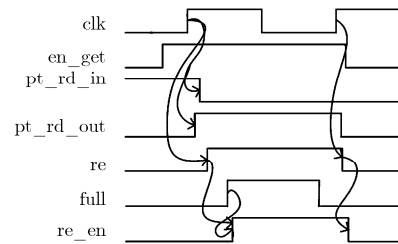


图8 接收控制模块的时序示意图

延时，数据传输过程延时无关。

在发送端和接收端工作频率不同的情况下，为避免亚稳态的发生，需进行同步化。本文将同步模块与空/满控制模块分开，同步器在接收控制模块中进行同步化，见图4中的SYN。同步器中数据同步时间和时钟频率成反比^[6]，可根据所需的平均故障间隔时间(MTBF)，选择合适的全周期或半周期同步化级组成，两个D触发器组成最简单的全周期同步器。本文的设计使只改变同步化级的个数，不改变接口的体系结构，通信接口就能满足不同可靠性要求，进一步增强接口的可重用性。同步器的级数为 K_{syn} 时，它与通信接口的级 N_{stage} 的关系为： $N_{\text{stage}} \geq K_{\text{syn}} + 1$ 。

4 仿真结果和分析

4.1 异步到同步接口的性能分析

基于 SMIC 0.18 μm 标准 CMOS 工艺 Spice 模型，在电源电压为 1.8 V 情况下，应用 Cadence Spectre 对本文所设计的通信接口进行仿真验证。

首先，检验通信接口的传输功能。设计一个采用 2 级同步器的 3 级 FIFO，对它构成的通信接口在不同发送频率和接收频率下进行了仿真。在“同步”、“快到慢”和“慢到快”3 种情况下，通信接口均可实现数据的完整快速传输。由于发送控制模块与发送端通过“握手”控制数据的发送，当发送频率远高于接收频率，FIFO 可能被填满，此时写指针停驻，直到 FIFO 不满，才继续写入数据，故传输时不会发生“阻塞”。相应地，当接收频率远高于发送频率，可能发生“读空”现象，则 FIFO_empty 信号升高，接收端暂停读数，直到 FIFO“空”状态解除。通信接口工作时，FIFO 依照读/写协议运行，读/写指针的传递过程见图9。

其次，测量了传输延时、关键路径和吞吐量等性能指标。本文的传输延时为接口电路初始化后，接口传输无阻塞时，数据从发送端输入接口到此数据从接口输出所耗费的时间。吞吐量为单位时间内，以数据输入操作或输出操作为周期，测得传输接口电路翻转的次数；以吉赫兹(GHz)为吞吐量的单位。

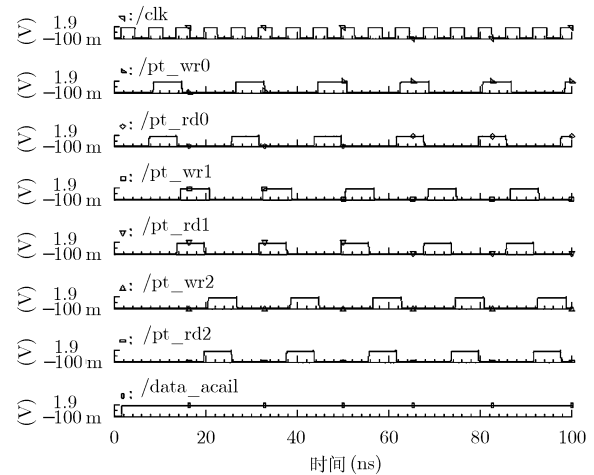


图9 读/写指针传递的部分仿真图

在采用 2 级全周期同步器的前提下，对 3 级 FIFO 形成的通信接口进行了仿真。通信接口的总延时为 792 ps，关键路径为 $\max(826, 226 + t_{\text{receiver}})$ ，其中 226 ps 为接口输入部分的关键路径延时。3 级 FIFO 构成的通信接口最大吞吐量为 1.21 GHz，传输比率为 2.42 bps，每响应一个传输请求 request 所需能量为 4.87 pJ/req。

4.2 与其他设计的比较

本文的通信接口与实现异步通信的其他方法在传输延时、吞吐量、数据传输安全性和设计结构等方面的比较见表2，本文的通信接口通过一个深度为3的FIFO实现。其中各个设计中性能参数的定义皆与本文相同。

本文采用 1/4 传输协议进行数据传输，消除了尖峰脉冲，使数据传输过程延时无关，接口具有较强的鲁棒性。表2中采用的比较文献均是通过向发送端发送确认信号来控制数据的发送，可应用在异步端到同步端的数据传输中。文献[15]虽也采用 1/4 传输协议，但在相同的编码链路下本文设计获得了更高的吞吐量，为 1.21 GHz。采用可停时钟设计，数据传输时停止时钟，接收端的工作时钟被停止，可能会导致接收端存储器件中的数据丢失，造成严重的后果。且时钟恢复后对数据的重采样亦需耗费

表2 不同异步传输接口的性能比较

	延时相关性	尖峰脉冲	总延时(ps)	吞吐量(GHz)	消耗能量 ^① (mJ)	支持协议	结构实现
本文设计	无关	无	792	1.21	2.44	多种	FIFO
文献[14]	相关	有	909	1.10	3.33	一种	可停时钟
文献[15]	无关	无	1210	0.83	2.30	一种	可停时钟

注: ①各个设计传输 1.0 Gbit 数据所消耗的能量。

时间, 更可能引起数据的传输错误。可见, 本文环形结构的 FIFO 设计, 在保证通信质量的前提下可通过选用优良的传输协议获得更大的吞吐量。以传输 1.0 Gbit 数据为例, 测算了各个设计传输相同数据量所消耗的能量。由于吞吐量和功耗之间有关联, 一般来讲, 吞吐量大幅度提高会引起功耗的相对增加。本文在吞吐量是文献[15]1.46 倍的情况下, 传输 1.0 Gbit 数据所消耗能量仅增加了 0.14 mJ, 而相比于其他设计, 在功耗方面仍存在优势, 所以本文设计符合多核 SoC 片上通信高速低功耗的要求。如表 2 所示, 本文设计可在不改变接口体系结构前提下支持多种数据传输协议, 又由于使用了独特的 FIFO 结构, 它可通过选用不同的同步化级以满足不同传输可靠性的要求, 从而设计具有良好的可重用性。从以上可知, 本文通过采用新颖的 FIFO 体系结构和门限门使所设计的通信接口获得了较好的性能, 但门限门的使用也使本文设计只能通过全定制或者英国曼彻斯特大学提出的 Balsa 工具进行设计, 不能完全基于标准单元进行设计, 以至延长了设计周期。而针对这个问题的研究正是下一步的工作之一。

5 结束语

本文提出一种新型通信接口电路, 它将新的 FIFO 体系结构用作异步同步通信接口, 完成了数据从异步模块到同步模块的完整快速延时无关传输, 提高了数据传输速度, 降低了延迟和功耗。本文提出并设计了新的 FIFO 体系结构, 制定了 FIFO 运行时所遵从的协议, 得到了环形结构的 FIFO。并将 FIFO 的数据传输通道与传输控制模块分开, 使本文 FIFO 的数据在传输时无需逐级贯穿整个 FIFO, 直接进出数据传输通道, 减少传输延时的同时使通信接口可支持多种数据传输协议。在 FIFO 控制模块中使用同步器避免亚稳态, 且将空/满控制逻辑和同步器分离, 无需对空/满信号进行同步化, 同步器的级数可随传输可靠性要求的不同改变。FIFO 在自身的体系结构下能满足不同传输可靠性的要求, 具有良好的可重用性和可移植性。结果表明, 设计具有高速功耗低、鲁棒性强和重用性好等特点。

参考文献

- [1] Clermidy F and Bernard C. A 477 mW NoC-based digital baseband for MIMO 4G SDR. IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2010: 278-279.
- [2] Shin J L and Tam K. A 40 nm 16-core 128-thread CMT SPARC SoC processor. IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2010: 98-99.
- [3] Sparso J and Furber S. Principles of asynchronous circuit design: a systems perspective. Boston, MA: Kluwer, 2001: 2-23.
- [4] Gebhardt D, You J, and Stevens K S. Comparing energy and latency of asynchronous and synchronous NoCs for embedded SoCs. 2010 Fourth ACM/IEEE International Symposium on Networks-on-Chip, Grenoble, 2010: 115-122.
- [5] Howard J and Dighe S. A 48-Core IA-32 message-passing processor with DVFS in 45 nm CMOS. IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2010: 108-109.
- [6] Kenniment D J. Synchronization and Arbitration in Digital Systems. San Francisco. Wiley, 2008: 14-38.
- [7] Muttersbach J, Villiger T, and Fichtner W. Practical design of globally-asynchronous, locally-synchronous systems. 6th International Symposium on Advanced research in Asynchronous Circuits and Systems, Eilat, 2000: 52-59.
- [8] Sheibanyrad A and Greiner A. Two efficient synchronous asynchronous converters well-suited for network-on-chip in GALS architectures. *Integration, the VLSI Journal*, 2008, 41(1): 17-26.
- [9] Ogg S, Valli E, and Al-Hashimi B, et al.. Serialized asynchronous links for NoC. Proceedings of Design, Automation and Test in Europe, Munich, 2008: 1003-1008.
- [10] Chelcea T and Nowick S M. Robust interface for mixed-timing systems. *IEEE Transaction on Very Large Scale Integration(VLSI) Systems*, 2004, 12(8): 857-873.
- [11] 徐阳扬, 周端, 杨银堂. 非对称 GALS 系统异步接口设计. 西安电子科技大学学报(自然科学版), 2007, 34(2): 294-297.
Xu Yang-yang, Zhou Duan, and Yang Yin-tang. Unsymmetrical interface design in GALS. *Journal of Xidian*

- University(Natural Science)*, 2007, 34(2): 294-297.
- [12] Huffinan D A. The synthesis of sequential switching circuits. *J. Franklin Institute*, 1954, 257(3): 161-190.
- [13] Furber S B and Day P. Four-phase micropipeline latch controlcircuits. *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, 1996, 4(2): 247-253.
- [14] De Clercq M and Negulescu R. 1.1-GD1/s tranamissions between pausable clock domains. *IEEE International Symposium on Circuits and Systems (ISCAC)*, Scottsdale, 2002: 768-771.
- [15] Upadhyay A, Hasan S R, and Nekili M, *et al.* A novel asynchronous wrapper using 1-of-4 data encoding and single-track hand-shaking. *The 2nd Annual IEEE Northeast Workshop on Circuits and Systems*, Montreal, 2004: 205-208.
- 彭 瑶: 女, 1984年生, 博士生, 研究方向为 NoC 设计、IP 核设计和 VLSI 设计.
- 周 端: 女, 1957年生, 博士, 教授, 硕士生导师, 研究方向为数字电路设计和电路低功耗设计研究.
- 杨银堂: 男, 1962年生, 博士, 教授, 博士生导师, 研究方向为深亚微米模拟集成电路及 IP 核设计、VLSI 技术和新型半导体器件设计.