

## 一种 10 位 200 kS/s 65 nm CMOS SAR ADC IP 核

杨银堂<sup>①②</sup> 佟星元<sup>①</sup> 朱樟明<sup>①</sup> 管旭光<sup>①</sup>

<sup>①</sup>(西安电子科技大学微电子所 西安 710071)

<sup>②</sup>(西安电子科技大学宽禁带半导体材料与器件教育部重点实验室 西安 710071)

**摘要:** 该文基于 65 nm CMOS 低漏电工艺, 设计了一种用于触摸屏 SoC 的 8 通道 10 位 200 kS/s 逐次逼近寄存器型(Successive Approximation Register, SAR) A/D 转换器(Analog-to-Digital Converter, ADC) IP 核。在 D/A 转换电路的设计上, 采用“7MSB (Most-Significant-Bit) + 3LSB (Least-Significant-Bit)” R-C 混合 D/A 转换方式, 有效减小了 IP 核的面积, 并通过采用高位电阻梯复用技术有效减小了系统对电容的匹配性要求。在比较器的设计上, 通过采用一种低失调伪差分比较技术, 有效降低了输入失调电压。在版图设计上, 结合电容阵列对称布局以及电阻梯伪电阻包围的版图设计方法进行设计以提高匹配性能。整个 IP 核的面积为 322  $\mu\text{m} \times 267 \mu\text{m}$ 。在 2.5 V 模拟电压以及 1.2 V 数字电压下, 当采样频率为 200 kS/s, 输入频率为 1.03 kHz 时, 测得的无杂散动态范围(Spurious-Free Dynamic Range, SFDR)和有效位数(Effective Number Of Bits, ENOB)分别为 68.2 dB 和 9.27, 功耗仅为 440  $\mu\text{W}$ , 测试结果表明本文 ADC IP 核非常适合嵌入式系统的应用。

**关键词:** 模数转换器(ADC); 逐次逼近寄存器(SAR); 触摸屏 SoC; CMOS; 低功耗

中图分类号: TN431.2

文献标识码: A

文章编号: 1009-5896(2010)12-2993-06

DOI: 10.3724/SP.J.1146.2010.00688

## A 10-bit 200 kS/s 65 nm CMOS SAR ADC IP Core

Yang Yin-tang<sup>①②</sup> Tong Xing-yuan<sup>①</sup> Zhu Zhang-ming<sup>①</sup> Guan Xu-guang<sup>①</sup>

<sup>①</sup>(Microelectronics Institute of Xidian University, Xi'an 710071, China)

<sup>②</sup>(Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices in Xidian University, Xi'an 710071, China)

**Abstract:** Based on 65 nm CMOS low leakage process, an 8-channel 10-bit 200 kS/s SAR (Successive Approximation Register) ADC (Analog-to-Digital Converter) IP core for touch screen SoC is realized. In the D/A converter design, a “7MSB (Most-Significant-Bit)-plus-3LSB (Least-Significant-Bit)” R-C hybrid conversion approach is utilized to reduce the area of the converter, and by reusing the MSB resistor string, the matching requirement of the capacitors is alleviated. With a low-offset pseudo-differential comparison approach, the input offset of the comparator is reduced. In the layout design, capacitor array symmetrical layout routing approach and resistor string dummy surrounding method are utilized to improve the matching performance. The area of the IP core is 322  $\mu\text{m} \times 267 \mu\text{m}$ . This converter operates with a 2.5 V analog supply and a 1.2 V digital supply. With the input frequency of 1.03 kHz at 200 kS/s sampling rate, the SFDR (Spurious-Free Dynamic Range) and ENOB (Effective Number Of Bits) are measured to be 68.2 dB and 9.27 respectively, and the power dissipation is just measured to be 440  $\mu\text{W}$ . The design results prove the applicability of this converter to embedded SoC.

**Key words:** Analog-to-Digital Converter (ADC); Successive Approximation Register (SAR); Touch screen SoC; CMOS; Low power

### 1 引言

触摸屏作为人-机交互界面已经广泛应用于掌

上电脑、信息查询以及远程控制等各个领域<sup>[1]</sup>。触摸屏控制器是触摸屏 SoC 中的核心模块, 其主要功能是识别触摸信息, 检测触摸位置并将其转换成触点坐标送至处理器进行处理, 同时能够接收并执行处理器发出的指令。其中, 将触摸位置转换成触点坐标一般是一种中/低速的 A/D 转换过程, 需要由一种高精度低功耗 A/D 转换器来实现。逐次逼近寄存

2010-07-02 收到, 2010-10-08 改回

国家自然科学基金(60725415, 60971066, 60676009, 60776034, 60803038), 国家 863 计划项目(2009AA01Z258, 2009AA01Z260)和国家重大科技专项(2009ZX01034-002-001-005)资助课题

联系作者: 佟星元 mayxt@126.com

器型(SAR) A/D转换器具有结构简单、面积小、功耗低等优点,非常适合这方面的应用<sup>[2,3]</sup>。随着集成电路硅栅特征尺寸减小到纳米级,片上系统集成更多的功能和模块,使得SoC模块电路的小面积及低功耗设计变得尤为重要。因此,基于纳米级CMOS工艺对面积小、功耗低的触摸屏SAR ADC进行研究和设计具有重要意义。

D/A转换网络以及比较器是SAR ADC的两个关键模块。对于电荷再分配型以及电压等比例缩放型D/A转换网络,其内部无源元件的数量随着位数的增加成指数倍增长,面积较大。因此,高精度( $\geq 10$ -bit)SAR ADC一般采用混合型D/A转换方式<sup>[4,5]</sup>。然而,在传统混合型结构中,电容阵列中的电容成二进制方式分配,如何提高匹配性能以保证电容之间严格的二进制比例一直是SAR ADC设计的关键问题。对于比较器而言,其比较精度能够反映SAR ADC所能识别的最小输入,是决定SAR ADC精度的主要因素,其失调电压直接影响整个ADC的失调误差<sup>[6]</sup>。因此,高精度、低失调比较器的设计是SAR ADC设计的重点之一。

本文基于65 nm CMOS低漏电工艺设计实现了一种面积小、功耗低的10位触摸屏SAR ADC IP核。采用“7MSB + 3LSB”R-C混合式D/A转换结构,通过8:1的电容对实现了高位电阻梯的复用,不仅能够显著减小芯片面积,还降低了系统对电容的匹配性要求。另外,相比传统的混合结构,此种结构在电容布局方面具有一定的灵活性,更容易满足匹配性方面的要求。采用一种新型失调消除技术,结合放大锁存的比较方式对比较器进行设计,在保证比较精度而又不增加任何时序逻辑的情况下,降低了比较器的失调电压。

## 2 SAR ADC的设计

### 2.1 SAR ADC结构

图1所示的是本文SAR ADC结构框图,整个ADC基于二进制搜索的方法,通过将输入信号依次与D/A转换网络生成的参考基准电压进行比较,逐次产生最高位至最低位的逻辑输出。本文采用了传统电平转换器结构<sup>[7]</sup>,用来解决跨电源区域控制信号幅度的提升问题,将低电压数字逻辑信号提升为高电平模拟信号去控制模拟模块的工作。首先,经通道选择信号 $S[2:0]$ 控制,8通道中的某一通道被选通作为SAR ADC的输入。R-C混合式D/A转换网络具有自采样保持的功能,输入信号被采样。在SAR逻辑控制电路的控制下,采样信号与D/A转换网络生成的基准信号比较,产生数字输出。基准参考电

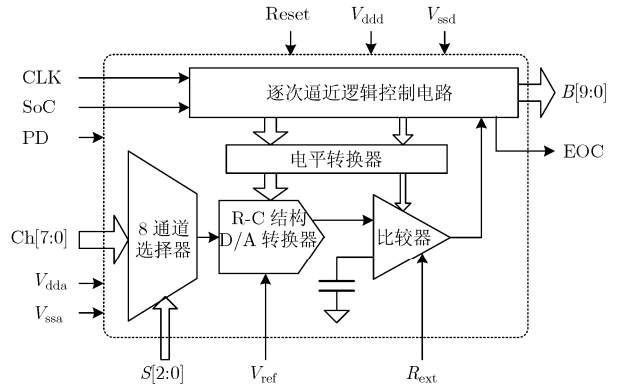


图1 本文阐述的10-bit 逐次逼近 ADC 结构框图

压可以表示为 $B_{N-1} V_{\text{ref}}/2^1 + B_{N-2} V_{\text{ref}}/2^2 + \dots + B_k V_{\text{ref}}/2^{N-k}$ ,其中 $N$ 代表转换器的精度, $0 \leq k \leq N-1$ 。在确定 $B_k$ 时, $B_{N-1} \sim B_{k+1}$ 已经产生,这时假设 $B_k="1"$ ,则基准参考电压为 $B_{N-1} V_{\text{ref}}/2^1 + B_{N-2} V_{\text{ref}}/2^2 + \dots + 1 \times V_{\text{ref}}/2^{N-k}$ ,该电压与采样保持值进行比较,如果参考电压值比采样保持信号小,则 $B_k="1"$ ,否则, $B_k="0"$ 。根据以上转换方法,逐次产生 $B_{N-1} \sim B_0$ 的值。

### 2.2 R-C混合式D/A转换网络

本文采用了文献[8]中阐述的R-C混合式D/A转换网络结构。通过7位电阻梯和8:1的电容对组合实现了10位的转换精度。相比传统的电压等比例缩放以及电荷再分配结构,此种结构通过8:1的电容对实现了高位电阻梯的复用,能够显著减小芯片面积。同时,这种结构能够利用自身电容的采样保持功能,不需要额外的采样保持电路。相比电容阵列以二进制方式分配的传统混合结构,此种结构只需要满足具有8:1比例的两个电容之间的匹配,因此,在电容布局方面具有一定的灵活性,更容易满足匹配性要求。

在D/A转换器的设计上要考虑速度、功耗、面积以及线性特性之间的折中。良好的线性性能往往需要有较大面积的电阻和电容以实现好的匹配<sup>[9]</sup>。对于电阻而言,结合低功耗设计的考虑,可以选择具有较大面积以及较大阻值的单位电阻,而电阻阻值的增大会影响速度的提升。对于电容而言,电容值与面积成正比,电容的增大意味着动态功耗的增加,同时也会影响转换器速度。由于本文设计的ADC对采样速率的要求不高,因此在D/A转换器的设计过程中可以着重考虑功耗、面积以及线性特性。在固定电阻宽度的情况下,电阻梯的低功耗和线性特性对单位电阻长度的要求是一致的,因此可以重点考虑面积和匹配性的折中。为了正确处理这一折中问题,论文特别针对SAR ADC电阻梯的匹配性要求进行了研究及Matlab建模验证。

假设单位电阻  $R$  服从均值为  $R_0$ , 标准偏差为  $\sigma_R$  的正态分布, 即:  $R \sim N(R_0, \sigma_R)$ 。那么, 串联在一起的  $m$  个电阻将服从均值为  $mR_0$ , 标准偏差为  $\sqrt{m} \sigma_R$  的正态分布。对于该 10 位 ADC, 如果定义由电阻失配引起的积分非线性误差(Integral Non-Linearity, INL) 小于 1/2 最低有效位 (Least-Significant-Bit, LSB), 则有

$$\left| \frac{R_{\text{bot}}}{R_{\text{bot}} + R_{\text{top}}} - \frac{1}{2} \right| < \frac{1}{2^{10+1}} \quad (1)$$

其中  $R_{\text{top}}$  和  $R_{\text{bot}}$  分别代表电阻梯上下两半部分的电阻值,  $R_{\text{bot}} = \sum_{i=1}^{2^{7-1}} R_i$ ,  $R_{\text{top}} = \sum_{i=2^{7-1}+1}^{2^7} R_i$ 。假设每个单位电阻都由其均值和标准偏差组成, 那么式(1)可以表示为

$$\left| \frac{2^{7-1}R_0 \pm 2^{(7-1)/2}\sigma_R}{2^{7-1}R_0 \pm 2^{(7-1)/2}\sigma_R + 2^{7-1}R_0 \pm 2^{(7-1)/2}\sigma_R} - \frac{1}{2} \right| < \frac{1}{2^{10+1}} \quad (2)$$

考虑一种极端情况, 令电阻梯上半部分电阻的标准偏差为正值, 下半部分电阻的标准偏差为负值, 那么式(2)可以整理为

$$\frac{1}{2} \times 2^{-(7-1)/2} \times \frac{\sigma_R}{R_0} < \frac{1}{2^{10+1}} \quad (3)$$

因此, 为了使由电阻失配引起的积分非线性误差小于  $\text{LSB}/2$ ,  $\sigma_R/R_0$  需满足:  $\sigma_R/R_0 < 2^{-7}$ 。本文分别针对  $\sigma_R/R_0=1/2^{7.5}$  以及  $\sigma_R/R_0=1/2^{6.5}$  的情况进行了 Matlab 建模验证, 验证结果如图 2 所示, 当  $\sigma_R/R_0=1/2^{7.5}$  时, INL 在  $\pm 0.5\text{LSB}$  范围之内, 而当  $\sigma_R/R_0=1/2^{6.5}$  时, 不能满足积分非线性误差小于  $\text{LSB}/2$  的要求。建模结果能够验证  $\sigma_R/R_0 < 2^{-7}$  这一要求的正确性。由于最高 7 位已由电阻梯产生, 8:1 电容对只需满足 3-bit 的匹配精度即可。

对于本文中 D/A 转换网络的设计, 主要考虑了以下两点: (1)电阻梯在满足匹配性要求的情况下具

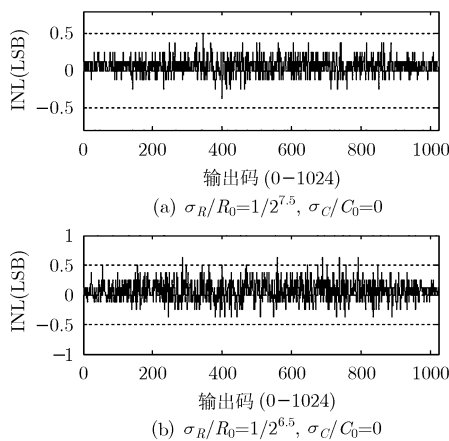


图 2 10-bit SAR ADC 电阻匹配性要求 Matlab 验证结果

有较小的面积, 在满足速度的要求下具有较大的阻值以实现低功耗。(2)在满足匹配性要求的前提下选取较小的电容值, 这不仅能降低电容的动态能耗, 同时有利于速度的提升。对于本文 10-bit SAR ADC, 在前半个时钟周期, D/A 转换网络产生基准参考电压并将其稳定到相应的精度范围, 在后半个时钟周期内, 比较器完成参考基准电压与采样保持信号的比较。本文 ADC 采样频率为 200 kS/s, 最高时钟频率为 4 MHz, D/A 转换网络的建立时间只要小于 125 ns(半个时钟周期)即可。结合这一设计考虑以及上述对无源元件匹配性要求的分析, 本文选取了非硅化物 P+掺杂多晶硅电阻类型以及金属叉指电容类型。设计得到的最大时间常数约为 35 ns, 匹配性也能够满足该 10-bit SAR ADC 的设计要求。

D/A 转换网络的功耗主要由电阻梯的静态功耗和电容的动态功耗组成。电阻梯的静态功耗为  $V_{\text{ref}}^2/R_{\text{total}} \approx 163 \mu\text{W}$ ,  $R_{\text{total}}$  表示电阻梯的总电阻值, 单位电阻为  $300 \Omega$ 。另外, 论文针对 8:1 电容对的动态能耗进行了 Matlab 建模仿真, 仿真结果如图 3 所示。由于在向上转换的过程中, 电容总是需要接至更高的基准电压, 因此会消耗更多的能耗。电容的动态功耗可以表示为: 动态转换功耗=转换能耗/转换周期。通过图 3 可以得到, 在采样频率为 200 kS/s(转换周期为  $5 \mu\text{s}$ )情况下, 8:1 电容对的最高动态功耗不足  $1 \mu\text{W}$ 。可见, 电阻梯的静态功耗是 D/A 转换网络功耗的主要部分。

### 2.3 低失调伪差分比较器

除 D/A 转换网络之外, 比较器是 SAR ADC 中的另一重要模块。比较器的输入失调电压对整个 SAR ADC 的失调具有直接影响, 所以在设计过程中一般需要采用失调消除技术。然而, 传统的比较器失调消除技术需要增加额外的逻辑控制电路, 时序比较复杂<sup>[10]</sup>。本文采用的比较器结构如图 4 所示。它不仅结合了 SAR ADC 的采样保持功能, 而且在与 SAR ADC 工作原理完全兼容, 不增加任何逻辑

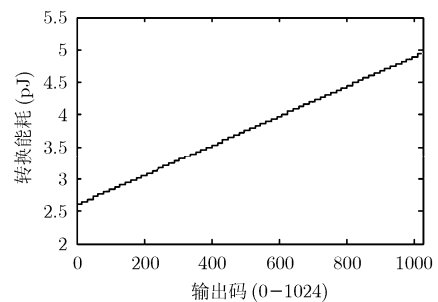


图 3 10-bit D/A 转换网络中电容的动态能耗

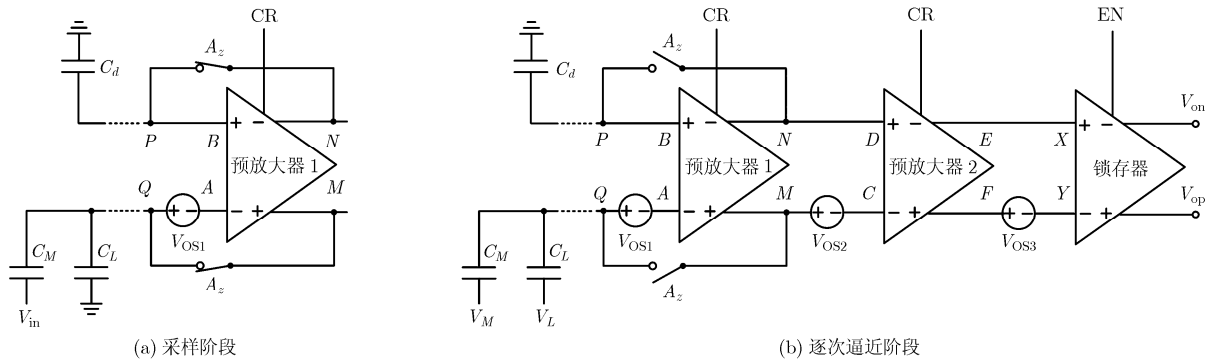


图 4 SAR ADC 比较器

时序的情况下,通过对前级预放大器进行输入失调消除,有效地降低了整体输入失调电压。

在图 4 中,  $C_M=8C_L$ ,  $C_d$  用来减小由开关  $A_2$  的沟道电荷注入以及时钟馈通引起的输入失调误差。整个比较器的工作原理如下:在采样阶段,  $A_2$  闭合,电容  $C_M$  接至输入信号  $V_{in}$ , 电容  $C_L$  接地,比较器清零,  $V_P=V_Q=V_{CM}$ , 这里  $V_{CM}$  表示共模电平。在采样模式结束时,  $A_2$  断开,这时,输入信号的信息就以电荷的形式被保存在了比较器的输入端。在逐次逼近阶段,根据比较器的输出,通过逐次逼近逻辑电路的控制,将电容  $C_M$  和  $C_L$  分别接到电阻梯上合适的节点,使  $V_Q$  逼近  $V_P$ , 从而依次产生  $B_9-B_0$  的逻辑值。图 4(b) 中的  $V_M$  和  $V_L$  分别表示逐次逼近阶段结束时电容  $C_M$  和  $C_L$  所接的参考电压值。

在采样阶段,如图 4(a) 所示,有如下关系:

$$-A_1 \times (V_B - V_A) = V_N - V_M = V_P - V_Q \quad (4)$$

其中  $A_1$  为第一级预放大器的增益。假设  $V_B=V_P=V_{CM}$ ,  $V_A=V_Q-V_{OS1}$ , 代入式(4)得并整理后得到

$$V_Q = V_P + \frac{A_1 \times V_{OS1}}{A_1 + 1} = V_{CM} + \frac{A_1 \times V_{OS1}}{A_1 + 1} \quad (5)$$

当逐次逼近结束后,应该有  $V_X=V_Y$ 。考虑锁存器以及第二级预放大器的输入失调电压  $V_{OS3}$  和  $V_{OS2}$ , 并假设第 2 级预放大器的增益为  $A_2$ 。另  $V_X=V_Y$ , 回推至  $P, Q$  点有  $V'_P=V_{CM}$  以及:

$$V'_Q = V_{CM} + V_{OS1} + \frac{V_{OS2}}{A_1} + \frac{V_{OS3}}{A_1 \times A_2} \quad (6)$$

针对采样阶段以及逐次逼近阶段  $Q$  点电荷守恒,有如下关系:

$$\begin{aligned} (V_Q - V_{in}) \times C_M + V_Q \times C_L \\ = (V'_Q - V_M) \times C_M + (V'_Q - V_L) \times C_L \end{aligned} \quad (7)$$

将式(5)和式(6)代入式(7)得到

$$V_{in} \approx (V_M + V_L / 8) - \frac{9}{8} \left( \frac{V_{OS1}}{A_1 + 1} + \frac{V_{OS2}}{A_1} + \frac{V_{OS3}}{A_1 \times A_2} \right) \quad (8)$$

因此,整个比较器的等效输入失调电压为

$$V_{OS} = \frac{9}{8} \left( \frac{V_{OS1}}{A_1 + 1} + \frac{V_{OS2}}{A_1} + \frac{V_{OS3}}{A_1 \times A_2} \right) \quad (9)$$

在此,为了考虑最差情况,假设每级的失调电压均为正值,并同相相加。通过式(9)可以看出,第一级预放大器的等效输入失调电压也被减小到原来的  $1/(A_1+1)$ , 这使得第一级预放大器在速度、功耗以及失调方面的折中设计更为方便,而这一优点是在没有增加任何电路复杂度,并完全与 SAR ADC 工作方式兼容的情况下获得的。本文的比较器采用两级带有交叉耦合正反馈的预放大器<sup>[11,12]</sup>以及低功耗可再生锁存器<sup>[12,13]</sup>实现。在 2.5 V 基准电压下,整个比较器的输入失调电压约为 0.76 mV, 约为 0.3 LSB。预放大器的尾电流是比较器中非常重要的参数,比较器的噪声、摆率以及功耗都与尾电流密切相关。相对较大的尾电流可以有效抑制噪声和提高响应速率,但是会导致较大的功耗,所以需要折中考虑。

### 3 设计结果与分析

本文 ADC 基于 65 nm CMOS 低漏电工艺设计实现,图 5 所示的是 10-bit SAR ADC 的版图照片,整个 IP 核面积为  $322 \mu\text{m} \times 267 \mu\text{m}$ 。电容阵列采用金属叉指电容实现,提高了工艺兼容性,减小了成本。在版图布局方面,电容阵列采用对称的布局方式进行布局,有效地减小了 8:1 电容对的匹配误差。尽管电阻梯自身具有单调特性,但是电阻之间的匹配性能仍然至关重要,任意两个电阻之间的不匹配都会导致 A/D 转换的非线性。本文选取的单位电阻为  $300 \Omega$ , 采用非硅化物  $P+$  掺杂多晶硅电阻类型,通过增加电阻的宽度能够提高匹配精度。同时,本文采取伪电阻包围对策对电阻梯进行布局,能够进一步增强匹配性以减小线性误差。

图 6 所示的是本文 10-bit ADC 的测试芯片照

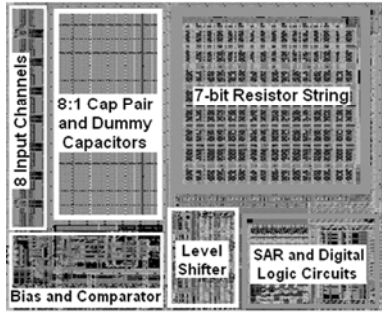


图5 本文10-bit A/D转换器版图照片

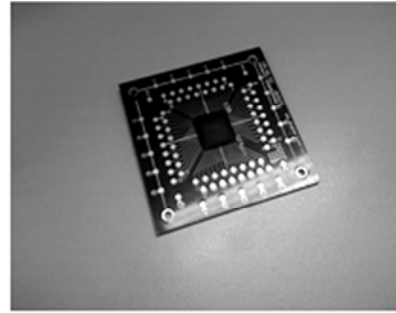


图6 测试芯片照片

片。测试芯片采用64脚COB(Chip-On-Board)封装方式进行封装。整个A/D转换器在2.5V模拟电源电压和1.2V数字电源电压条件下进行测试,输入信号幅度在 $1.25V \pm 1.24V$ 范围内。转换器的静态特性采用“histogram”测试方法<sup>[4]</sup>进行测试,测试结果如图7所示。在输入频率为1.03kHz,采样速率为200kS/s的情况下,测得的DNL(Differential Non-Linearity)和INL分别为0.7LSB和1.1LSB,失调误差为1.3LSB。在整个A/D转换范围的两端,非线性误差较大,这与比较器有限的共模抑制比有关<sup>[4]</sup>。在采样阶段,比较器的共模输入电平为 $V_{CM}$ ,而在逐次逼近阶段,比较器的共模输入电平与采样保持信号的电平有关。在采样保持和逐次逼近两个阶段,工作点存在偏差,这种偏差在整个输入范围的两端最为明显,而比较器有限的共模抑制比使得比较器输入失调电压随输入信号变化,最终导致非线性误差的恶化。提高比较器的共模抑制比以及进一步优化电阻梯的匹配性能是本文后续工作的重点。

图8所示的是在采样速率为200kS/s,输入频率约为99.03kHz情况下的12000点DFT(Discrete Fourier Transform)结果,测得的ENOB(Effective Number of Bits)和SFDR(Spurious-Free Dynamic Range)分别为9.12和67.3dB。图9所示的是在采样速率为200kS/s情况下SNDR(Signal to Noise and Distortion Ratio)以及SFDR随输入频率的变

化曲线。在输入频率为1.03kHz,采样频率为200kS/s情况下,测得的ENOB为9.27,SFDR为68.2dB,THD(Total Harmonic Distortion)为66.9dB,包括输出驱动在内,整个转换器的功耗仅为440 $\mu$ W。

为了描述论文设计实现的这一10位65nm CMOS SAR ADC的性能,论文采用FoM(Figure-of-Merit)参数将其与前期文献进行了比较,如表1所示。其中, $FoM = P_{diss} / (2^{ENOB} \times f_{sample})$ , $P_{diss}$ 是转换器的功耗,ENOB是在采样频率为 $f_{sample}$ 情况下测得的有效位数。

文献[4]中阐述了一种基于传统C-R组合结构的1MS/s全差分12位A/D转换器,由于采用差分结构可以有效地抑制偶次谐波,文献[4]中的结构实现了较好的信噪比,但是面积和功耗相对较大,这一点不利于嵌入式SoC的应用,另外,相比文献[4],本文设计的ADC具有更优越的FoM。与文献[2]相比,虽然本文设计的ADC在采样速率和FoM方面稍差,但是在面积方面,本文的设计结果仅仅是文献[2]的1/3,在静态特性方面,本文的设计结果(DNL:0.7LSB,INL:1.1LSB)也优于文献[2]中的结果(DNL:0.8LSB,INL:1.4LSB)。与文献[3]中ADI的AD7877相比,本文ADC的FoM更优。通过比较可以发现,本文实现的这一纳米级逐次逼近A/D转换器,在信噪比、面积以及功耗等方面都实

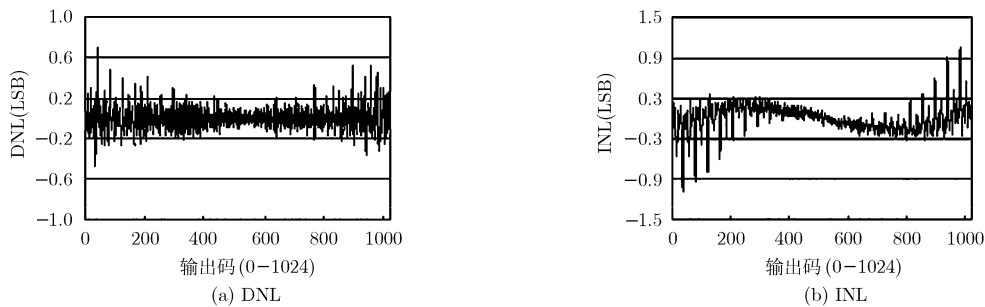


图7 10-bit ADC静态特性测试结果

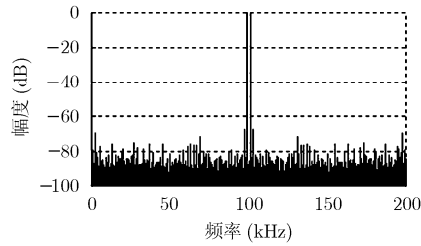


图 8 输入频率为 99.03 kHz 时的 12000 点 DFT 图形

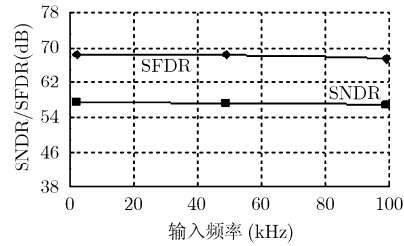


图 9 SNDR 及 SFDR 随输入频率的变化曲线

表 1 设计结果比较

	精度	采样速率(MS/s)	有源面积(mm <sup>2</sup> )	功耗(mW)	ENOB	FoM(pJ/conv. step)
文献[2]	10-bit	2	0.25	3.1	9.05	2.92
文献[3]	12-bit	0.125	-	0.65	<12	>4.57
文献[4]	12-bit	1	1.5	15	11.6	4.83
本文	10-bit	0.2	0.086	0.44	9.27	3.5

现了较好的性能，非常适合嵌入式 SoC 的应用。

#### 4 结束语

采用“7MSB's + 3LSB's” R-C 混合式 D/A 转换结构以及低失调伪差分比较方式，并结合电容阵列对称布局以及电阻梯伪电阻包围的版图设计方法，设计实现了一种用于触摸屏 SoC 的 8 通道 10 位 200 kS/s 逐次逼近 ADC IP 核。整个转换器基于 65 nm CMOS 低漏电工艺设计实现，面积不足 0.09 mm<sup>2</sup>。在输入频率为 1.03 kHz，采样频率为 200 kS/s 情况下，测得的 DNL 和 INL 分别为 0.7LSB 和 1.1 LSB，ENOB 为 9.27，SFDR 为 68.2 dB，THD 为 66.9 dB，包括输出驱动在内，功耗仅为 440  $\mu$ W，满足触摸屏 SoC 的应用要求。随着集成电路硅栅特征尺寸减小到纳米级，论文实现的这一 65 nm CMOS 逐次逼近 ADC IP 核在嵌入式 SoC 设计中具有很好的应用前景。

#### 参考文献

- [1] Nichols S J V. New interfaces at the touch of a fingertip [J]. *Computer*, 2007, 40(8): 12-15.
- [2] 龙善丽, 殷勤, 吴建辉, 等. 用于 SOC 系统的逐次逼近型 ADC 设计[J]. *固体电子学研究与进展*, 2007, 27(3): 380-385.
- [3] Analog Devices, AD7877-Touch screen controller [R/OL]. Norwood MA, U.S.A., Nov. 2009. <http://www.analog.com/en/analog-to-digital-converters/ad-converters/ad7877/products/product.html>.
- [4] Promitzer G. 12-bit low-power fully differential switched capacitor non-calibrating successive approximation ADC with 1 MS/s [J]. *IEEE Journal of Solid-State Circuits*, 2001, 36(7): 1138-1143.
- [5] Liang Y C, Wu Z H, and Li B. A new 12-bit fully differential SAR ADC for wireless implantable neural recording system [C]. EDSSC 2009. Xi'an, China, Jan. 2009: 399-402.
- [6] Fotouhi B and Hodges D A. High-resolution A/D conversion in MOS/LSI [J]. *IEEE Journal of Solid-State Circuits*, 1979, 14(6): 920-926.
- [7] Zhang B, Liang L P, and Wang X J. A new level shifter with low power in multi-voltage system [C]. ICSICT 2006. Shanghai, China, 2006: 1857-1859.
- [8] Tong X Y, Yang Y T, and Zhu Z M, et al. High speed, high resolution and low power approaches for SAR A/D converter [C]. WiCOM 2009. Beijing, China, Sep. 2009: 1-5.
- [9] Liu W and Chiu Y. Background digital calibration of successive approximation adc with adaptive equalisation [J]. *Electronics Letters*, 2009, 45(9): 456-458.
- [10] Razavi B and Wooley B A. Design techniques for high-speed, high-resolution comparators [J]. *IEEE Journal of Solid-State Circuits*, 1992, 27(12): 1916-1926.
- [11] Razavi B. Principles of Data Conversion System Design. New York of USA: IEEE Press, 1995: 205.
- [12] Shahrokhi F, Abdelhalim K, and Serletis D, et al. The 128-channel fully differential digital integrated neural recording and stimulation interface [J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2010, 4(3): 149-161.
- [13] Ginsburg B P and Chandrakasan A P. Highly interleaved 5-bit, 250-MSample/s, 1.2-mW ADC with redundant channels in 65-nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(10): 2641-2650.
- [14] Doernberg J, Lee H S, and Hodges D A. Full speed testing of A/D converters [J]. *IEEE Journal of Solid State Circuits*, 1984, 19(6): 820-827.

杨银堂：男，1962 年生，教授，博士生导师，研究方向为 VLSI 技术、数据转换器设计、深亚微米 SoC 设计、新型半导体器件和材料、MEMS 以及 NOC 体系架构等。

佟星元：男，1984 年生，博士生，研究方向为纳米级 CMOS 混合信号电路与系统芯片设计。

朱樟明：男，1978 年生，教授，研究方向为高速 CMOS 数据转换器的设计、电源管理以及低压低功耗模拟集成电路设计等。