

高性能并行比特变换运动估计硬件架构设计

陈运必^{*①} 郭立^① 李正东^② 池凌鸿^①

^①(中国科学技术大学电子科学与技术系 合肥 230027)

^②(重庆通信学院电子技术教研室 重庆 400035)

摘要: 为了满足便携式实时全高清视频的处理要求, 该文基于 1 维源像素线性阵列, 提出一种新的多宏块并行比特变换运动估计结构, 克服以往 2 维阵列消耗资源较多且延时大的不足。该文结构易于并行扩展且更为节约资源, 进一步还针对脉动胞元和数据存储这两个系统瓶颈进行优化设计。FPGA 实现结果表明, 与同类设计相比, 该文设计在面积和速度上均有改善, LUTs 资源节约 43%, DFFs 资源节约 25%, BRAMs 数目节约 75%, 性能提升 32%。

关键词: 运动估计; 比特变换; 硬件架构; 并行处理; 脉动阵列

中图分类号: TN47

文献标识码: A

文章编号: 1009-5896(2011)03-0717-06

DOI: 10.3724/SP.J.1146.2010.00636

An Efficient Parallel Architecture for One-bit Transform Based Motion Estimation

Chen Yun-bi^① Guo Li^① Li Zheng-dong^② Chi Ling-hong^①

^①(Department of Electronic Science and Technology, University of Science and Technology of China, Hefei 230027, China)

^②(Staff room of Electronic and Technology, Chongqing Communication College, Chongqing 400035, China)

Abstract: In order to meet the processing requirements of portable real-time full HD video compression, this paper proposes a novel macroblock-level parallel architecture based on 1-D source pixels based linear array, which overcomes the problem of massive amount of resources and large delay caused by 2-D arrays used in literatures. The proposed architecture is easy to extend and area-economical. Furthermore, towards the system bottlenecks, systolic cell and data memory organization, optimized structure are presented. Compared with the traditional architecture, the proposed architecture can achieve the improvements of speed and area at the same time. FPGA implementation results show that, LUTs is reduced by 43%, DFFs is reduced by 25%, BRAMs is reduced by 75%, and performance is increased by 32%.

Key words: Motion estimation; One-bit transform; Hardware architecture; Parallel processing; Systolic arrays

1 引言

块匹配运动估计是视频编码中去除时间冗余的重要技术, 但计算量大, 即使是已优化的系统, 运动估计仍然占用系统 50%–90% 的计算量^[1]。在面积和功耗有限的约束下设计出满足实时性要求的运动估计模块成为当前研究热点。削减运动估计计算量的算法可大致分为 3 类^[2]: (1)快速搜索, (2)快速匹配, (3)比特变换。前两类算法存在很强的数据依赖性, 适合软件实现而不适合硬件实现; 比特变换运动估计将视频帧变换为比特位图, 并对比特位图进行全搜索运动估计, 数据流规则且参与计算的数据

仅为整数精度像素的八分之一, 计算复杂度明显降低, 适用于实时低功耗应用。

基于比特变换设计运动估计硬件是一种高效节能的方案。文献[3]提出基于运动矢量的线性阵列实现(MVBLA), 特点是候选块数据广播而宏块数据移动, 一个胞元负责一个候选块的匹配计算, 各个胞元轮流输出相应候选块的匹配误差, 然后由比较阵列逐个进行比较得出最佳运动矢量。文献[4]针对分层 1BT 进行设计, 特点是候选块数据移动而宏块数据广播, 胞元任务分配同 MVBLA, 但所有胞元同时输出对相应候选块的匹配误差, 比较阵列必须对 32 个匹配误差同时进行比较(假定搜索窗尺寸为 47×47)。文献[5]将基于源像素线性阵列(SPBLA)应用于比特变换运动估计, 特点是候选块数据广播而宏块数据保持, 这避免了数据移动所带来的功耗,

2010-06-28 收到, 2010-09-10 改回

国家自然科学基金(61071173)和中国科学技术大学研究生创新基金资助课题

*通信作者: 陈运必 ahbi@mail.ustc.edu.cn

此外 SPBLA 将一个候选块的匹配计算平均分配到各个胞元, 胞元间按流水方式作业, 最高序号胞元每周输出一个候选块匹配误差, 因此只需要一个比较器, 节约了比较器资源。比较上述 3 种结构, 文献[5]的 SPBLA 同时在速度和资源利用率上最优。

文献[5]的 SPBLA 最高性能是 $1280 \times 720 @ 45$ fps, 不能实时处理全高清 $1920 \times 1080 @ 30$ fps 视频。文献[6]提出 4 宏块并行的比特变换运动估计结构, 实时处理能力可达 $1920 \times 1080 @ 50$ fps, 但是文献[6]的结构需要复杂的数据对齐阵列和控制逻辑, 4 宏块并行结构所需资源约为文献[5]的单宏块结构的 6.5 倍, 且时钟频率下降约 38.5%。理论上实现 4 宏块并行结构只需 4 倍于单宏块结构的资源, 且运行频率应基本相等, 可见文献[6]结构的资源利用率不高。本文基于 SPBLA 提出一种新的多宏块并行比特变换运动估计结构, 具有规则流水通信带宽小的特点, 且易于并行扩展。此外, 本文还对脉动胞元和搜索窗存储器进行优化。在 Xilinx FPGA 上实现结果表明, 相比同类设计, 本文设计在速度和面积上均有改善, LUTs 资源节约 43%, DFFs 资源节约 25%, BRAMs 数目节约 75%, 性能提升 32%。

2 比特变换运动估计原理

比特变换运动估计(包括 1BT^[3], MF1BT^[7], C-1BT^[8]和 DC-1BT^[9]等)的计算过程是类似的, 本文以 MF1BT 为例进行设计, 设计的结构稍加修改即可应用于同类算法。比特变换运动估计分两个阶段, 比特变换和二进制运动估计。比特变换阶段比较原图像 I_t 与带通滤波后的图像 I_t^F , 如式(1), 得到比特位图 B_t 。MF1BT 使用菱形空间滤波模板进行带通滤波, 使得比特变换只涉及加法和移位, 避免了乘法运算。二进制运动估计阶段在参考帧比特位图 B_{t-r} 的限定搜索窗内进行全搜索得到最佳运动矢量。比特变换的计算量小可直接用软件实现, 因此本文重点进行二进制运动估计模块的硬件设计。

$$B_t(i, j) = \begin{cases} 1, & I_t(i, j) \geq I_t^F(i, j) \\ 0, & \text{其他} \end{cases} \quad (1)$$

不失一般性, 考虑 16×16 的宏块和 47×47 的搜索窗¹⁾的二进制运动估计, 这也是视频编码标准中的典型配置^[5,6]。如图1所示, $R(i, j)$ 为宏块在 (i, j) 位置的比特值, 简记 R_j 为宏块的第 j 列数据, $V_{u,v}$ 为搜索窗中相对左上角 $(0,0)$ 位置偏移 (u, v) 个像素的候选块, 则宏块与搜索窗中第 (u, v) 个候选块的匹配误

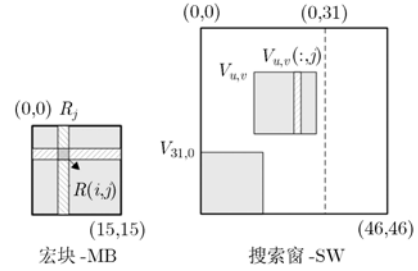


图1 宏块和搜索窗示意图

差 NNMP(u, v) 可表示为式(2),

$$\text{NNMP}(u, v) = \sum_{i=0}^{15} \sum_{j=0}^{15} R(i, j) \oplus V_{u,v}(i, j) \quad (2)$$

对应的运动矢量为 (u, v) , 其中 $u, v = 0, 1, \dots, 31$ 且 \oplus 为异或运算。从式(2)可知, 二进制运动估计的匹配计算只涉及简单的异或运算和比特计数, 相比整数精度匹配准则绝对差之和简化得多。

3 多宏块并行二进制运动估计的脉动设计

3.1 系统架构

多宏块并行二进制运动估计的系统架构如图 2 所示, 以 6 宏块并行为例, 其中包括 3 个并行单元, 每一个并行单元包含两个脉动阵列, 一个脉动阵列负责一个宏块的运动估计任务, 每一个并行单元装配一个搜索窗数据存储器和两个时间寄存器 $\text{win-}T_{2k} / \text{win-}T_{2k+1}$ 。3 个并行单元共享相同的控制状态机、地址生成器和计时器。地址生成器按预定的搜索次序产生搜索窗地址, 从而读出所需候选块数据。计时器在每次运动估计任务开始时清零, 运动估计过程中, 每当有更优的候选块胜出, 宏块对应的时间寄存器立即记录胜出时刻。因为搜索路径是预先定义的, 计时器时刻和候选块一一对应, 记录胜出时刻等价于记录当前最佳候选块所对应的运动矢量。从图 2 结构可知, 直接添加并行单元就能实现更大规模的并行扩展, 每增加一个并行单元, 等价于增加两个宏块并行电路, 且共享电路无需调整。要实现奇数宏块并行, 只需将最后一个并行单元中的一个脉动阵列去掉即可。

图 3 所示为 6 宏块搜索窗示意图, 区域 0/1/2 构成搜索窗 SW0, 区域 1/2/3 构成搜索窗 SW1, 其他以此类推。每两个相邻宏块作为一组, 共用一个搜索窗双口 RAM, 即每两个相邻的搜索窗数据作为一个整体存放于同一个双口 RAM 内。比如第 1 组宏块, 包括宏块 0 和宏块 1, 对应的搜索窗为 SW0 和 SW1, 也就是区域 0/1/2/3, 尺寸大小为 $48 \times 64 = 3$ kbit, 这些数据存放于 SW0-SW1 双口 RAM 中。对于 6 宏块并行的二进制运动估计系统, 需要

¹⁾为了硬件设计的方便, 搜索窗存储器大小设置为 48×48 bit, 但搜索范围限定在 47×47 bit 内。

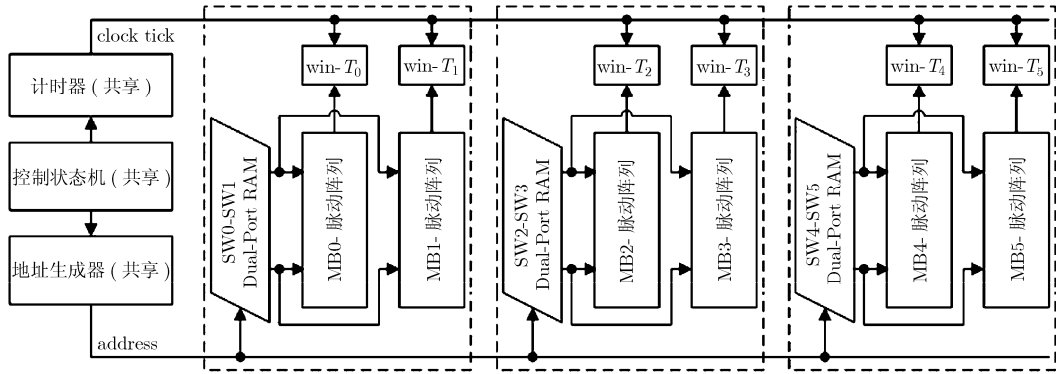


图 2 6 宏块并行的二进制运动估计系统架构

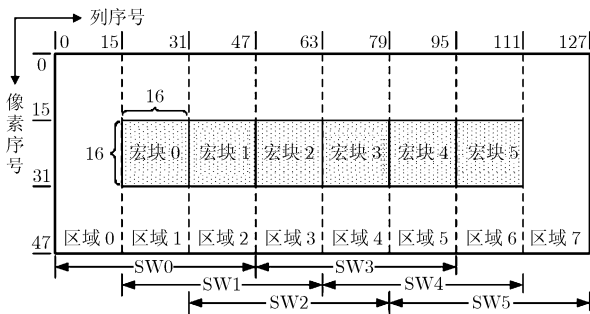


图 3 6 宏块搜索窗示意图

配置 3 个搜索窗双口 RAM(见图 2)，所需存储容量为 9 kbit。

脉动阵列是全搜索运动估计硬件实现的有效方案，以 2×2 宏块和 5×5 搜索窗为例，二进制运动估计依赖图如图 4 所示，其中 $\{V_0, V_1\}$ 为当前搜索窗 SW0-SW1 的双路输出， $\{R_0^0, R_1^0\}$ 为宏块 0 的列数据， $\{R_0^1, R_1^1\}$ 为宏块 1 的列数据， $\{E_0^0, E_1^0, \dots\}$ 对应宏块 0 的每个候选块的匹配误差， $\{E_0^1, E_1^1, \dots\}$ 对应宏块 1 的每个候选块的匹配误差。图 4 最底部一行比较器节点并未直接画在依赖图内，每个宏块的脉动阵列都需要连接一行比较器节点，只需将依赖图中第 2 行和第 4 行节点的输出分别连到两行独立的比较器节点上即可，通过比较各个候选块的匹配误差可

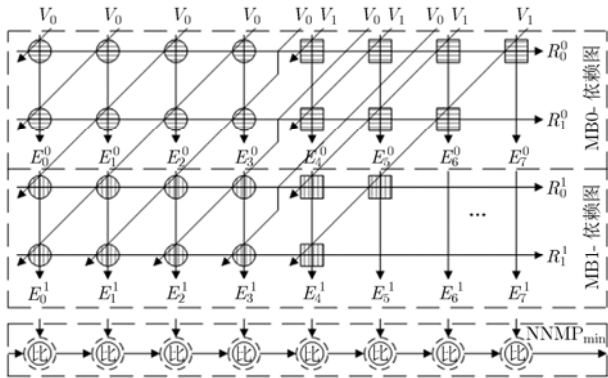


图 4 组内双宏块并行的依赖图

以确定最佳候选块出现的时刻，从而得出最佳运动矢量。

根据依赖图，使用投影法^[10]来得到脉动阵列，不妨选择投影矢量 \mathbf{d} 、处理器矢量 \mathbf{P} 和 \mathbf{S} 如式(3)，注意 \mathbf{d} 和 \mathbf{P} 正交，且各个矢量均在整数空间取值，

$$\mathbf{d} = \begin{pmatrix} d_1 \\ d_2 \end{pmatrix}, \quad \mathbf{P}^T = (p_1 \ p_2), \quad \mathbf{S}^T = (s_1 \ s_2) \quad (3)$$

借鉴文献[5]的 $\{V, R, E, NNMP_{\min}\}$ 通信方式，得出处理器映射约束不等式和时间映射约束不等式见表 1。

表 1 脉动映射不等式

e^T	通信方式	处理器映射约束	时间映射约束
$V(-1,1)$	广播	$-p_1 + p_2 > 0$	$-s_1 + s_2 = 0$
$R(1,0)$	驻留	$p_1 = 0$	$s_1 > 0$
$E(0,1)$	延时传播/驻留	$p_2 \geq 0$	$s_2 > 0$
$NNMP_{\min}(1,0)$	延时传播/驻留	$p_1 \geq 0$	$s_1 > 0$

求解表 1 的不等式组，得

$$p_1 = 0, \quad p_2 > 0, \quad s_1 = s_2 > 0 \quad (4)$$

同时考虑硬件利用率 HUE，

$$HUE = 1/|\mathbf{S}^T \cdot \mathbf{d}| = 1/|s_1 \cdot p_2| \quad (5)$$

为了达到 100% 硬件利用率，当且仅当

$$\mathbf{d} = \begin{pmatrix} 1 \\ 0 \end{pmatrix}, \quad \mathbf{P}^T = (0 \ 1), \quad \mathbf{S}^T = (1 \ 1) \quad (6)$$

如此，将依赖图映射到式(6)的脉动空间，可得高效的双宏块并行脉动结构如图 5 所示。

由图 5 可知，两个宏块所对应的脉动胞元和比较器连接方式完全相同，而且只需配置一个双口 RAM 用于存放两个搜索窗数据，而不必为每个阵列单独配置一个双口 RAM。值得注意，理论上不限制

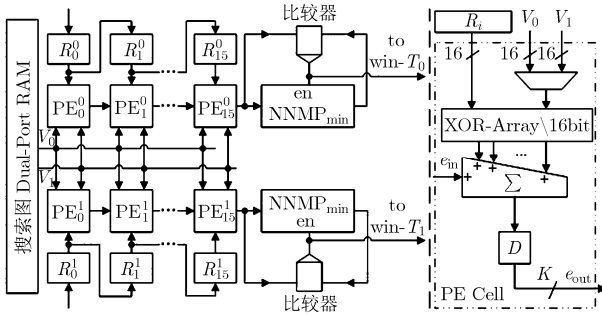


图5 组内双宏块并行脉动阵列及其胞元结构

组内阵列的个数，但是每增加两个宏块就多需要一个搜索窗读取端口，比如4宏块一组，需要3端口RAM，6宏块一组，需要4端口RAM。虽然可以将所有并行的宏块作为一组来处理，但每次并行扩展必须大幅修改共享电路，且宏块的运动估计结果之间有延时，延时随宏块数目的增加而增加。较为合理的方案是，一组包含两个宏块，然后多组并行，组间相互独立且具有相同的控制信号，并行扩展不需要修改共享电路。每当出现比现存 $NNMP_{min}$ 更小的匹配误差，比较器发出使能信号，替换现存 $NNMP_{min}$ ，同时该使能信号也用于控制时间寄存器记录当前时刻。因为计时器的每个节拍和候选块的序号有一一对应关系，由 $NNMP_{min}$ 出现的时刻可得出该 $NNMP_{min}$ 所对应的候选块序号，从而得到运动矢量。这种处理方式简化了系统中的控制逻辑和比较逻辑，节约硬件资源。宏块的列数据直接存放在寄存器组中，16个寄存器组首尾相接，形成单向队列，通过不断的往 $R_n^n, n=0,1$ 的输入端口写入数据，就能把宏块列数据送到各个胞元。胞元结构如图5右图所示，该结构与以往结构最大不同在于比特计数器 Σ 单元，以往结构使用多个查找表后接加法器，本文给出更省资源且更快的比特计数结构，见下一节描述。

使用48位总线向运动估计模块写入 48×128 bit搜索窗数据需要128个周期，使用32位总线向运动估计模块写入 $6 \times 16 \times 16 = 1.5$ kbit宏块数据需要48个周期。同时考虑模块的初始化延时，模块启动后，经过1042个周期，所有偶数号宏块的运动估计结束，再经过16周期，所有奇数号宏块的运动估计结束。完成一次6宏块运动估计需要 $128+48+1042+16=1234$ 个周期。

3.2 快速胞元结构

脉动胞元的功能是统计异或输出位串中1的个数，并与前一个胞元传递过来的部分误差和 e_{in} 相加，如公式(7)所示

$$e_{out} = e_{in} + \sum_{m=0}^{15} ((x \gg m) \& 0x0001) \quad (7)$$

其中 e_{out} 为胞元的误差求和输出， x 为异或阵列输出。传统结构[3,4,5]使用2个 256×4 LUT后接4位加法器的结构来进行 x 位串中1的个数统计，其胞元组合路径长度为“ 256×4 LUT+4位加法器+8位加法器”。文献[6]使用4个 16×3 LUT，后接两层树形加法器的结构，其胞元组合路径长度为“ 16×3 LUT+3位加法器+4位加法器”。文献[6]计数结构性能稍好于传统结构，但文献[6]需要在一个周期内对同一候选块的所有16列匹配误差进行求和，即使采用树形加法器进行优化，系统运行频率仍比文献[5]要低38.5%，文献[5]结构的胞元链接流水方式作业，因此关键路径更短。

为了进一步改善胞元性能，本文提出一种同时应用树高度减小变换(tree-height reduction transformation)和进位保留策略的比特计数结构，如图6示，矩形计算单元为全加器，每个全加器均标注输入比特的权值。完成 N 位比特统计的时间复杂度为

$$O_{time} = \log_3 N + \log_2 N - 1 = O(\log_2 N) \quad (8)$$

所需全加器的层数和关键路径长度也是 $O(\log_2 N)$ 。对 $N=16$ 的情况，只需要6层全加器。图6的6层结构中还存在很多空闲输入端，因此可将 $e_{in}[3:0]$ 直接整合到该计数结构中。因为匹配误差输入 e_{in} 最高可达8位，使用进位选择结构切断低位向高位的进位链，可得到更短的关键路径。图6结构关键路径为“6个全加器+MUX2”，近似等价于一个7位加法器。根据时间复杂度 O_{time} 可近似计算 Σ 单元的资源占用量如式(9)

$$O_{resource} = \frac{N}{3} \cdot \sum_{m=0}^{O_{time}-1} (2/3)^m \quad (9)$$

如图6的6层结构，一共需要16个全加器，不大于线性复杂度。对比于传统结构，本文结构不仅节约

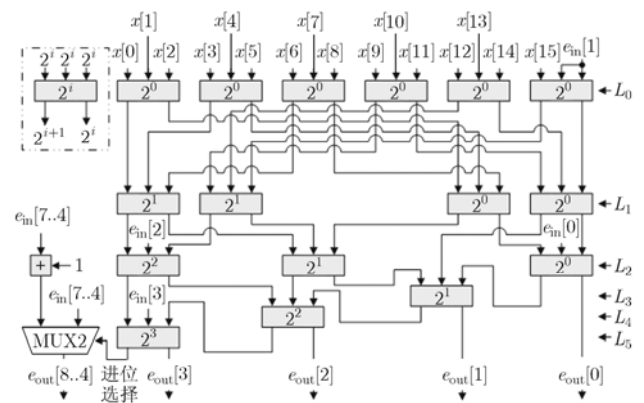


图6 比特计数结构

面积, 而且进一步改善了速度, 由于计算电路的简化, 也会带来一定的功耗节省。

3.3 候选块数据生成及搜索窗存储器设计

搜索窗数据的存储会占用较多的 RAM 容量, 实际上, 将 $\{V_0, V_1\}$ 的所有可能情况存储起来具有很大的数据冗余性, 通过合理的数据生成策略去除搜索窗数据冗余性, 可节约搜索窗的存储比特。去除搜索窗数据冗余基于以下事实, 任意的 $\{V_0, V_1\}$ 都来自于 48×64 搜索窗的某一行, 如式(10)

$$V_{u,v}(:, j) = [SW(u, v + j), SW(u + 1, v + j), \dots, SW(u + 15, v + j)] \quad (10)$$

其中 $V_{u,v}(:, j)$ 表示从搜索窗第 (u, v) 候选块读出的第 j 列数据(见图 1), 且 $u, v = 0, 1, \dots, 31$ 。因为 u 有 32 种取值, 因此可将 $V_{u,v}(:, j)$ 按 u 的取值分为 32 组, 前 16 组从 V_0 输出而后 16 组从 V_1 口输出, 这种分组策略使得产生 V_0 和 V_1 的控制信号具有一致的形式, 控制逻辑较为简单。可以将搜索窗数据直接存放于 48 位宽的双口存储器内, 但 Xilinx 的单块 BRAM 可配置的最大位宽是 32 位, 超过 32 位会增加占用的 BRAM 数目, 为了节约 BRAM 资源, 必须将 48×64 的搜索窗数据安排到一个 32 位位宽的双口存储器内。可以将搜索窗数据分成两部分, 第 1 部分包含第 0 行到第 31 行数据, 第 2 部分包含第 16 行到第 47 行数据, 不可避免这两个部分有一半的数据是重合的, 但是带来的好处就是, 两个部分可以同时存放于 32 位的双口存储器内。搜索窗双口 RAM 读出的 32 位数据, 可直接送到数据生成器, 如图 7 所示, 选择器阵列从输入的 32 位数据中选择连续的 16 位数据作为 V_0 或 V_1 输出。

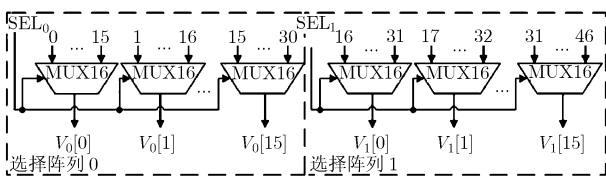


图 7 搜索窗数据生成器——选择器阵列

4 实现结果分析

设计采用 Syplify Pro 9.6.2 进行综合, 使用 Xilinx ISE Suite 10.1 映射到 Xilinx XC2VP30-7 FPGA 芯片上, 通过 Modelsim SE6.5b 进行布局布线后仿真来验证设计的正确性。文献[6]的 4 宏块并行结构是目前报道性能最好的设计, 处理能力为 $1920 \times 1080 @ 50 \text{ fps}$, 本文与文献[6]硬件实现结果进行比较。

表 2 给出本文方法所设计的 2 宏块、4 宏块以及 6 宏块并行的实现结果, 其中 4 宏块的结果可和文献[6]结果进行比较, 括号内给出改善的百分比。从对比结果可知, 本文 4 宏块设计在各项指标上均有改善, 节约 43% 的 LUTs, 25% 的 DFFs 和 75% 的 BRAMs。文献[6]中仅匹配计算电路就消耗了 $1094 \times 4 = 4376$ 个 LUTs, 比本文整个系统所消耗的 4083 个 LUTs 要多, 而且系统时钟频率也低于本文设计。虽然本文搜索窗数据的存储有一定冗余, 但是使用的 BRAMs 个数却少于文献[6], 在 4 宏块并行的设计中, 本文只需 2 个 BRAM, 而文献[6]需要 8 个, 造成了 BRAM 资源的浪费。从本文方法所设计的不同并行度结构的实现结果来看, 资源的使用稍低于线性增长, 这是因为结构中有一部分模块是共享的。随着并行度增加, 复杂片内布线导致连线延时增加, 所以时钟频率会随着并行度的增加而小幅度下降。

为了进一步验证本文所提快速胞元结构的有效性, 对胞元中的比特计数模块(图 6)进行综合实现, 并与文献[6]的基于 LUT 的改进结构比较。文献[6]的比特计数模块消耗 35 个 LUTs, 延时为 3.594 ns, 而本文的比特计数模块消耗 25 个 LUTs, 延时为 3.33 ns。本文的比特计数结构, 不仅没有增加 LUTs 的资源占用, 而且延时更短。

5 结论

本文提出一种新的多宏块并行比特变换运动估计硬件架构: 首先借鉴 SPBLA 的数据通信方式构

表 2 实现性能比较

	并行度宏块	性能 $1920 \times 1080(\text{fps})$	时钟频率(MHz)	资源		
				LUTs	DFFs	BRAMs
文献[6]	4	50	115	7280	2745	8
本文	2	35	165	2143	1070	1
本文	4	66(32%)	160(39%)	4083(43%)	2041(25%)	2(75%)
本文	6	86	145	6003	2978	3

造双宏块并行脉动阵列映射不等式, 求解不等式得双宏块并行运动估计脉动结构; 其次, 以双宏块并行运动估计结构为基本单元, 进行更大并行度的扩展。此外, 还给出更省资源的快速脉动胞元结构和高效的搜索窗存储器设计。本文设计具有良好的并行扩展性, 并行扩展消耗的资源稍低于线性增长。在 Xilinx FPGA 上的实现结果表明, 本文设计相比同类设计能同时在面积和速度上得到改善, LUTs 资源节约 43%, DFFs 资源节约 25%, BRAMs 数目节约 75%, 性能提升 32%。以上实验数据表明, 本文结构比以往结构更能胜任便携式视频编码的苛刻要求。

参 考 文 献

- [1] Chen Tung-chien, Chien Shao-yi, and Huang Yu-wen, *et al.*. Analysis and architecture design of an HDTV720p 30 frames/s H.264/AVC encoder[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2006, 16(6): 673-688.
- [2] Vlachos A, Fotopoulos V, and Skodras A. Low bit depth representation motion estimation algorithms: a comparative study[J]. *Journal of Real-Time Image Processing*, 2009: 1-8.
- [3] Natarajan B, Bhaskaran V, and Konstantinides I. Low-complexity block-based motion estimation via one-bit transforms[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 1997, 7(4): 702-706.
- [4] Luo J H, Wang C N, and Chiang T H. A novel all-binary motion estimation (ABME) with optimized hardware architectures[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2002, 12(8): 700-712.
- [5] Celebi A, *et al.*. Efficient hardware implementations of low bit depth motion estimation algorithms[J]. *IEEE Signal Processing Letters*, 2009, 16(6): 513-516.
- [6] Akin A, Dogan Y, and Hamzaoglu I. High performance hardware architectures for one bit transform based motion estimation[J]. *IEEE Transactions on Consumer Electronics*, 2009, 55(2): 941-949.
- [7] Erturk S. Multiplication-free one-bit transform for low-complexity block-based motion estimation[J]. *IEEE Signal Processing Letters*, 2007, 14(2): 109-112.
- [8] Urhan O and Erturk S. Constrained one-bit transform for low complexity block motion estimation[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2007, 17(4): 478-482.
- [9] Chen Fu-kun, Teng Jui-che, and Jou Yue-dar, *et al.*. Dynamically constrained one-bit transform for motion vector estimation[C]. Fifth International Conference on Information Assurance and Security, Xian, 18-20 Aug. 2009: 375-378.
- [10] Parhi K. VLSI Digital Signal Processing Systems: Design and Implementation[M]. New York: John Wiley & Sons, Inc., 1999: 188-226.

陈运必: 男, 1979 年生, 博士, 研究方向为信号处理的 VLSI 优化映射。

郭立: 男, 1946 年生, 教授, 研究方向为集成电路设计、视频编码理论。

李正东: 男, 1978 年生, 讲师, 研究方向为多媒体系统 SOC 芯片实现。

池凌鸿: 男, 1981 年生, 博士, 研究方向为视频处理与信号处理算法理论。