

一种基于并行处理器的快速车道线检测系统及FPGA实现

李元金 张万成 吴南健
(中国科学院半导体研究所 北京 100083)

摘要: 该文提出了一种并行的快速车道线检测系统。该系统包含一个 32×32 的处理单元(PE)阵列和双RISC子系统。PE阵列实现车道线图像像素级并行预处理,获取图像边缘特征,双RISC核子系统根据边缘特征实现两条车道线直线参数的并行检测,从而使得检测过程的每一步都是并行进行,显著提高检测速率。该系统用FPGA实现。实验结果表明本系统具有良好的鲁棒性且可达到每秒50帧的检测速率,满足了车道偏离预警系统实时性要求,具备重要的应用价值。

关键词: 图像处理; 车道线检测; 并行; FPGA; 精简指令集计算机(RISC)

中图分类号: TP391.41; TN432

文献标识码: A

文章编号: 1009-5896(2010)12-2901-06

DOI: 10.3724/SP.J.1146.2010.00111

A Fast Traffic Lane Detection System Based on Parallel Processors and FPGA Implementation

Li Yuan-jin Zhang Wan-cheng Wu Nan-jian
(Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: This paper proposes a parallel fast traffic lane detection system. The system consists of a 32×32 Processing Elements (PE) array and a dual RISC core subsystem. The PE array performs pixel-parallel image preprocessing and outputs edge features, the dual RISC core subsystem performs two lanes parameters detection in parallel based on edge features. In this way, every step in the detection process is in parallel and the detection rate is rapidly increased. The system is implemented with FPGA. The experiment shows that it has good robustness and can reach up to 50 fps. This meets the demand of real-time for lane departure warning system and makes an important sense for practical application.

Key words: Image processing; Traffic lane detection; Parallel; FPGA; RISC (Reduced Instruction Set Computer)

1 引言

车道偏离预警系统是解决汽车驾驶安全的重要手段^[1,2],其研究的关键是如何快速和准确检测出车道偏离。传统的车道线检测都是基于PC机,采用软件实现,算法复杂,速度慢,无法满足实时性的要求。随着近年来信息技术的发展,尤其是像FPGA和DSP等可编程器件的快速发展,使得在小型器件上也能得以实现车道偏离预警,如Pankiewicz研究小组用FPGA实现了车道线的检测^[3]。而Hsiao Pei-yung研究小组开发出了用于车道线检测的芯片^[4]。然而这些研究工作主要是将传统的检测算法流程的一部分或者几个部分做成专用的硬件实现,图像处理过程在本质上还是逐个像素串行进行,导致其检测速率还是有限。基于图像处理的车道偏离检测速度依赖于图像的并行处理程度,并行度越高,则其检测速率越快。视觉芯片是一种采用2维的像素级并

行处理架构,能够实现对整个图像或图像块中的所有像素同时并行处理,从而实现每秒高达1000帧以上的高速图像处理^[5,6]。然而其缺乏处理高度复杂算法的能力,无法完成如直线检测等复杂的高级图像处理。

本文提出了一种基于视觉芯片构架的快速车道线检测片上系统。该系统主要包含一个 32×32 2维的处理单元(PE)阵列和双精简指令集计算机(RISC)子系统。PE阵列实现对车道线图像的像素级并行预处理,完成噪声去除和图像边缘特征提取等低级图像处理;而双RISC核子系统根据边缘特征实现对两条车道线直线参数的并行检测等高级图像处理。快速车道线检测片上系统通过PE阵列和双RISC核的两级并行图像处理,能快速和准确地检测出车道线,实现车道偏离预警。本文在以下的几节中将分别介绍并行快速车道线检测系统架构,主要模块设计与实现,检测过程图像处理的并行实现,FPGA实现及实验结果。

2010-01-28 收到, 2010-05-20 改回

国家自然科学基金(60976023)资助课题

通信作者: 李元金 liyuanjin@semi.ac.cn

2 并行快速车道线检测系统架构

图1为本文提出的并行快速车道线检测片上系统的构架图。它包含一个 32×32 的PE阵列、阵列程序存储器ROM和阵列控制器、双RISC核子系统、仲裁器和多路选择器MUX等模块。PE阵列包含有阵列输入和输出端口。整个阵列构成一个并行单指令多数据(SIMD)系统,在阵列控制器的控制下,通过阵列程序存储器ROM供给指令,实现各种图像并行预处理。双RISC核子系统则有两个RISC处理器及相应的指令存储器ROM和数据存储器RAM构成,它们通过AHB总线互联。双RISC核通过仲裁器控制多路选择器MUX,实现和PE阵列以及外部的互连。双RISC核子系统从PE阵列获取图像预处理结果并行进行高级图像处理,并将处理结果通过多路选择器MUX输出。PE阵列控制器和双RISC子系统之间能够互相通信,实现PE阵列并行处理和双RISC核并行处理之间的同步,从而使整个系统协调一致工作。

这个系统充分考虑检测过程图像处理的并行特征。基于图像处理的检测过程,包含有大量数据量低复杂度的图像预处理和小数据量高复杂度的高级图像处理。图像预处理是由整块图像所有像素共同参与的过程,呈现出数据量的庞大,而每个像素的处理仅仅是和相邻像素之间按一定权重因子的加减运算,属于低复杂度的局部运算。因而图像预处理是一个适合于2维并行的处理。本系统中,采用PE阵列的2维并行结构来实现图像的预处理,从而显著提高图像预处理的速度。而高级图像处理实现检测的过程,是基于预处理结果获取的特征信息,因而数据量大为减小,且数据量之间相关性不大,需要做各种变换,涉及多次的乘法,查询,统计,排序等

高复杂度运算,所以由RISC核完成。然而两条车道线的检测,互相独立,互不相干,属于任务并行,所以用两个RISC核同步进行检测,从而实现高级图像处理中的并行。由此,本系统设计了双RISC核子系统,实现两条车道线的并行检测,从而进一步提高检测速度。

本系统正是基于在图像处理每一个阶段的最大化并行处理的结构设计,从而实现快速检测。其检测过程如下:首先感兴趣区域图像分块输入到PE阵列;其次,PE阵列并行完成图像的各种预处理,获取边缘特征信息;再次,双RISC核子系统从PE阵列中获取边缘特征信息,并行进行两条车道线直线参数的检测;最后,将检测结果输出。

3 主要模块设计与实现

3.1 PE及其阵列

如图2所示为PE的结构及其电路实现。PE是由一个1位的ALU和两个存储容量为256位的SRAM A和32位的SRAM B单元构成。PE中的算术逻辑运算单元(ALU)能完成1位的加法,与,或,非等操作。DATA1和DATA2为ALU的两个操作数,其中DATA1从两片SRAM的输入中选取,而DATA2从4个近邻PE和两片SRAM中通过多路选取器选择。ALU中还包含一个进位寄存器C_Reg,用来寄存每次加法的进位。由于引入了两片能同时读写的双口SRAM,PE能够在—个时钟周期内从SRAM中读取两个操作数,运算并将结果写回到SRAM,从而增强了处理能力。PE实现各种操作是在控制指令和SRAM的读写地址下完成的。虽然PE一个周期只能完成一位的运算,但是能够在多个周期内重复进行各种一位运算来完成任意位宽的复杂运算。如图3所示为PE多周期完成复杂运算示例及其所需周期

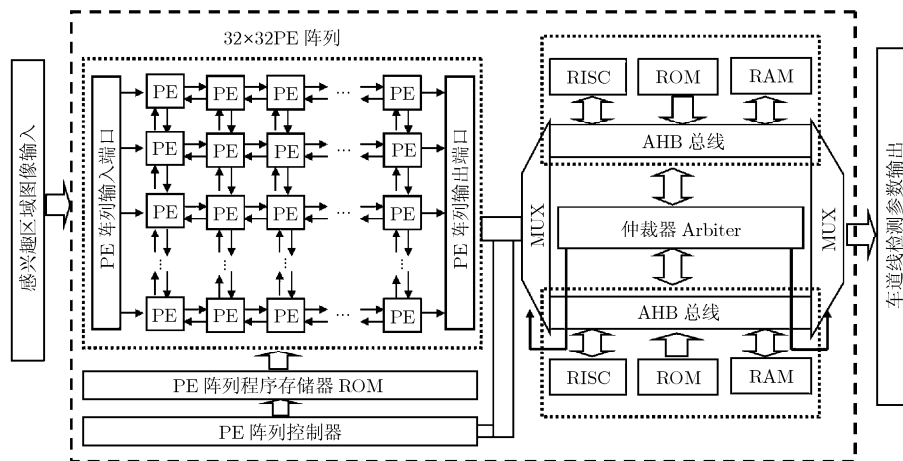


图1 并行快速车道线检测系统架构

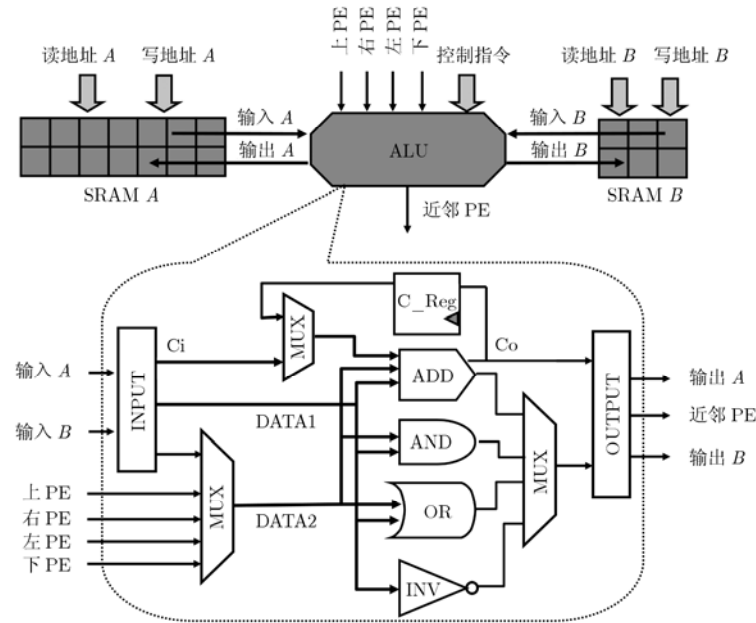


图2 PE及其电路实现

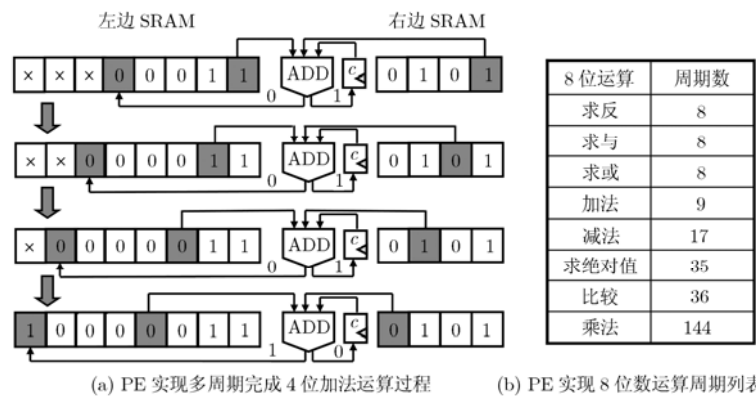


图3 PE多周期完成复杂运算示例及所需周期列表

数。其中图3(a)所示的是PE在多周期内完成4位加法过程。从低到高逐位相加，每次进位都寄存，以参与下次的加法，最终完成4位的加法。类似的多位运算，都可以划分为有限次数1位运算的组合，PE能够在多个周期内完成。图3(b)中列表是PE完成典型的8位运算所需周期数。

PE通过上下左右输入端口和近邻输出端口与近邻PE互连，构成PE阵列。1024个PE构成一个 32×32 的阵列。所有的PE接受共同的控制指令和SRAM读写地址，完成同样的操作，构成一个SIMD系统。PE阵列和图像之间的有多种对应关系。一个PE可以存储一个或多个像素，一个PE阵列可以对应一幅或多幅图像，所以PE阵列可以多次分块扫描处理高分辨率的图像。如对于一个 $N \times M$ 的PE阵列，要处理一幅 $N1 \times N2$ 的图像，如果 $N1, N2$ 大于 N, M ，则可以将图像分成 $N1 \times N2 / (N \times M)$ 块，分块扫描处理。

3.2 双RISC核子系统

每一个RISC核子系统包含有一个32位的RISC核，程序存储器ROM和数据存储器RAM。它们之间通过AHB总线互连。RISC核带有32位的ALU，能够单周期内实现加法，与或非，判断跳转等多种基本运算，另外还有 32×8 位的乘法器单元，能够快速实现乘法运算。RISC核从ROM中获取指令，从RAM中获取数据，实现程序设定的各种操作，并将结果存放到RAM中。两个RISC核之间通过仲裁器控制多路选择器MUX的连接关系，从而实现和PE阵列以及外部的互连通信。

4 车道线图像并行处理的实现

4.1 车道线图像分析

图4展示的是一张典型的车道线图像。根据余天洪^[4]等人的研究成果，只需要选择感兴趣区域进行车

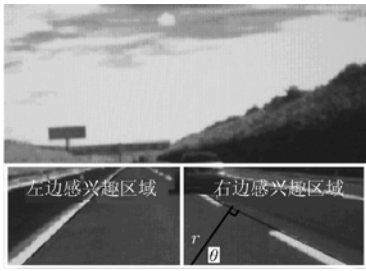


图4 典型的车道线图像分析

道线检测即可。另外车道线检测的目的是应用于车道偏离预警系统，所以只需要检测当前车道上的左右两条车道线，确保车行驶在当前车道而不偏离。因此，本文根据以上结论，选择以QVGA格式的图片为处理对象，感兴趣区域选择为整个图片处于下方的2/5区域，且分割成左右两条车道线的两个区域，这样每个区域的大小为：160×96像素。

4.2 图像预处理的并行实现

4.2.1 图像边缘提取的并行实现 边缘提取一般都是基于模板运算完成。模板运算都是局部相邻像素间按一定权重因子的相互加减，因而能够在整块图像上并行进行。如图5所示为利用3×3的拉普拉斯模板算子进行边缘提取的图示。如式(1)所示，通过上下左右4个相邻像素的相加，再减去中间像素的4倍，就得到该点的边缘值。而这处理过程在PE阵列里可以如下实现：首先所有的PE依次和其上下左右4个PE相加，相加之和存放在当前的PE；其次，当前PE对应的像素值向左移两次，实现4倍操作；再次，相加之和减去移位后的像素值，获得边缘值。图5只示意了其中两个PE对应的像素边缘提取的过程，实际所有的PE均完成一样的操作。

$$I_a^*(i, j) = \{I_a(i + 1, j) + I_a(i - 1, j) + I_a(i, j + 1) + I_a(i, j - 1)\} - 4I_a(i, j) \quad (1)$$

4.2.2 图像边缘分割的并行实现 在经过边缘提取后，需要进行边缘分割以明确区分边缘和背景。进行边缘分割的关键是找出最佳分割阈值。当像素的灰度值大于阈值时，认为是边缘点，分割为灰度值是255的白点，用1表示；反之认为是背景，弱化为灰度值是0的黑点，用0表示，如式(2)所示。本文借助PE阵列的快速并行运算，设计了一种基于循环迭代来确定最佳分割阈值和分割结果的算法。通过合理设定分割图像中白点的个数作为循环终止条件，

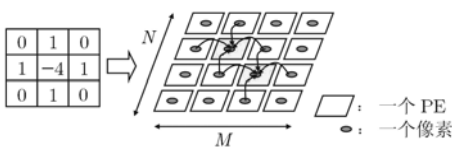


图5 边缘提取拉普拉斯模板PE阵列实现示例

给出初始阈值，进行并行比较和比较结果的并行相加，统计白点的个数，进行循环判决，如不满足，增大阈值，开启新一轮循环。如此循环直到终止，完成分割任务。图6展示的是PE阵列进行边缘分割一次循环的过程。首先输入阈值，接着进行并行比较，如果当前像素灰度值比阈值大，则其结果为1，反之则为0，再通过PE阵列的行相加和列相加实现比较结果统计，最后输出统计结果，进行循环判决。

$$F_d(i, j) = \begin{cases} 1, & I_d^*(i, j) \geq Th \\ 0, & I_d^*(i, j) < Th \end{cases} \quad (2)$$

4.3 Hough变换的并行实现

图7(a)展示的是Hough变换检测直线的原理图。在直角坐标系下的一条直线方程 $y = kx + b$ ，对应于变换空间的一点 (r, θ) ，而直角坐标系下一点 (x, y) 对应于变换空间一条曲线 $r = \rho(\theta)$ 。同属于一条直线上的点，在变幻空间对应的各条曲线必定相交于同一点，这一点的坐标值即为直线参数。通过在 (r, θ) 空间投票统计各曲线相交于同一点的次数，来确定对应直角坐标系下的直线段分布。次数越多，对应的直线段越长。次数最多的点对应直角坐标系下最长的直线段。其映射关系如式(3)所示。

$$r = x \cos \theta + y \sin \theta \quad (3)$$

在车道线检测过程中，车道线所在直线段就是所在平面最长的直线段，即对应变换空间各曲线相交次数最多的点，所以只要找出这个点，就检测出了车道线的直线参数。图7(b)是本文中涉及到的图像坐标和直角坐标之间的关系。其中 i, j 是图像坐标，而 x, y 是直角坐标。由此可得其坐标关系如式(4)：

$$\begin{cases} x = i - 160, & 0 \leq i < 320 \\ y = 96 - j, & 0 \leq j < 96 \end{cases} \quad (4)$$

将式(4)代入式(3)得到本文的Hough变换公式如下：

$$r = (i - 160) \cos \theta + (96 - j) \sin \theta \quad (5)$$

另外根据余天洪^[1]的研究结果， θ 的取值范围右边为 $15^\circ \sim 75^\circ$ ，左边为 $105^\circ \sim 165^\circ$ ，并且在量化的过程中，步长为 1° 。

图8是进行Hough变换并检测出车道线直线参数的算法流程图。首先将变换空间所有 (r, θ) 点所对应的统计计数数目置为0，其次逐个像素按照图像坐标系顺序去获取分割后的图像，如果是白点，就按照式(5)进行Hough变换，并且将变换结果对应点的统计数目加1，如此循环直到所有的点都变换完，最后统计变换空间内数目最多的点，并将该点对应的变换空间的坐标作为当前车道线所在的直线参数。因

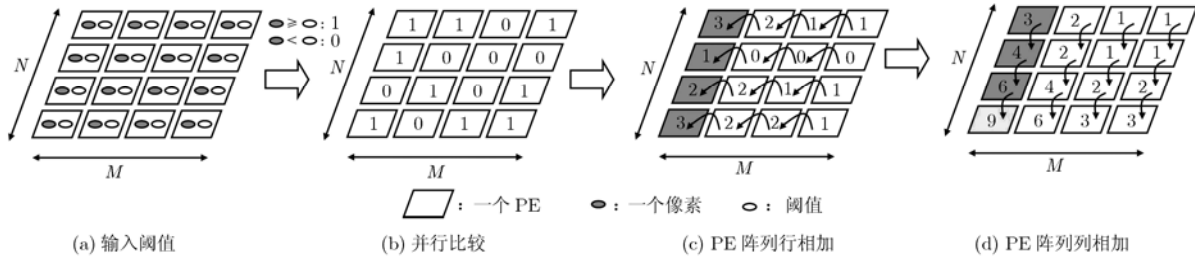


图6 PE阵列实现快速边缘分割算法过程示意图

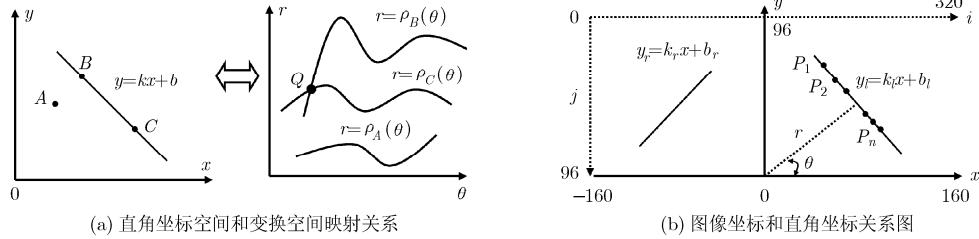


图7 基于Hough变换的直线检测原理及坐标变换关系

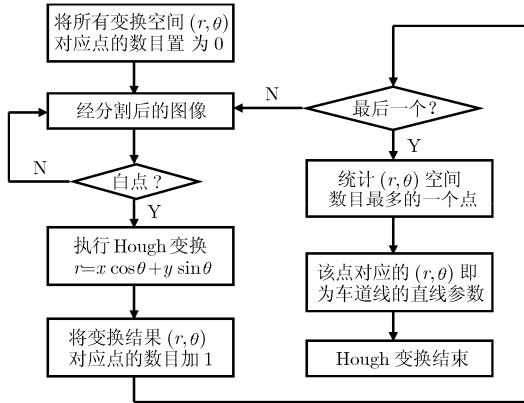


图8 Hough变换算法流程图

为两条车道线的检测是相互独立的，所以可以利用双RISC核分别对左右车道线实施如上所述的Hough变换检测车道线，从而实现Hough变换的并行进行。

5 FPGA实现及其实验结果

FPGA采用的是Altera公司的Stratix II

EP2S180，资源消耗见表1。

图9是检测识别实验结果。图9(a)，9(b)，9(c)，9(d)取自各种不同光强情况下的典型情况，均能正确检测，可见本文提出的并行检测系统具有很强的鲁棒性和适应性。表2是在最坏情况下检测过程的时间开销分布。由于引入了2维并行的PE阵列，将图像预处理的时间大幅降低，从无并行结构中的60%降低到并行结构中的4%，同时两个RISC核子系统的并行处理，使Hough变换时间减小一半，从而达到了每秒50帧的检测速率。

表1 FPGA消耗资源表

FPGA	Stratix II EP2S180
最大频率(MHz)	100 MHz
ALUTs	18528/143520(13%)
Registers	5553
Memory Bits	1867776/9383040(20%)
PLLs	1/12 (8%)

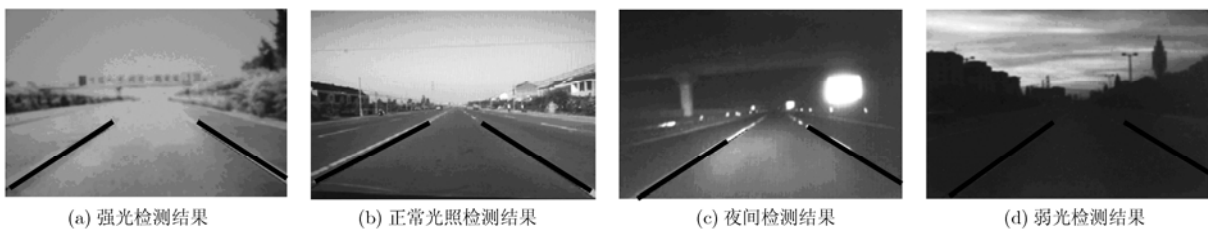


图9 实验结果

表2 检测过程时间开销对比

处理过程	并行架构		单个RISC		并行/ RISC 提高倍数
	时间(ms)	百分比(%)	时间(ms)	百分比(%)	
边缘提取	0.0492	0.24	6.758	7.3	137.4
边缘分割	0.76	3.84	49	51.8	64.5
Hough变换	19	95.92	38	40.9	2
总的時間	19.8	100	92.8	100	4.5
帧率(帧/s)		50		11	4.5

表3给出了本文和已有工作的对比, 由此可见, 本文提出的快速检测系统, 不仅具有良好的鲁棒性和可靠性, 而且极大的提高了检测效率, 具备良好的实时性。

表3 结果对比

研究成果	架构	硬件	检测速率(fps)
文献[7]	-	PC	<15
文献[8]	并行+流水线	FPGA+ARM	25
本文	并行	FPGA	50

6 结论

本文提出了一种并行快速车道线检测系统, 实现检测过程的每一步图像处理都并行进行, 从而显著提高检测速率。该系统用FPGA实现, 实验结果表明本系统具有良好的鲁棒性和可靠性, 并且达到了每秒50帧的检测速率, 满足车道偏离预警系统等安全辅助驾驶系统的实时性要求, 具有重大的现实意义。

参考文献

- [1] 余天洪. 基于机器视觉的车道偏离预警系统的研究[D]. [博士学位论文], 吉林大学, 2006.
Yu T. Study on vision-based lane departure warning system [D]. [Ph.D. dissertation], Jilin University, 2006.
- [2] 王荣本, 余天洪, 郭列. 基于机器视觉的车道偏离预警系统研究综述[J]. 汽车工程, 2005, 27(4): 463-464.
Wang R, Yu T, and Guo L. A survey on research of vision-based lane departure warning system [J]. *Automotive Engineering*, 2005, 27(4): 463-464.
- [3] Pankiewicz P, Powiretowski W, and Roszak G. VHDL implementation of the lane detection algorithm [C]. *Mixed Design of Integrated Circuits and Systems*, Poland, June 19-21, 2008: 581-584.
- [4] Hsiao Pei-yung, Cheng Hsien-chein, and Yeh Chun-wei. Automobile lane detection system-on-chip integrated with mixed signal mode CMOS image sensor[C]. *Consumer Electronics*, Macau, June 14-16, 2005: 320-323.
- [5] Miao W, Lin Q Y, Zhang W C, and Wu N J. A programmable SIMD vision chip for real-time vision applications[J]. *IEEE Journal of Solid-State Circuit*, 2008, 43(6): 1470-1479.
- [6] Lin Q Y, Miao W, Zhang W C, Fu Q Y, and Wu N J. A 1000 frames/s programmable vision chip with variable resolution and row-pixel-mixed parallel image processors [J]. *Sensors*, 2009, 9(8): 5933-5951.
- [7] 田炳香, 郑榜贵, 吴晴. 高速公路车道线检测与跟踪算法研究[J]. 现代电子技术, 2008, 9(31): 180-183.
Tian B, Zheng B, and Wu Q. Research on lane detection and tracking algorithm of highway[J]. *Modern Electronic Technique*, 2008, 31(9): 180-183.
- [8] Huang Pei-yung, Yeh Chun-wei, and Huang Shih-shinh. A portable vision-based real-time lane departure warning system based on embedded calculating technique [C]. *Vehicular Technology Conference*, Australia May 7-10, 2006, 6: 2982-2986.
李元金: 男, 1984年生, 硕士生, 研究方向为高速图像处理及其集成电路设计。
张万成: 男, 1985年生, 博士生, 研究方向为单电子及其电路、高速图像处理及其集成电路设计。
吴南健: 男, 1961年生, 博士, 研究员, 目前的研究方向包括数模混合集成电路、射频集成电路、视觉芯片、RFID、单电子电路等。