

全数字接收机中一种基于并行流水线与快速 FIR 算法的插值滤波器结构及其实现

邓 军^{①②} 杨银堂^①

^①(西安电子科技大学微电子学院 西安 710071)

^②(西安电子科技大学电子工程学院 西安 710071)

摘 要: 该文在对已有的拉格朗日立方插值滤波器 Farrow 结构进行分析和研究的基础上, 使用了流水线技术和并行处理技术来提高滤波器的速度。在此基础上提出了基于快速 FIR 算法的结构, 降低了并行的 Farrow 结构的复杂度。对该算法结构进行了仿真, 并在 FPGA 上实现。分析结果表明, 改进后的结构有更快的运行速度和更低的功耗。

关键词: 全数字接收机; 插值滤波器; Farrow 结构; 快速 FIR 算法

中图分类号: TN914.4; TN713

文献标识码: A

文章编号: 1009-5896(2010)09-2089-06

DOI: 10.3724/SP.J.1146.2009.01292

Structure of Interpolation Filter Based on Parallel Pipelining and Fast FIR Algorithm and Its Implementation for All Digital Receiver

Deng Jun^{①②} Yang Yin-tang^①

^①(School of Microelectronics, Xidian University, Xi'an 710071, China)

^②(School of Electronics Engineering, Xidian University, Xi'an 710071, China)

Abstract: The analysis and research are based on the existing Farrow structure of Lagrange interpolation filter. The pipelining and parallel processing technology are used to improve the speed of filter. On this basis, a new structure based on the fast FIR algorithm is proposed. It is used to reduce the complexity of the parallel Farrow structure. The structure is implemented for FPGA. The analysis results show that the structure has faster operational rate and lower power consumption.

Key words: All-digital receiver; Interpolation filter; Farrow structure; Fast FIR algorithm

1 引言

在全数字接收机中, 插值滤波器通过内插得到最佳采样值以实现码元同步的功能。插值滤波器性能的好坏直接影响到全数字接收机的误码率, 设计性能良好的插值滤波器是设计全数字接收机的关键^[1]。

插值滤波算法是一种数字信号处理方法, 目前其实现大体有两种方法: 软件方法和硬件方法。软件方法灵活性和移植性好, 但是处理速度较慢、不够稳定。而硬件方法虽然在灵活性和移植性方面不及软件方法, 但是硬件方法的处理速度快、稳定、效率高、集成度高。

当前国内外就全数字接收机中插值滤波算法实现的研究而言, 普遍采用的是 DSP 软件实现, 虽然

Farrow 提出了一种典型的易于硬件实现的 Farrow 结构^[2], 但由于其运行速度较慢和功耗较高, 对于 64QAM, 256QAM 等高效调制信号未达到令人满意的效果。

本文把插值滤波算法映射到 VLSI 结构中, 用以取代以前的 DSP 实现方法。在已有的拉格朗日立方插值滤波器 Farrow 结构基础上, 首先, 融入了流水线与并行处理技术来提高其运算速度、并降低功耗, 但耗用资源较多。接下来, 又在已得到的并行流水线 Farrow 结构的基础上, 引入了快速 FIR 算法(FFAs)来生成复杂度降低的并行滤波结构。

通过仿真并在 FPGA 上实现, 得到基于 FFAs 的结构在频率响应、脉冲响应及误码率性能上接近原结构, 且与原结构相比, 有着更快的运行速度和更低的功耗。

2 插值算法介绍

对于等效基带模型 $y(t) = \sum_m x(mT_s)h_f(t-mT_s)$,

2009-09-29 收到, 2010-03-16 改回

国家自然科学基金(60466047)资助课题

通信作者: 邓军 dengjunxd208@sohu.com

其中, T 为调制信号的符号周期, T_s 为接收机采样周期。但 T/T_s 的值一般不是有理数。输入信号为采样值 $x(mT_s)$, 输出的抽样值表示为 $y(kT_i)$, 它是以 T_i 为周期的函数, 有 $T_i = T/k$, k 是一个小整数, 与时钟恢复算法无关。数字内插可以看成采样信号经 D/A 变换、模拟内插滤波器 $h_I(t)$ 后, 按新的采样速率重新采样的结果。重新采样后的内插点如下:

$$y(kT_i) = \sum_m x(mT_s)h_I(kT_i - mT_s) \quad (1)$$

新的采样点就是最佳的插值点。只要将模拟滤波器 $h_I(t)$ 换成数字滤波器, 就可以用数字的方法实现插值。定义基本指针 $m_k = \text{INT}(kT_i/T_s)$, 分数间隔 $\mu_k = kT_i/T_s - m_k$, 滤波器指针 $i = \text{INT}(kT_i/T_s) - m = m_k - m$ 则式(1)可改写为

$$y(kT_i) = y[(m_k + \mu_k)T_s] = \sum_{N_1}^{N_2} x[(m_k - i)T_s]h_I[(i + \mu_k)T_s] \quad (2)$$

式(2)就是数字插值滤波器的基本方程。

常用的插值滤波器有线性插值滤波器、拉格朗日插值滤波器以及由最佳低通滤波器构成的性能优良的插值器。在本文中, 主要研究的是拉格朗日立方插值滤波器。

下面给出了 4 抽头的拉格朗日立方插值滤波器的脉冲响应^[1]

$$h(t) = \begin{cases} \frac{1}{6}(t/T_s)^3 + (t/T_s)^2 + \frac{11}{6}(t/T_s) + 1, & -2T_s \leq t < -T_s \\ -\frac{1}{2}(t/T_s)^3 - (t/T_s)^2 + \frac{1}{2}(t/T_s) + 1, & -T_s \leq t < 0 \\ \frac{1}{2}(t/T_s)^3 - (t/T_s)^2 - \frac{1}{2}(t/T_s) + 1, & 0 \leq t < T_s \\ -\frac{1}{6}(t/T_s)^3 + (t/T_s)^2 - \frac{11}{6}(t/T_s) + 1, & T_s \leq t < 2T_s \\ 0, & \text{其它} \end{cases} \quad (3)$$

3 拉格朗日插值滤波器的 Farrow 实现结构

由于理想的 sinc 函数是不能物理实现的, 于是就需要有一个能满足需要, 并且易于硬件实现的内插函数。拉格朗日内插器较适合硬件实现^[3]。Farrow 提出了一种典型的易于硬件实现的完全计算式嵌套结构——Farrow 结构。用 Farrow 结构设计拉格朗日多项式插值滤波器的原理如下:

插值滤波器是一种时变线性滤波器, 冲激响应

函数 $h_I(i, \mu)$ 是内插估值点 μ 的函数, 而 μ 是随时间变化的, 所以冲激响应也是随时间变化的。对于这种带有可变因子的滤波器来说, 可使用 Farrow 结构进行设计。下面用 Farrow 结构设计拉格朗日立方插值滤波器。

由式(1)可知冲激响应的系数分别为

$$C_{-2}(\mu) = h_{-2}(-2 + \mu) = c_0(-2) + c_1(-2)\mu$$

$$+ c_2(-2)\mu^2 + c_3(-2)\mu^3 = -\frac{1}{6}\mu + \frac{1}{6}\mu^3$$

$$C_{-1}(\mu) = h_{-1}(-1 + \mu) = c_0(-1) + c_1(-1)\mu$$

$$+ c_2(-1)\mu^2 + c_3(-1)\mu^3 = \mu + \frac{1}{2}\mu^2 - \frac{1}{2}\mu^3$$

$$C_0(\mu) = h_0(0 + \mu) = c_0(0) + c_1(0)\mu + c_2(0)\mu^2$$

$$+ c_3(0)\mu^3 = 1 - \frac{1}{2}\mu - \mu^2 + \frac{1}{2}\mu^3$$

$$C_1(\mu) = h_1(1 + \mu) = c_0(1) + c_1(1)\mu + c_2(1)\mu^2$$

$$+ c_3(1)\mu^3 = -\frac{1}{3}\mu + \frac{1}{2}\mu^2 - \frac{1}{6}\mu^3$$

于是可得到插值滤波器的 Farrow 结构, 图 1 给出了该滤波器的 Farrow 结构实现框图。可见, 其关键路径为 $4T_M + 6T_A$ 。

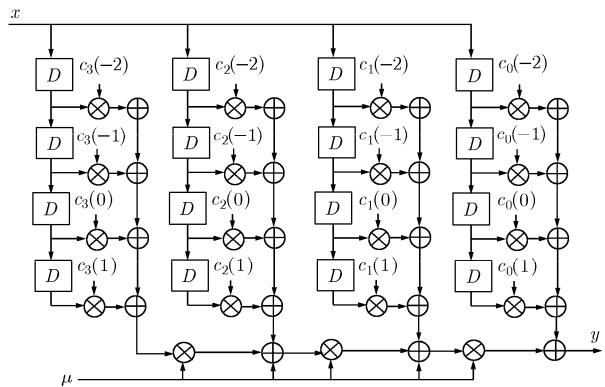


图 1 拉格朗日立方插值滤波器的 Farrow 结构实现框图

4 基于并行流水线技术的 Farrow 结构

4.1 流水线技术应用

Merlino 提到流水线是一种在程序执行时可以有多个指令重叠进行操作的并行处理实现技术, 其导致了关键路径的缩短^[4], 从而可以提高时钟速度或采样速度, 或者可以在同样速度下降低功耗。关键路径的运算时间就是处理一个新样点所需要的最小时间。

笔者在文献[5]中提出的插入延迟单元后构成 M 级流水线系统, 其关键路径缩短为原始路径长度的 $1/M$, 且电源电压可以降低到 βV_0 (V_0 为原始电压), 其中 β 是一个小于 1 的常数。基于流水线技术

的 Farrow 结构如图 2。

从图 2 可以看见,这是一个 3 级流水线结构,关键路径由 $4T_M + 6T_A$ 减小到 $2T_M + T_A$,速度相当于提高了 1 倍,当处理数据很多时,就节省了很多

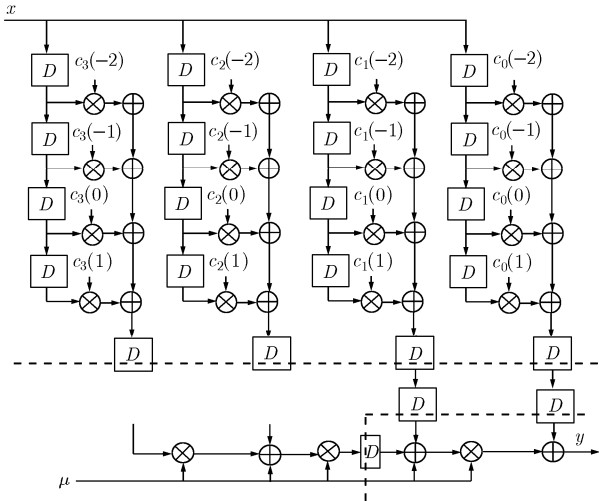


图 2 流水线技术的插值滤波器 Farrow 结构实现框图

时间。功耗降低为原来的 β^2 倍^[5]。

4.2 并行处理技术应用

并行处理涉及体系结构、算法映射、程序设计等多项技术,在 VLSI 数字信号的处理中,一直是个研究热点。在并行处理中,多个输出在一个时钟周期内并行地计算。这样,有效采样速度提高到与并行级数相当的倍数。并行处理和流水线一样,也能用来降低功耗^[6,7]。

并行处理的功耗降低原理与流水线一样,通过降低电源电压来降低功耗。一个 L 路并行系统的功耗可降低为原来的 β^2 倍^[8]。即 $P_{par} = (LC_{charge}) \cdot (\beta V_0)^2 f / L = \beta^2 C_{charge} V_0^2 f = \beta^2 P_{sep}$, β 可通过下列二次方程求出: $L(\beta V_0 - V_t)^2 = \beta(V_0 - V_t)^2$ 。

下面将并行处理加入到拉格朗日立方插值滤波器的 Farrow 结构中,如图 3 所示。

4.3 并行处理和流水线的结合应用

将流水线和并行处理技术加入到拉格朗日立方插值滤波器的 Farrow 结构(以 2 级并行流水线为例)如图 4 所示。

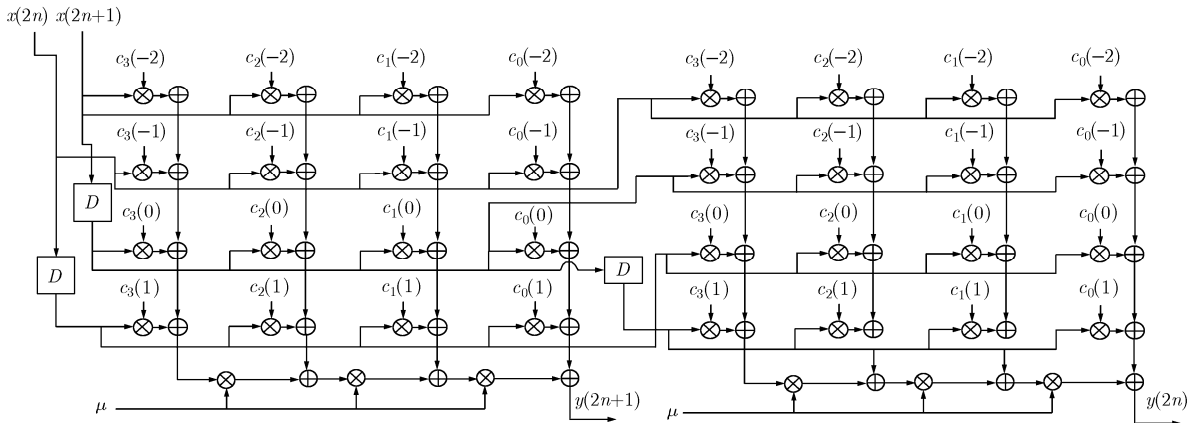


图 3 并行拉格朗日立方插值滤波器的 Farrow 结构

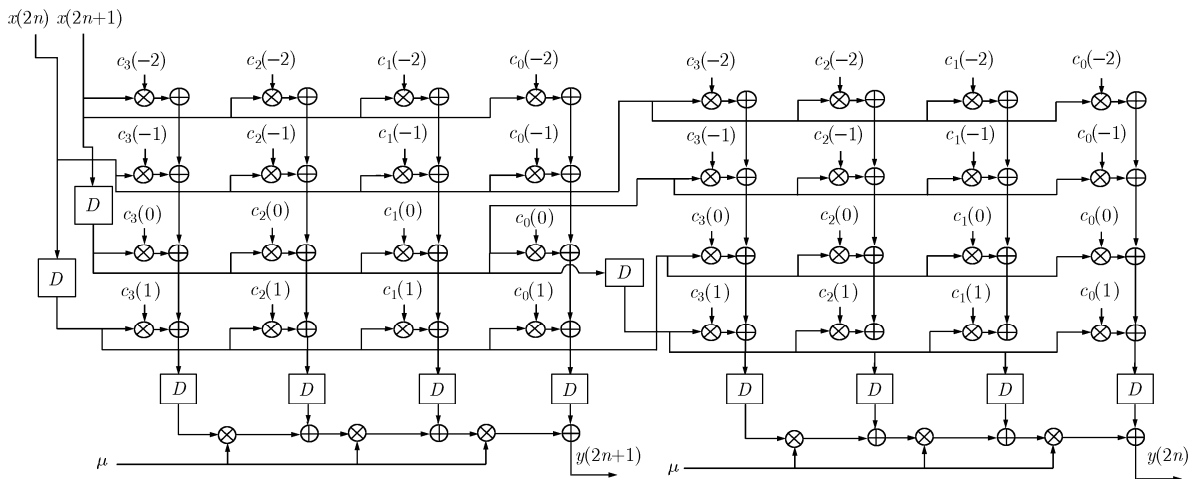


图 4 2 级并行流水线的拉格朗日立方插值滤波器 Farrow 结构图

2级并行流水线插值滤波器的Farrow结构与原始Farrow结构的比较见表1。

表1 2级并行流水线插值滤波器的Farrow结构与原始Farrow结构对比

Farrow结构	乘法器	加法器	延迟单元	关键路径	功耗
原始结构	19	15	3	$4T_M + 6T_A$	P_{seq}
2级并行流水线	38	30	11	$3T_M + 3T_A$	$\beta^2 P_{\text{seq}}$

由表可知道,相对于原始滤波器,2级并行流水线插值滤波器虽然使用的资源多了,但是速度提高成原来的 $(4T_M + 6T_A)/(3T_M + 3T_A)$ 倍,功耗变成原来的 β^2 倍^[5]。

5 基于快速FIR算法的Farrow结构

由Winograd的著作^[9]可知,2个 $L-1$ 阶多项式相乘,可仅用 $2L-1$ 个乘积项来实现。这种乘法数量的缩减是以加法数量的增加为代价来实现的。

一个被称为快速FIR算法(FFAs)的相对比较新型的算法就是依赖于这种方法生成复杂度降低的并行滤波结构^[10]。采用这种方法, L 并行滤波器可以近似用 $2L-1$ 个长度为 N/L 的滤波运算来实现^[11]。获得的并行滤波结构将需要 $2N - N/L$ 次乘法。例如,如果设 $N=4, L=2$,传统的2并行方法将需要8次乘法,而2并行快速滤波方法仅仅需要6次乘法。当 N 值很大时,FFAs可以大大缩减乘法的数量。

在时域,一个 N 抽头的FIR滤波器可表示为

$$y(n) = h(n) * x(n) = \sum_{i=0}^{N-1} h(i)x(n-i), n=0,1,\dots,\infty,$$

其中 $\{x(n)\}$ 是一个无限长的输入序列,序列 $\{h(n)\}$ 包含了长度为 N 的FIR滤波器的系数,或者可以在 z 域中可以表示为

$$Y(z) = H(z)X(z) = \sum_{n=0}^{N-1} h(n)z^{-n} \cdot \sum_{n=0}^{\infty} x(n)z^{-n}$$

输入序列 $\{x(0), x(1), x(2), \dots\}$ 可以被分解为偶数部分和奇数部分,如式(4)所示。

$$\begin{aligned} X(z) &= x(0) + x(1)z^{-1} + x(2)z^{-2} + \dots \\ &= x(0) + x(2)z^{-2} + x(4)z^{-4} + \dots \\ &\quad + z^{-1}[x(1) + x(3)z^{-2} + x(5)z^{-4} + \dots] \\ &= X_0(z^2) + z^{-1}X_1(z^2) \end{aligned} \quad (4)$$

其中 $X_0(z^2)$ 和 $X_1(z^2)$ 分别为 $x(2k)$ 和 $x(2k+1)$

($0 \leq k \leq \infty$)的 z 变换。在式(4)中, $X(z)$ 被分解为两个多相式。同样, N 长度的滤波器系数 $H(z)$ 可以被分解为: $H(z) = H_0(z^2) + z^{-1}H_1(z^2)$,其中 $H_0(z^2)$ 和 $H_1(z^2)$ 长度分别为 $N/2$,对应于偶数子滤波器和奇数子滤波器。偶数部分的输出序列 $y(2k)$ 和奇数部分的输出序列 $y(2k+1)$ ($0 \leq k \leq \infty$)的计算如下式所示:

$$\begin{aligned} Y(z) &= Y_0(z^2) + z^{-1}Y_1(z^2) \\ &= [X_0(z^2) + z^{-1}X_1(z^2)][H_0(z^2) + z^{-1}H_1(z^2)] \\ &= X_0(z^2)H_0(z^2) + z^{-1}[X_0(z^2)H_1(z^2) \\ &\quad + X_1(z^2)H_0(z^2)] + z^{-2}X_1(z^2)H_1(z^2) \end{aligned}$$

其中

$$Y_0(z^2) = X_0(z^2)H_0(z^2) + z^{-2}X_1(z^2)H_1(z^2) \quad (5)$$

$$Y_1(z^2) = X_0(z^2)H_1(z^2) + X_1(z^2)H_0(z^2) \quad (6)$$

$Y_0(z^2)$ 和 $Y_1(z^2)$ 分别对应时域里的 $y(2k)$ 和 $y(2k+1)$ 。式(5)和式(6)中的滤波运算在每次迭代中,处理两个输入 $x(2k)$ 和 $x(2k+1)$,并产生两个输出 $y(2k)$ 和 $y(2k+1)$,所以被称为2并行FIR滤波器。这个2并行FIR滤波器可用矩阵形式表示如下:

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = \begin{bmatrix} H_0 & z^{-2}H_1 \\ H_1 & H_0 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \end{bmatrix}$$

式(5)和式(6)所展示的2并行FIR滤波器需要 $2N$ 次乘法和加法运算。可将它们看写成下面的形式:

$$Y_0 = H_0X_0 + z^{-2}H_1X_1 \quad (7)$$

$$Y_1 = (H_0 + H_1)(X_0 + X_1) - H_0X_0 - H_1X_1 \quad (8)$$

这个2并行快速滤波器包括5个子滤波器;然而其中的 H_0X_0 和 H_1X_1 是公共项,在计算 Y_0 和 Y_1 时可以共用。

根据式(7)和式(8)可得到基于快速FIR算法的拉格朗日立方插值滤波器Farrow结构,如图5所示。

通过这种方法可得到许多等价的并行FIR滤波器结构,这些结构都是等价的。但是,这些滤波器在硬件VLSI实现中,它们的性能却有很大的差别。例如,在一个窄带低通滤波器中,子滤波器 $H_0 + H_1$ 可能需要比 $H_0 - H_1$ 更多的非零比特^[9]。值得注意的是系数的和或者差也可以用于缩减序列滤波器的强度。另外,不同结构也将导致不同的舍入噪声特性。选择合适的滤波器结构也可以减小舍入噪声。

Farrow结构插值滤波器的快速FIR算法与图5所示的2级并行处理立方插值滤波器的Farrow结构的比较见表2。

由表可知,使用快速FIR算法比2级并行流使用更少的资源。

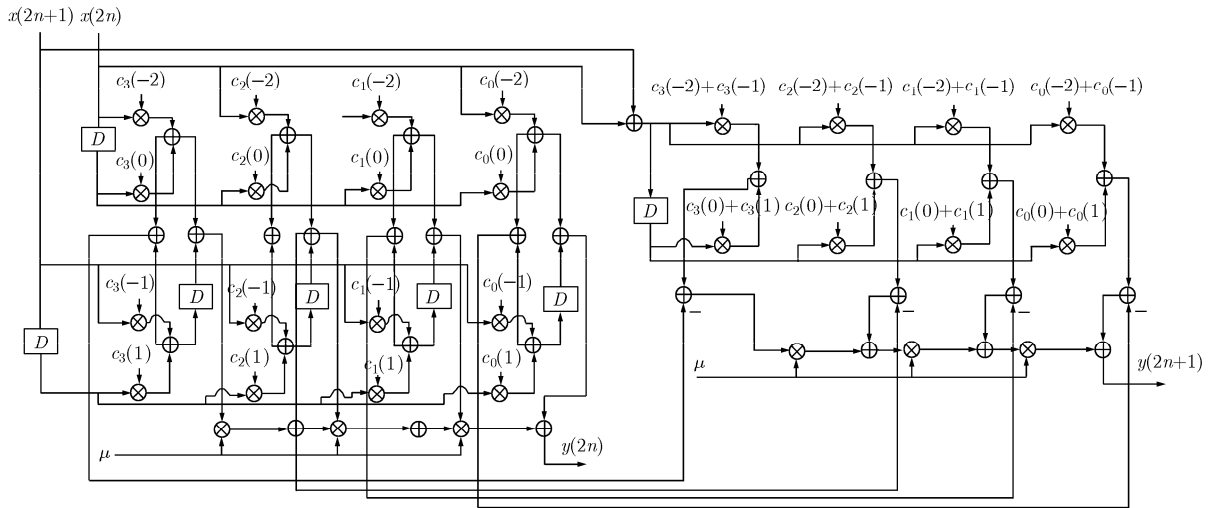


图 5 基于快速 FIR 算法的拉格朗日立方插值滤波器 Farrow 结构图

表 2 快速 FIR 算法与 2 级并行流水线的比较

Farrow 结构	乘法器	加法器	延迟单元	关键路径
二级并行流水线	38	30	11	$3 T_M + 3 T_A$
快速 FIR 算法	30	30	7	$4 T_M + 5 T_A$

6 仿真结果分析及实现

以 2 倍符号速率对接收到的 4QAM 调制信号进行采样, 求出时钟误差后分别用原始 Farrow 结构立方插值法和基于 FFAs 的 Farrow 结构插值法对采样序列进行的插值滤波绘出插值滤波器输出信号星座如图 6。显然图 6(a) 中所示原始 Farrow 结构得到的星座信号点与图 6(b) 中基于 FFAs 的 Farrow 结构得到的星座信号点基本一致。

另外, 我们还通过误码率性能考查了原始 Farrow 结构立方插值滤波器和基于 FFAs 的 Farrow

结构插值滤波器的滤波性能。以 16QAM 信号为例, 采样速率为 4 倍的符号速率, 系统脉冲响应取滚降因子为 0.5 的升余弦脉冲函数。上述两种滤波器插值滤波后的误码率对比图如图 7 所示。可以看出, 基于 FFAs 的 Farrow 结构插值滤波器与了原始 Farrow 结构的插值滤波器的误码率基本一致。

最后, 我们对基于 FFAs 的 Farrow 结构的插值滤波器进行了 Verlog HDL 编程, 并在 Actel 的 FPGA(A3P030) 上下载成功。图 8 为仿真波形, 仿真中只研究编程的正确性, 故假设 $\mu = 1$ 。由图中可以看出, 输出的结果符合希望所得到的结果。

7 结束语

本文对拉格朗日立方插值滤波器的 Farrow 结构进行研究, 在 Farrow 结构的基础上, 加进流水线、并行处理等技术, 并利用 FFAs 算法对该结构进行改进。对改进的结构进行仿真并与原始结构进行比较。对原始的 Farrow 结构加入流水线与并行处理技术后, 关键路径减少, 运行速度提高, 功耗降低, 且星座信号点的收敛性和误码性能与原结构基本一

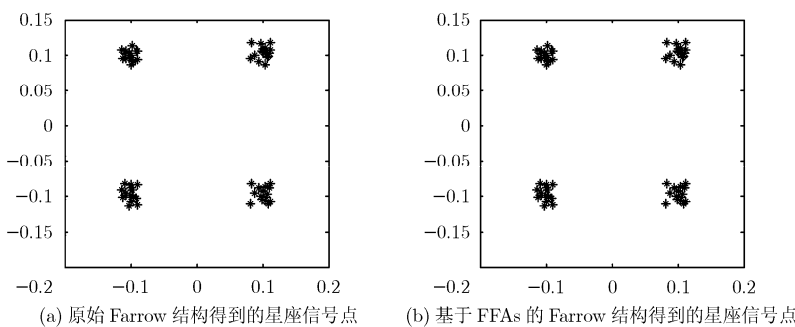


图 6 原始 Farrow 结构和基于 FFAs 的 Farrow 结构得到的星座信号点对比图

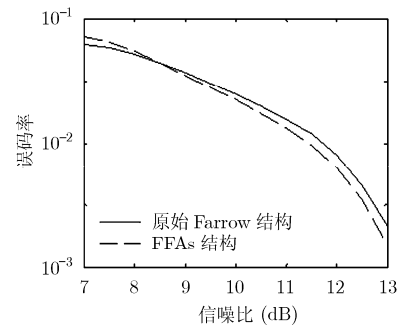


图 7 16QAM 的两种结构的插值滤波器误码率性能对比图

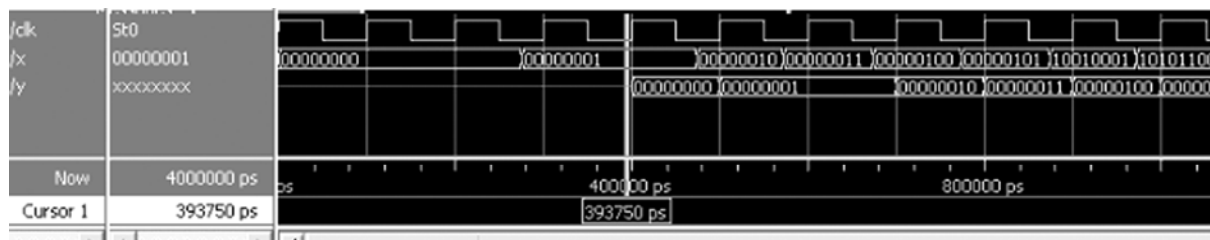


图 8 FFAs 的 Farrow 结构的仿真波形图

致；但耗用的资源却增加，将加大专用集成芯片的面积。而基于快速 FIR 算法的改进比并行流水线结构要节省一些资源，同时也提高了运行速度，降低了功耗。

参 考 文 献

- [1] 张公礼. 全数字接收机理论与技术[M]. 北京: 科学出版社, 2005 年 1 月: 61-85.
Zhang Gong-Li. Theory and Technology of All Digital Receiver[M]. Beijing: Science Press, 2005: 61-85.
- [2] Gardner F M. Interpolation in digital modems part I: fundamentals[J]. *IEEE Transactions on Communications*, 1993, 41(3): 501-507.
- [3] Erup L, Gardner F M, and Harris R A. Interpolation in digital modems part II: implementation and performance[J]. *IEEE Transactions on Communications*, 1993, 41(6): 1135-1141.
- [4] Merlino P and Abramo A. A fully pipelined architecture for the LOCO-I compression algorithm[J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2009, 17(7): 967-971.
- [5] 邓军, 杨银堂. 全数字接收机中一种低功耗插值滤波器结构及其 VLSI 实现[J]. 西安电子科技大学学报, 2010, 37(2): 320-325.
Deng Jun and Yang Yin-tang. A structure of low-power interpolation filter and its VLSI implementation for all digital receiver[J]. *Journal of Xidian University*, 2010, 37(2): 320-325.
- [6] Tawfik S A and Ursun V K. Low power and high speed multi threshold voltage interface circuits[J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2009, 17(5): 638-645.
- [7] Tam W P, Lok T M, and Wong T F. Flow optimization in parallel relay networks with cooperative relaying[J]. *IEEE Transactions on Wireless Communications*, 2009, 8(1): 278-287.
- [8] Polpo A and Pereira C A B. Reliability nonparametric Bayesian estimation in parallel system[J]. *IEEE Transactions on Reliability*, 2009, 58(2): 364-373.
- [9] Winograd S. Arithmetic complexity of computations. CBMS-NSF Regional Conference Series in Applied Mathematics, SIAM Publications, 1980, 33: 21-33.
- [10] Parker D A and Parhi K K. Low-area/power parallel FIR digital filter implementations[J]. *Journal of VLSI Signal Processing*, 1997, 2(1): 75-92.
- [11] Jain V and Blair W D. Filter design for steady-state tracking of maneuvering targets with LFM waveforms[J]. *IEEE Transactions on Aerospace and Electronic Systems*, 2009, 45(2): 765-772.

邓 军: 男, 1976 年生, 高级工程师, 博士生, 研究方向为通信系统信号处理及 VLSI 实现.

杨银堂: 男, 1962 年生, 教授, 博士生导师, 研究方向为 VLSI 系统与技术.