

一种改进的适用于 Sigma-Delta ADC 的数字抽取滤波器

郝志刚^{①②} 杨海钢^{①*} 张 翀^{①②} 吴其松^{①②} 尹 韬^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100049)

摘 要: 数字滤波器在 sigma-delta ADC 芯片中占据了大部分芯片面积, 该文提出了一种数字滤波器结构, 这种结构滤波器采用一个控制单元和一个加法器取代了 Hogenauer 结构滤波器中差分器的多个加法器, 从而减小数字电路的面积。一个采用这种结构的 4 阶的数字滤波器在 CYCLONE II FPGA 芯片中被实现, 耗费的硬件资源比 Hogenauer 结构的滤波器减少近 29%。

关键词: Sigma-delta 模数转换器; 滤波器; 差分器

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2010)04-1012-05

DOI: 10.3724/SP.J.1146.2009.00247

An Improved Digital Decimation Filter for Sigma-Delta ADC

Hao Zhi-gang^{①②} Yang Hai-gang^① Zhang Chong^{①②} Wu Qi-song^{①②} Yin Tao^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Usually in a sigma-delta ADC, the digital filter takes most of the chip area. In this paper, a novel digital filter topology is proposed, in which the differentiator is constructed with a control unit and an adder instead of the multiple of adders in the Hogenauer structure filter, so that the digital circuit area should be reduced. A fourth order digital filter employing such topology is implemented in a Cyclone-II FPGA, and costs chip resources 29 percent less than in a Hogenauer structure.

Key words: Sigma-delta ADC; Filter; Differentiator

1 引言

随着片上系统(SOC)设计技术的发展, 数模混合集成的概念已被广泛接受。但是, 集成在同一芯片内数字电路往往会对模拟电路产生很强的干扰, 从而降低模拟电路的各种性能。例如, 普通的奈奎斯特采样率的模数转换器(ADC)在这种环境下就很难达到较高的精度。为此, 近年来高精度 ADC 的研究和开发成为了 ADC 热点, 而采用过采样和 sigma-delta 结构的 ADC 以其在高精度方面显著的优势成为了该领域的代表^[1-6]。这种结构降低了对模拟电路的要求, 然而大大增加了数字电路的复杂度。其中的数字抽取滤波器作为一个必要的模块, 具有大量的算术电路, 尤其当位宽和阶数都很高时, 其物理实现将严重耗费硬件资源, 通常将占据整个 ADC 芯片的大部分面积。Sinc 滤波器是一种常用的数字抽取滤波器。在文献[7]中, 第一次提出 CIC(级联积分梳状滤波器)的实现方法, 也被称为

Hogenauer 结构; 多速率结构在文献[8]中被讨论; 文献[9]讨论了 Sinc 滤波器计算的优化。文献[10]提出了通用的 Sinc 滤波器。

Sinc 滤波器的常用的实现方法有 4 种^[11]: Hogenauer 结构, 级联结构, 多速率结构, 两路结构。文献[11]中提出了一个公式来描述和比较 4 种结构功耗和面积。并指出 Hogenauer 结构在过采样率很大时, 比其它结构具有面积优势。

本文提出的方法是保持 Hogenauer 结构的积分器部分不变, 用一个控制单元、一个全加器和两组寄存器, 代替 Hogenauer 结构的差分器。这种方法大大缩减了硬件资源的消耗, 从而大幅减少了芯片面积。采用本文方法, 实现了一个 4 阶抽取滤波器, 经过测试, 比 Hogenauer 结构滤波器面积减小了 29%。

2 整体结构及工作原理

本文提出的实现方法, 是在 Hogenauer 结构的基础上进行的改进。Hogenauer 结构的实现方法如下:

对于一个降采样率为 K , 阶数为 L 的滤波器,

2009-03-02 收到, 2009-07-22 改回

国家 863 计划项目(2007AA04Z349)资助课题

通信作者: 杨海钢 ic_design_group@mail.ie.ac.cn

其传输函数可表示为

$$H(z) = \left(\frac{1 - z^{-K}}{K(1 - z^{-1})} \right)^L \quad (1)$$

采用 Hogenaur 结构的实现方法首先将该传输函数分解为

$$H(z) = \frac{1}{K^L} M(z) \cdot N(z) \quad (2)$$

其中

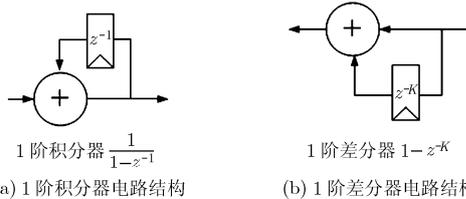
$$M(z) = \left(\frac{1}{(1 - z^{-1})} \right)^L \quad (3)$$

$$N(z) = (1 - z^{-K})^L \quad (4)$$

$M(z)$ 由 L 个 $(1 - z^{-1})^{-1}$ 级联实现,每一级均是一个 1 阶积分器,可由如图 1(a)所示电路实现,其中 z^{-1} 延时是由寄存器来实现的。 $M(z)$ 被称为抽取滤波器的积分器。

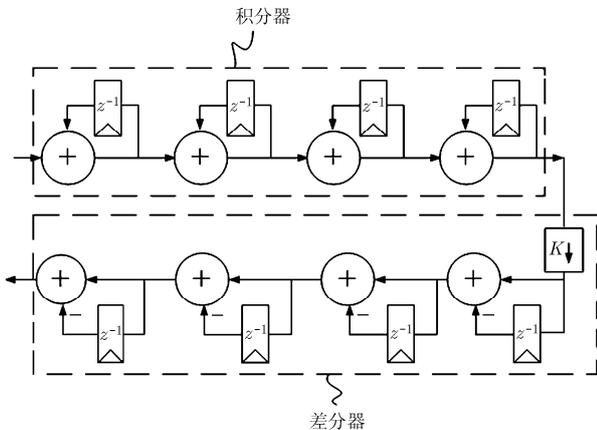
$N(z)$ 由 L 个 $(1 - z^{-K})$ 级联实现,每一级均是一个 1 阶差分器,可由如图 1(b)所示电路实现,其中 z^{-K} 延时同样是由寄存器来实现,但时钟为 $M(z)$ 积分器时钟的 K 分频。 $N(z)$ 被称为抽取滤波器的差分器。

图 1(c)给出了一个 4 阶的 Hogenaur 滤波器的框图。调制器的输出数据从积分器的左端输入,经过 4 个级联的 1 阶积分器,从积分器的右端输出,进入差分器;进入差分器的数被降采样,每 K 个数数据抽取一个,然后,经过 4 个级联 1 阶差分器,从差分器的左端输出。差分器的控制时钟是积分器时钟的 K 分频。



(a) 1 阶积分器电路结构

(b) 1 阶差分器电路结构



(c) 4 阶 Hogenaur 滤波器框图

图 1

从图 1(c)中可以看出,实现一个 L 阶 Hogenaur 结构的滤波器共需要 $2L$ 个高位全加器和 $2L$ 组高位寄存器。一般滤波器的阶数 L 比调制器的阶数大 1,对于高阶调制器, L 一般为 4-6,需要 8-12 个高位全加器和 8-12 组高位寄存器,因此占芯片面积很大。

观察式(4),将 $N(z)$ 展开成多项式形式,重写为

$$\sum_{i=0}^L (-1)^i C_L^i z^{-iK} \quad (5)$$

根据式(5),滤波器的差分器 $N(z)$ 可由一个控制单元和一个数据处理单元实现。改进后的滤波器的框图,如图 2 所示。

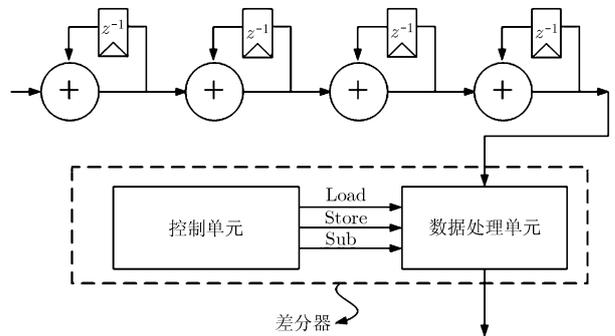


图 2 改进结构的滤波器框图

控制单元通过 Load, Store, Sub 3 个信号控制数据处理单元。Load 高电平有效,高电平表示数据从积分器输入到差分器,低电平表示差分器的输入数据保持前一个时钟的值不变。Store 高电平有效,高电平表示经过运算的数据被保存。当 Load 低电平和 Store 高电平时,前一个时钟周期的输入数据再次被运算保存,从而实现了式(5)中倍数的功能,不同的倍数由 Store 高电平持续时间来决定。Sub 信号用来控制数据处理单元的运算是加法还是减法,高电平表示执行减法,低电平表示执行加法。次方是由延时时钟个数实现的,根据时钟周期的个数,抽取对应时刻的数据。求和是由数据处理单元中的累加实现的。

当 L 等于 4 时, $N(z) = (1 - z^{-K})^4$ 即

$$N(z) = 1 - 4z^{-K} + 6z^{-2K} - 4z^{-3K} + z^{-4K} \quad (6)$$

3 个控制信号的时序如图 3 所示,第 1 个时钟周期实现了式(6)中 1 的功能; $K-K+3$ 时钟周期实现了式(6)中 $-4z^{-K}$ 的功能; $2K-2K+5$ 时钟周期实现了式(6)中 $6z^{-2K}$ 的功能; $3K-3K+3$ 时钟周期实现了式(6)中 $-4z^{-3K}$ 的功能; $4K$ 时钟周期实现了式(6)中 z^{-4K} 的功能。

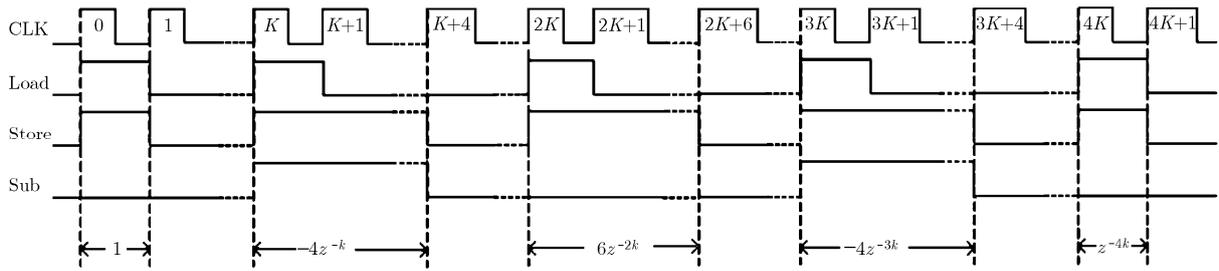


图 3 控制单元控制信号时序

3 差分器的数据处理单元

数据处理模块的框图如图 4 所示，主要是在控制单元的控制下，完成对积分器输出值的计算。通过 Load 控制积分器的输出值，Load 高电平时积分器的输出值通过“寄存器 1”进入到差分器，Load 低电平时，差分器输入的值保持不变。

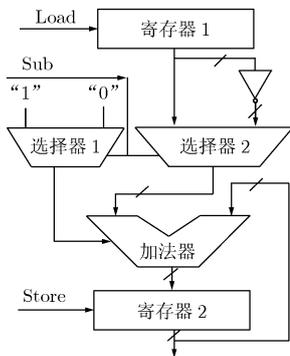


图 4 差分器的数据处理模块

Store 控制是否保存运算结果，如果没有保存运算结果，等到下一个时钟，新的计算结果出来，当前的结果就会被丢失。因此，不保存的运算是无效的。

通过 Sub 控制执行加法操作还是减法操作。Sub 低电平时，“选择器 1”选择“0”，作为加法器的进位，“选择器 2”选择差分器输入值，作为加法器的一个加数，执行加法操作。Sub 高电平时，“选择器 1”选择“1”，作为加法器的进位。选择器 2 选择差分器输入值的反，作为加法器的加数，通过上面的“取反加一”处理，相当于把差分器输入值取负，与一个数的负相加相当于与这个数相减，因此执行的是减法运算。

运算的结果通过“寄存器 2”后又被输入到了加法器，实现累加功能，如式(6)中，把各个多项式加起来的功能。

当 Load 无效，Store 有效，Sub 保持不变时，就会把前一个时钟周期的运算再执行一遍，并把运

算结果保存，从而实现式(6)中的倍数功能。

从数据处理单元可以看到，它只包含一个比较耗资源的加法器。

4 差分器的控制单元

控制单元是产生数据处理单元所需要的控制信号。控制单元的实现可以用一个状态图来描述，如图 5 所示，通过一个计数器计数时钟周期的个数，根据时钟周期的个数确定进入的状态。状态“1”表示时钟周期数为 0 和 4K；状态“3”表示时钟周期数为 1K 和 3K；状态“4”表示时钟周期数为 1K+1-1K+3 和 3K+1-3K+3；状态“5”表示时钟周期数为 2K；状态“6”表示时钟周期数为 2K+1-2K+5；其余的时钟周期数为状态“2”。图 5 中，状态旁边的控制信号的值表示该状态产生的控制信号的值。

5 测试结果

为了测试采用本文方法设计的数字抽取滤波器功能，设计了如图 6 所示的测试方案。在 Simulink

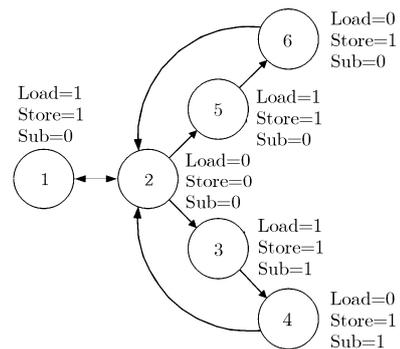


图 5 控制单元电路实现的状态图

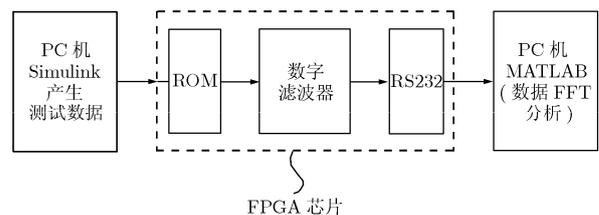


图 6 测试方案框图

中搭建了一个的 sigma-delta 调制器,对这个调制器的输入加一个正弦信号,从调制器的输出端得到一个周期的信号,然后把这一个周期的信号作为滤波器的激励,存储到 FPGA 的 ROM 中,反复读取这一个周期的信号来代替多个周期的调制器输出信号。滤波器被编程到 FPGA 中,另外在 FPGA 中设计一个 RS232 的串口模块,把滤波器的输出数据通过 RS232 串口发送给计算机,再通过计算机的 MATLAB 对滤波器的数据进行 FFT 分析。

输入的信号频率为 0.6 Hz,数字抽取滤波器的降采样率 K 为 512,阶数 L 为 4。滤波器输出数据的 FFT 分析如图 7 所示,时域信号波形如图 8 所示,滤波器输出的信噪比 SNR 是 147 dB,满足 24 位精度要求。

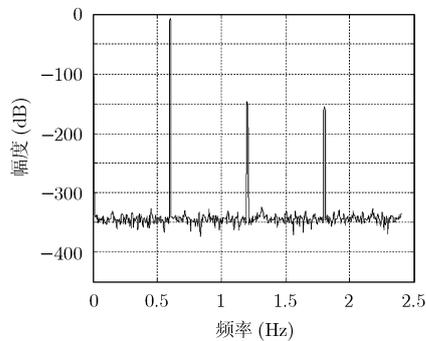


图 7 采用本文方法在 FPGA 实现的滤波器的输出信号频谱图

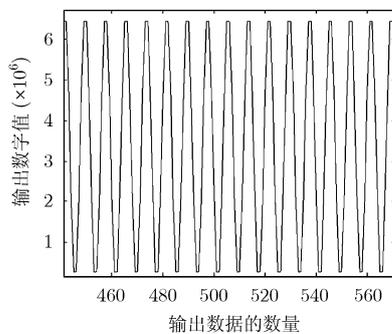


图 8 采用本文方法在 FPGA 实现的滤波器时域波形

为了和 Hogenauer 结构滤波器进行资源使用情况比较,分别把采用 Hogenauer 结构的滤波器和采用本文方法的滤波器编程到 FPGA 中,表 1 列出了两种方法的资源使用情况。

表 1 中,逻辑部件包括组合逻辑和寄存器。因此总的资源使用情况,就是逻辑部件的使用情况。从表 1 中可以看出,Hogenauer 结构滤波器逻辑部件使用了 752 个,占资源总数 4608 个的 16%;本文结构逻辑部件使用了 532 个,占资源总数 4608 个的 12%,节省了 29%。其中组合逻辑电路 Hogenauer 结构滤波器使用了 676 个单元,本文方法使用了 506

表 1 Hogenauer 结构滤波器和本文提出结构滤波器在 FPGA 中资源使用情况

所用资源类型	Hogenauer 结构	本文提出结构
组合逻辑	676/4608(15%)	506/4608(11%)
寄存器	489/4608(11%)	396/4608(9%)
逻辑部件	752/4608(16%)	532/4608(12%)

注:数据中,“/”左边是滤波器占用的资源数量;“/”右边是 FPGA 中总的资源数量;百分数是占用资源与总的资源比值的百分数表示。

个单元,节省了 25%。寄存器电路 Hogenauer 结构滤波器使用了 489 个,本文方法使用了 396 个,节省了 19%。

6 结论

本文提出了一种改进的滤波器实现方法,保持 Hogenauer 结构数字滤波器的积分器不变,只把差分器展开成多项式。采用这种方法的滤波器和 Hogenauer 结构的滤波器在 FPGA 中被实现,对两种结构的滤波器进行了比较,从结果可以看出,本文方法实现的滤波器较 Hogenauer 结构的滤波器具有面积的优势。

参考文献

- [1] Fujimori I, Koyama K, and Trager D, *et al.* A 5-V single-chip delta-sigma audio A/D converter with 111 dB dynamic range [J]. *IEEE Journal of Solid-State Circuits*, 1997, 32(3): 329-336.
- [2] Geerts Y, Marques M A, and Steyaert M S. A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications [J]. *IEEE Journal of Solid-State Circuits*, 1999, 34(7): 927-936.
- [3] Dolecek G and Mitra S. On design of CIC decimation filter with improved response 2008.ISCCSP 2008.3rd International Symposium on Communications, Control and Signal Processing, Malta, March 12-14, 2008: 1072-1076.
- [4] Chong K and Gopalakrishnan P, *et al.* Low power approach for decimation filter hardware realization [C]. Proceedings of World Academy of Science, Engineering and Technology, Singapore, August 29-31, 2008: 550-553.
- [5] Shiraishi M. A simultaneous coefficient calculation method for sinc^N FIR filters [J]. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 2003, 50(4): 523-529.
- [6] Quiquempoix V and Bellini G, *et al.* Digital decimation filter [P] US, 6,788,233, 2004.
- [7] Hogenauer B. An economical class of digital filters for decimation and interpolation [J]. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, 1981, 29(2):

- 155-162.
- [8] Chu S and Burrus C. Multirate filter designs using comb filters [J]. *IEEE Transactions on Circuit Systems*, 1984, 32(11): 913-924.
- [9] Losada R and Lyons R. Reducing CIC filter complexity [J]. *IEEE Signal Process Magazine*, 2006, 23(4): 124-126.
- [10] Laddomada M. Generalized comb decimation filters for $\Sigma\Delta$ A/D converters: analysis and design [J]. *IEEE Transactions on Circuits Systems I*, 2007, 54(5): 994-1005.
- [11] Zhu Heng-fang, Wu Xiao-bo, and Yan Xiao-lang. Low-power and hardware efficient decimation filters in sigma-delta A/D converters [C]. 2005 IEEE Conference on Electron Devices and Solid-State circuit, Hong Kong, December 19-21, 2005: 665-668.
- 郝志刚: 男, 1972 年生, 博士生, 研究方向为数模混合集成电路设计技术、DSP 和 CPU 设计技术.
- 杨海钢: 男, 1960 年生, 研究员, 研究方向为高性能可编程逻辑芯片设计技术、数模混合信号 SOC 设计技术.
- 张 翀: 男, 1983 年生, 博士生, 研究方向为高性能模拟集成电路设计技术.
- 吴其松: 男, 1981 年生, 博士生, 研究方向为高性能模拟集成电路设计技术.
- 尹 韬: 男, 1980 年生, 助理研究员, 研究方向为高性能模拟集成电路设计技术、微传感器接口电路研究.