

标准数字工艺下 16 位精度低压低功耗 $\Sigma\Delta$ 模数调制器设计

殷树娟 李翔宇 孙义和

(清华大学信息科学与技术国家实验室 北京 100084)

摘要: 针对输入信号频率在 20 Hz~24 kHz 范围的音频应用, 该文采用标准数字工艺设计了一个 1.2 V 电源电压 16 位精度的低压低功耗 $\Sigma\Delta$ 模数调制器。在 6 MHz 采样频率下, 该调制器信噪比为 102.2 dB, 整个电路功耗为 2.46 mW。该调制器采用一种伪两级交互控制的双输入运算放大器构成各级积分器, 在低电源电压情况下实现高摆率高增益要求的同时不会产生更多功耗。另外, 采用高线性度、全互补 MOS 耗尽电容作为采样、积分电容使得整个电路可以采用标准数字工艺实现, 从而提高电路的工艺兼容性、降低电路成本。与近期报道的低压低功耗 $\Sigma\Delta$ 模数调制器相比, 该设计具有更高的品质因子 FOM。

关键词: $\Sigma\Delta$ 模数调制器; 低压; 低功耗; 开关电容; 耗尽电容

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2010)02-0464-06

DOI: 10.3724/SP.J.1146.2009.00116

Design of 16 bit Low-Voltage Low-Power $\Sigma\Delta$ Modulator with Standard Digital Technology

Yin Shu-juan Li Xiang-yu Sun Yi-he

(National Laboratory of Information and Technology, Tsinghua University, Beijing 100084, China)

Abstract: For audio signals with input frequency between 20 Hz and 24 kHz, a switch-capacitor feed-forward $\Sigma\Delta$ A/D modulator in 0.18 μ m Logic technology is proposed in this paper, which gains 16 bit resolution with 1.2 V supply voltage. The modulator can achieve 102.2 dB signal-to-noise ratio (SNR) under 6MHz sample clock, and the total power dissipation is only 2.46 mW. In the modulator, a pseudo-two-stage Class-AB transconductance amplifier is used, which has high slew rate and open loop gain while without increasing power dissipation. What is more, full compensated depletion-mode capacitors are used as sample capacitors and integrating capacitors to enable the whole chip to be fabricated in standard digital technology, which is good to reduce chip cost and improve the modulators' compatibility in technology. Compared with other low-power low-voltage $\Sigma\Delta$ A/D modulators reported, this design has better FOM (Figure Of Merit).

Key words: $\Sigma\Delta$ A/D modulator; Low voltage; Low power; Switched-capacitor; Depletion mode capacitor

1 引言

伴随着工艺的不断改进及各种可携式产品的广泛应用, 对于低压低功耗电路的需求更加迫切。对于 $\Sigma\Delta$ 模数调制器来说, 一方面其输入信号摆幅随电源电压的降低而不断降低, 而另一方面噪声信号并不随电源电压降低而降低, 从而使得最终电路的精度不断下降。为了满足精度要求, 常常需要采用大电流方法但这同时会增加电路功耗^[1]。因此, 低压低功耗 $\Sigma\Delta$ 模数调制器的设计无论是在工业界还是学术界都是一个重要的课题和难题。近年来, 各种会议、杂志等给出了很多低压低功耗 $\Sigma\Delta$ 模数调制器, 其中包括采用低阈值器件、电荷泵电路、开关

运算放大器等。采用低阈值器件会增加漏功耗, 引起谐波失真, 另外低阈值器件的实现需要专门的低阈值工艺, 增加工艺成本。使用电荷泵电路会降低电路的可靠性, 增加电路噪声和功耗, 额外的电荷泵电路也会增加芯片面积。开关运算放大器结构由于只在一个相位下工作使得其速度及采样频率受限。

考虑到 $\Sigma\Delta$ 模数调制器的主要功耗集中构成各级积分器的运算放大器上, 因此本文采用一种新型运算放大器结构, 通过交互控制的输入级实现高增益高摆幅的同时满足低功耗要求, 并以该运算放大器构建 $\Sigma\Delta$ 模数调制器的各级积分器。为了降低成本, 提高电路的工艺兼容性, 本设计的采样/积分电容利用 MOS 耗尽电容的串并联实现。该电容具有高线性度、高电容密度的优点, 且完成采用 MOS

2009-01-21 收到, 2009-05-14 改回

国家自然科学基金(60236020)和高等教育博士点专项科研基金(20050003083)资助课题

通信作者: 殷树娟 yinsj03@mails.tsinghua.edu.cn

晶体管实现。仿真结果表明: 基于 $0.18 \mu\text{m}$ 数字工艺在 1.2 V 电源电压下, 本文实现的开关电容 3 级级联前馈 $\Sigma\Delta$ 模数调制器在 15.375 kHz 差分正弦输入时信噪比 SNR 为 102.2 dB , 功耗为 2.46 mW , 与近期报道的低压低功耗模数调制器相比, 本设计具有更高的 FOM (Figure Of Merit) 值。下面将分别介绍该电路各部分的具体设计。

2 $\Sigma\Delta$ 模数调制器结构设计

2.1 拓扑结构

针对低压应用特点, 由于前馈级联结构将所有输入信号相加后输入到比较器, 使得在环形滤波器中实际传输的信号为量化误差, 降低了对运算放大器信号摆幅的要求, 有益于低压设计。因此, 本文所采用 3 级级联单环前馈拓扑结构的 1 bit 量化 $\Sigma\Delta$ 模数调制器, 如图 1(a) 所示。其中 $a_i = C_{si}/C_{fi}$ 为各级积分器系数, b_i 为输入到比较器的各积分器输入信号比值。在 15.375 kHz 差分正弦输入时通过 Matlab 行为级仿真可以得到此调制器的理想输出频谱, 如图 1(b) 所示。

2.2 运算放大器设计

2.2.1 非理想运放对信噪比的影响 电路实际实现时, 运算放大器的有限增益 (A_v), 摆率 (SR) 等非理想因素都会影响最终调制器的有效精度。为了更好地说明各参数对调制器性能的影响, 图 2(a) 给出了包括有限增益、摆率在内的基于 Matlab 环境的非理想运算放大器模型。其中 $\alpha = (A_v - 1)/A_v$ 体现了由于运放有限增益引入的漏电功耗, 摆率由 Matlab 的摆率函数实现。通过该模型可以很容易得到调制器信噪比与运放摆率及增益间关系曲线, 如图 2(b), 2(c) 所示。从图中可以看到: $\Sigma\Delta$ 模数调制器动态范围随着运放摆率的降低而降低, 同样当运放有限增益降低时也会影响调制器有效动态范围。因此高精度 $\Sigma\Delta$ 模数调制器要求各级运放具有高增益高摆率特

性。

深亚微米工艺中, 单级运算放大器的增益一般在 $30\sim 100$, 因此为了在低压情况下实现高增益目标往往采用多级运放级联结构。而对于多级级联结构, 级数的增加使得运算放大器的极点增加, 为了满足相位裕度要求输出级的电流通常很大, 使得输出极点远离运放主极点。这对于同时实现高摆率目标是有益的, 但却极大地增加了电路功耗, 不利于低功耗设计。

2.2.2 伪两级 Class-AB 运算放大器 为了实现高增益高摆率目标, 同时满足低功耗要求^[2], 本文采用一种伪两级双输入交互控制 Class-AB 运算放大器结构, 如图 3 所示。其中 A, B, C, D 分别为各支路晶体管宽长比的比值, C 值远大于 B, D 。一方面, 该运算放大器可以看成是一个复杂的电流镜运算放大器, stage I 是交互控制的双输入级, stage II 是 Class-AB 输出级; 另一方面, 该运算放大器可以看成是两个具有同一尾电流源的 2 阶运算放大器并联, 图 3 中用虚线标志。因此, 该运算放大器称为伪两级结构。对于全差分伪两级 Class-AB 运算放大器来说, 在小信号输入时, 由于 $M9, M10$ 分流使得由 $M3, M4$ 镜像输出电流很小, 提高输出电阻实现高增益目标同时功耗增加很少。在大信号输入时, 由于 $M11\sim M14$ 4 个晶体管的交互控制使得 $M9, M10$ 分支关闭, 大部分尾电流全部通过 $M3$ 或 $M4$ 分支镜像输出, 提高输出摆率。而另一方面, 由于除输出节点外, 其他节点都是低阻节点, 因此增加的极点对相位裕度影响很小。

表 1 给出了电源电压为 1.0 V 时本设计的运放与近期几种低压低功耗运放的性能比较。其中, Villegas^[3], Carrillo^[4] 为双端输入单端输出结构; Yao^[1], 本文结果为全差分输入输出结构。从表中可以看出, 该运放具有更高的增益和摆率, 同时具有低功耗的优点。

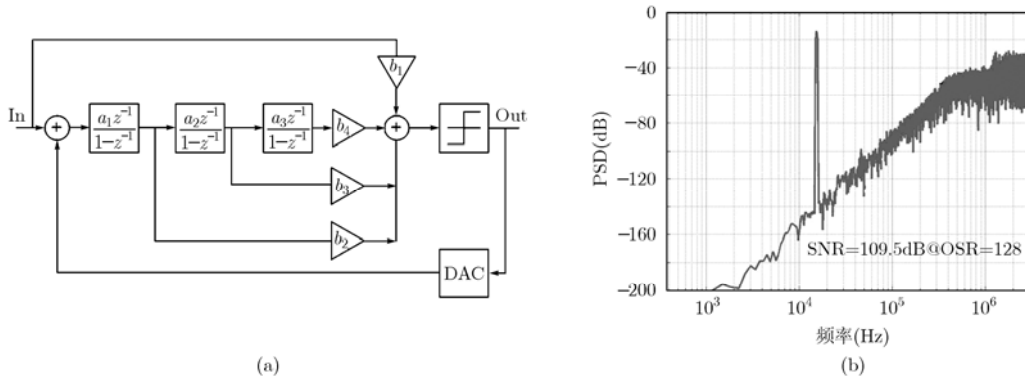


图 1 单环 3 级前馈级联 $\Sigma\Delta$ 模数调制器及对应理想输出频谱

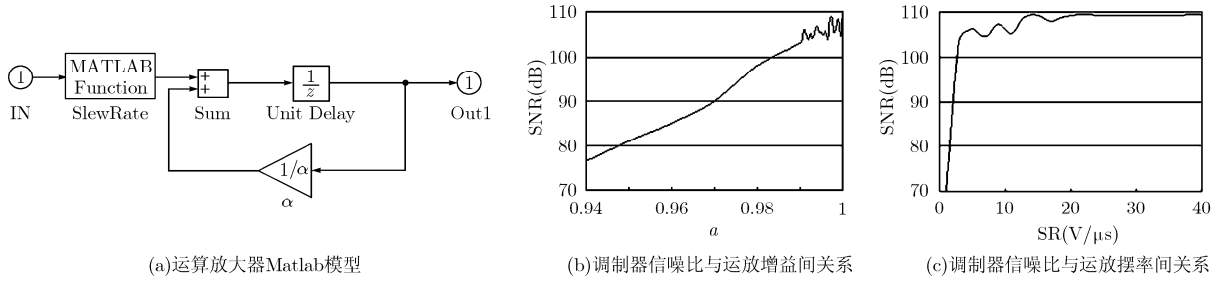


图 2 运算放大器 Matlab 模型及相应仿真结果

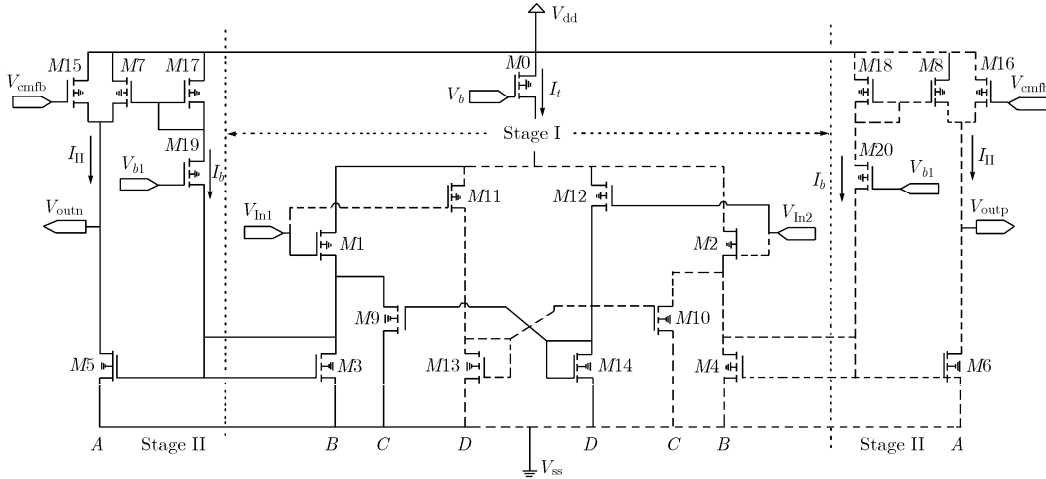


图 3 伪两级交互控制 Class-AB OTA

表 1 几种低压低功耗 OTA 性能比较

论文	DC 增益(dB)	输出摆幅(V)	相位裕度(°)	增益带宽积(MHz)	负载(pF)	正摆率(V/μs)	负摆率(V/μs)	功耗(μW)
Yao ^[1]	50	0.8	57	57	6	-	-	80
Villegas ^[3]	60	-	83	4.13	15	0.86	-0.8	95
Carrillo ^[4]	76.2	1.0	>60	8.1	17	2.74	-5.02	358
本文	63.5	0.83	74.95	19.2	34	16.29	-16.29	82.2

Yao^[1], Villegas^[3], 本文为仿真结果, Carrillo^[4]为测试结果。

2.3 全互补 MOS 耗尽区电容

2.3.1 电容非线性对信噪比的影响 在开关电容 $\Sigma\Delta$ 模数调制器中, 电容线性度的好坏对最终信噪比影响很大。电容非线性使得输出调制信号中高阶谐波分量增加, 导致调制器的信号与噪声失真比 SNDR 下降, 降低了调制器的有效精度。在二阶非线性近似下, 对于理想输入信号 V_a , 实际被采样的电荷为

$$Q = \int_0^{V_a} C(1 + rV + hV^2)dv = C \left(V_a + \frac{r}{2} V_a^2 + \frac{h}{3} V_a^3 \right) \quad (1)$$

在全差分结构中, 偶次谐波会被消除, 因此电容非线性可以由数学函数 $H(u) = u + (h/3)u^3$ 表示, u 为

输入信号, h 表示电容的非线性。图 4 给出了输入为 15.375 kHz 正弦信号时模数调制器 3 阶谐波分量与电容非线性因子 h 间的关系曲线。从中可以看出,

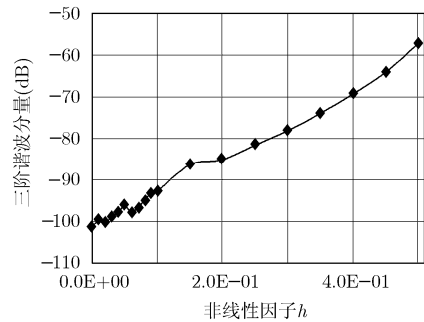


图 4 电容非线性与调制器信噪比关系曲线

电容非线性的增加使得 3 阶谐波分量增加，这又会降低调制器的信号与噪声失真比，影响电路有效精度。因此，开关电容 $\Sigma\Delta$ 模数调制器拓扑对于电容的线性度要求非常高。

2.3.2 全互补 MOS 耗尽区电容 如前所述，开关电容 $\Sigma\Delta$ 模数调制器对电容线性度要求高，因此在传统的开关电容 $\Sigma\Delta$ 模数调制器中通常采用 MIM 电容实现采样和积分电容。为了提高调制器工艺兼容性、降低成本，本设计采用全互补 MOS 耗尽区电容结构^[9]，如图 5(a)所示：A, B 两端为电容输入输出端，C 为偏置控制信号。该电容大小由 M1-M4 4 个晶体管的栅衬电容串并联构成，通过调节晶体管的栅衬电压增加实际电容的线性度。M5, M6 为两个小尺寸晶体管，用作高阻值 MOS 电阻防止栅或衬底的电荷积累。从参考文献[5]中可以看出，全互补 MOS 耗尽区电容比现有的两种互补 MOS 耗尽区电容具有更好的电压相关性和温度相关性，线性度更好。图 5(b)给出了全互补 MOS 耗尽区电容实现的 3 阶前馈级联 $\Sigma\Delta$ 模数调制器输入为 15.375 kHz 正弦信号时的输出频谱，与理想情况下输出频谱(图 1(b))对照可以看到电容非线性对调制器信噪失真

比的影响很小。

另外，由于非线性引入的谐波分量会影响调制器电路的稳定性，图 5(c)给出了 15.375 kHz 正弦输入时本设计中各积分器输出摆幅及其统计分布。从中可以看出 3 级积分器最大输出摆幅都小于满量程的 30%，全互补 MOS 耗尽区电容的非线性不会影响本设计的系统稳定性。

3 总体结构及仿真

3.1 总体结构

图 6 给出了本设计所采用的 3 阶前馈级联 $\Sigma\Delta$ 模数调制器的完整电路图，包括 3 级积分器、一个量化器和一个锁存器。电源电压 VDD 和地电压 GND 分别作为前馈参考电压 $+V_{ref}$ 和 $-V_{ref}$ 。表 2 给出了各级积分器采样及积分电容值及对应系数。对于积分器的实现，为了降低 $1/f$ 噪声、失调等对信噪比的影响，第 1 级积分器采用相关双采样方式实现。

图 7(a), 7(b)分别给出了用 0.18 μm 数字工艺实现了上述单环 3 阶前馈级联 $\Sigma\Delta$ 调制器最终调制器版图及输入为 15.375 kHz 正弦差分信号时调制器

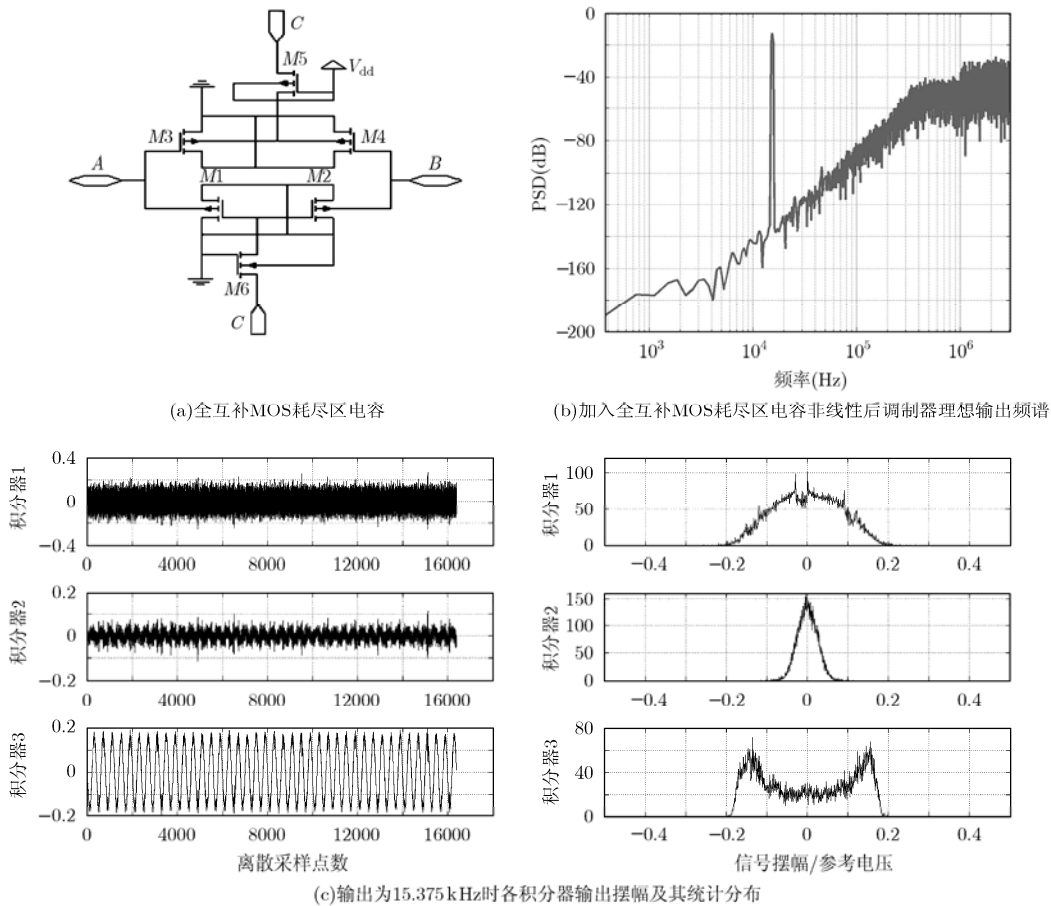


图 5 全互补 MOS 耗尽区电容及其非线性对电路性能的影响

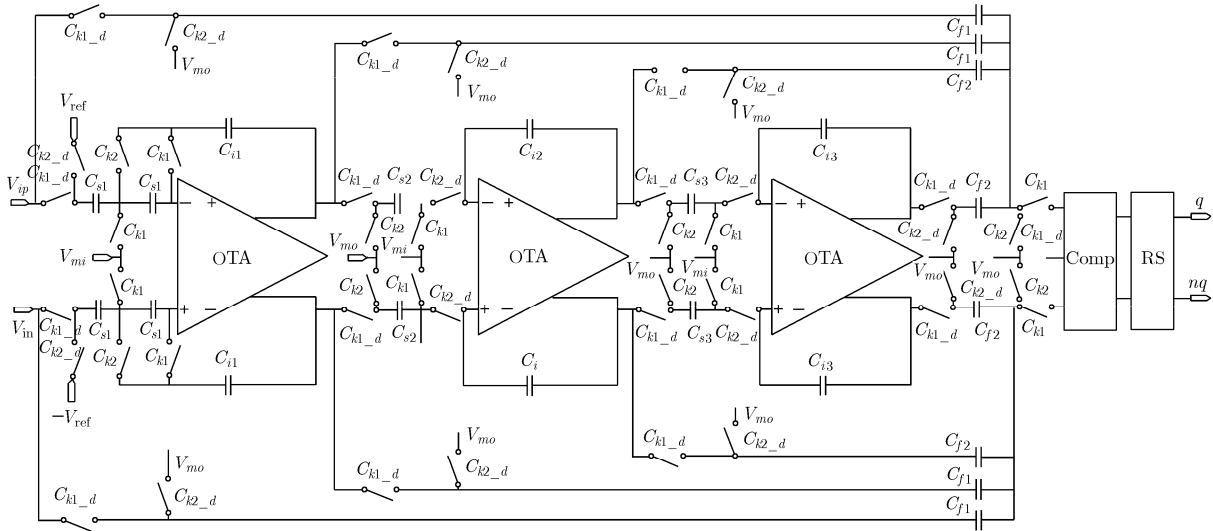
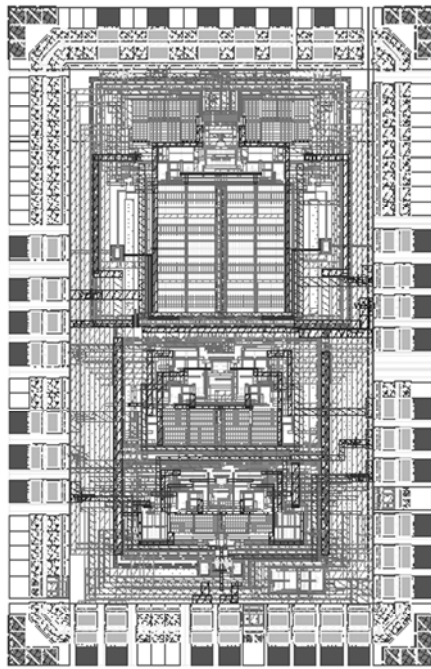
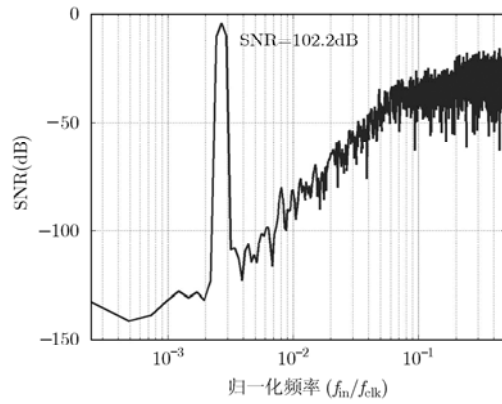


图 6 3 阶前馈级联 $\Sigma\Delta$ 模数调制器



(a)



(b)

图 7 SMIC 0.18 μm 1P6M 数字工艺实现的调制器版图及对应输出频谱

表 2 各级积分器系数及对应电容

	输入	第 1 级	第 2 级	第 3 级
	信号	积分器	积分器	积分器
求和系数	$a_0=1$	$a_1=1$	$a_2=2$	$a_3=2$
积分系数	$b_0=0.25$	$b_1=0.25$	$b_2=0.2$	$b_3=0.2$

对应的输出频谱。从图 7(b)中可以看出：前馈结构有效地抑制了谐波分量。调制器峰值信噪比 SNR 为

102.2 dB。在各种工艺和温度偏差情况下，该调制器最坏情况下功耗为 2.46 mW。

对于不同的 $\Sigma\Delta$ 模数调制器设计，输入信号带宽、最终的信噪比以及功耗等参数约束各不相同，因此通常将品质因子 FOM (Figure Of Merit) 作为评价性能的标准。表 3 给出了本设计与近期报道的低压低功耗调制器主要性能参数比较结果。从表中可以看出，与其它低压低功耗模数调制器相比，本设计具有更高的 FOM 值。

表 3 几种低压低功耗调制器性能比较

论文	电源电压(V)	工艺(μm)	动态范围(dB)	带宽(kHz)	功耗(μW)	FOM
Yao ^[1]	1.0	0.09	88	20	140	169.5
Goes ^[6]	0.9	0.18	83	10	200	165
Roh ^[7]	0.9	0.09	83	20	60	168
本文	1.2	0.18	102.2	24	2460	172

Goes^[6], Roh^[7]采用低阈值器件工艺; Yao^[1], 本文工作采用标准器件工艺。

4 结论

本文基于 0.18 μm 标准数字工艺设计了一个单环 3 阶前馈级联 $\Sigma\Delta$ 模数调制器。采用双输入交互控制的伪两级运算放大器构成调制器的每级积分器, 从而实现低压工作情况下高增益高摆幅的目标, 同时不会增加电路功耗。全互补 MOS 耗尽区电容结构使得整个调制器电路可以在标准的数字工艺下实现, 降低电路成本, 而其高线性度使得其非线性对整个调制器信噪比影响很小。仿真结果表明: 该调制器在 15.375 kHz 差分正弦输入时可以得到 102.2 dB 信噪比, 而总的电路功耗最坏情况时为 2.46 mW, 与近期其他类似电路相比本设计具有更高的品质因子。

参 考 文 献

- [1] Yao Libin. Low-power low-voltage sigma-delta modulators in nanometer CMOS [D]. Catholic University Leuven, Belgium, 2006.
- [2] Jeongjin R. High-Gain Class-AB OTA with Low Quiescent Current [J]. *Analogous Circuit and Signal Processing*, 2006, 47(2): 225-228.
- [3] David Baez-Villegas and Jose Silva-Martinez. Quasi rail-to-rail very low-voltage opamp with a single pMOS input differential pair [J]. *IEEE Transactions on Circuits and Systems—II: Express Briefs*, 2006, 53(11): 1175-1179.
- [4] Juan M, Carrillo, and Guido Torelli. 1-V rail-to-rail CMOS opamp with improved bulk-driven input stage [J]. *IEEE Journal of Solid-State Circuits*, 2007, 42(3): 508-517.
- [5] Yin Shujuan and Sun Yihe. Full compensated depletion-mode MOS-capacitor for pure digital technology low voltage switched-capacitor applications [C]. IEEE International Conference on Electron Devices and Solid-State Circuits. Taiwan, Dec. 2007: 913-916.
- [6] Goes J and Vaz B. A 0.9 V $\Sigma\Delta$ modulator with 80 dB SNDR and 83 dB DR using a single-phase technique [C]. IEEE ISSCC Dig. Tech. San Francisco, 2006: 74-75.
- [7] Roh J and Byun S. A 0.9 V 60 μW 1 bit fourth-order delta-sigma modulator with 83-dB dynamic range [J]. *IEEE Journal of Solid-state Circuits*, 2008, 43(2): 225-228.
- 殷树娟: 女, 1981 年生, 博士生, 从事模拟及混合信号电路设计的研究。
- 李翔宇: 男, 1977 年生, 博士, 从事密码芯片设计、模拟及混合信号电路设计的研究。
- 孙义和: 男, 1945 年生, 教授, 博士生导师, 中国电子学会高级会员, 研究方向为 LSI/VLSI 测试方法学和可测性设计、多媒体 VLSI 设计技术、网络和数据安全 VLSI 结构。