

具有预计算功能的新型绝热数值比较器设计

汪鹏君 曾小旁

(宁波大学电路与系统研究所 宁波 315211)

摘要: 该文通过对钟控传输门绝热逻辑(Clocked Transmission Gate Adiabatic Logic, CTGAL)电路和数值比较器电路工作原理及结构的研究,提出了一种基于 CTGAL 电路的具有预计算功能的新型绝热数值比较器设计方案。该方案具有冗余抑制作用,将其与利用 PAL-2N 电路设计的低功耗绝热数值比较器相比,功耗节省平均约 60%。PSPICE 模拟结果表明,此数值比较器逻辑功能正确,低功耗特性明显。

关键词: CTGAL 电路; 数值比较器; 低功耗; 电路设计

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2010)01-0214-05

DOI: 10.3724/SP.J.1146.2008.01718

Design of New Adiabatic Digital Comparator with Pre-Computational Function

Wang Peng-jun Zeng Xiao-pang

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: Through the study of the working principle and structure of Clocked Transmission Gate Adiabatic Logic (CTGAL) and digital comparator, a new design scheme of digital comparator which has the pre-computational function is proposed based on CTGAL. The scheme has the redundancy-restraining function, and it can attain energy saving of about 60% compared to the digital comparator based on PAL-2N. The PSPICE simulation results indicate that this digital comparator has correct logic function and the character of clearly low power.

Key words: CTGAL circuit; Digital comparator; Low-power; Circuit design

1 引言

微电子领域在本世纪最现实、最迫切的发展方向是由集成电路(IC)向集成系统(IS)方向的转变。由于系统芯片(System on Chip, SoC)的集成密度高、芯片尺寸大、工作速度快,使得系统的功耗迅速增加。过大的功耗已成为超大规模集成电路继续发展的一个重大障碍。

传统数字系统采用直流电源供电,能量总是以电能到热能不可逆转的形式消耗,而绝热 CMOS 电路采用交流能源供电,利用电源中的电感和电路中的节点电容形成 LC 振荡回路,有效地回收电路中节点电容存储的电荷,实现能量的重复利用,大幅度降低电路功耗^[1-4]。因此,研究低功耗绝热数字器件有其现实意义。

数值比较器是数字系统中重要的数字器件之一,是构成算术运算器的最基本单元,其用来判断两个数值的大小,结构分为并行和串行两种。业界已对数值比较器的功能进行了深入的研究^[5,6],但对

其低功耗方面的研究还不多。鉴此,本文在深入研究数值比较器的原理、冗余抑制技术和绝热电路的原理后,提出了一种基于钟控传输门绝热逻辑电路的具有预计算功能的新型绝热数值比较器。计算机模拟、验证其逻辑功能正确,并与基于 PAL-2N 结构的绝热数值比较器进行能耗比较,表明所设计的电路低功耗特性明显。

2 CTGAL 及其门电路设计

2.1 CTGAL 电路

CTGAL 电路是一种采用二相无交叠功率时钟的具有极低功耗的绝热电路^[7],如图 1 所示,其中 ϕ 为功率时钟源, $\bar{\phi}$ 为钟控时钟。其操作分为两级,第 1 级在钟控时钟 $\bar{\phi}$ 的控制下通过两个钟控 NMOS 管(N_1, N_2)输入信号(in, \bar{in})进行采样;第 2 级通过自举操作的 NMOS 管(N_3, N_4)以及组成 CMOS-latch 结构的 P_1, N_5, P_2, N_6 对负载充放电,使充放电为全绝热过程,从而极大地降低电路的功耗。

CTGAL 电路级联时以流水线方式工作,采用 2 相功率时钟驱动,各功率时钟的相位均比前级功率时钟滞后 180°,如图 2 所示。其中 CTGAL 采用下一级(或前一级)的功率时钟源作为其钟控时钟。

2008-12-18 收到, 2009-06-19 改回

国家自然科学基金(60776022),浙江省科技计划(2008C21166),宁波大学教授基金和胡岚优秀博士基金资助课题

通信作者: 汪鹏君 wangpengjun@nbu.edu.cn

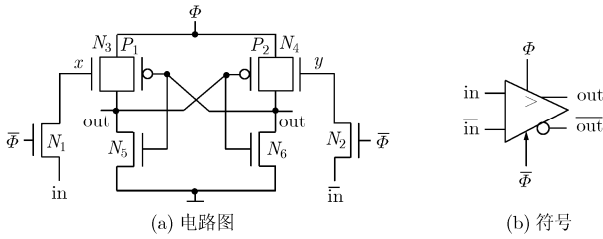


图 1 CTGAL 电路

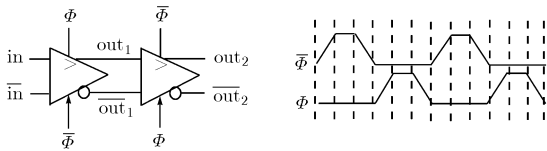


图 2 CTGAL 电路的级联与二相功率时钟

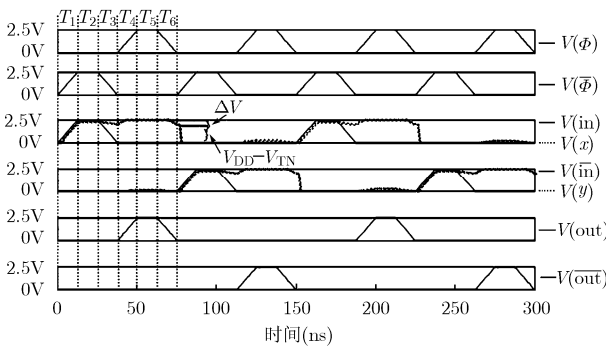


图 3 CTGAL 的模拟波形

图 3 给出了 CTGAL 电路的模拟波形, 输入信号 in 为“1010...”。一个功率时钟周期分为 6 个时间段: T_1, T_2, \dots, T_6 。时间段 $T_1 \sim T_3$ 统称为采样期, 实现对输入信号的采样。时间段 T_4, T_5, T_6 分别为逻辑赋值期、保持期、能量恢复期。

在时间段 $T_4 \sim T_6$, 由于输入信号及钟控信号均为 0 V, 故使得 N_1, N_2 保持在截止状态, 节点 x, y 处于浮动状态, 且必有一个处于浮动高电平 ($V_{DD} - V_{TN}$)

状态, 例如 x 节点。当 Φ 逐渐升高时, 功率时钟 Φ 对输出节点 out 赋值, 由于赋值期开始之前 N_3 管已经导通, 确保赋值开始时输出节点 out 就箝位于功率时钟 Φ 。赋值操作时, 由于节点 x 与 Φ 间的寄生电容作用, 处于浮动高电平的节点 x 将通过电容自举作用使它的电平超过 $V_{DD} - V_{TN}$ 。若 Φ 从 0 V 上升到 V_{DD} , 则节点 x 从 $V_{DD} - V_{TN}$ 上升到 $V_{DD} - V_{TN} + \Delta V$, 其中 $\Delta V = C_{GS} \times V_{DD} / (C_{GS} + C_{XB} + C_W)$, C_{GS} 是 N_3 的栅至源总电容, C_{XB} 是 N_1 的扩散电容 (B 表示衬底), C_W 是线电容。当 Φ 从 V_{DD} 下降到 0 V 时, 节点 x 下降了 $-\Delta V$, 即节点 x 电平最终恢复到 $V_{DD} - V_{TN}$ 。这样在能量恢复期间, P_1 管截止时 N_3 管仍导通, 确保赋值结束时输出节点 out 仍箝位于功率时钟 Φ , 消除了绝热电路输出端在能量恢复初期和末期由于阈值损失而引起的非绝热功耗。

2.2 CTGAL 门电路

在基于 CTGAL 电路的绝热门电路设计时, 首先在第 1 级操作中用钟控 NMOS 管 (如图 1 中的 N_1, N_2) 对各输入信号进行采样, 然后用互补 NMOS 逻辑块代替 CTGAL 中的 (N_3, N_4), 即可得到相应的门电路, 如图 4(a) 所示的多输入与门和图 4(b) 所示的多输入同或门。根据 CTGAL 电路的互补特性, 把 CTGAL 与门电路的反相输入作为电路的输入端即可实现或门功能。

3 绝热数值比较器设计

随着便携式设备需求的爆炸式增长及其芯片规模的迅速增大, 低功耗技术已成为当今集成电路的紧急技术需要^[8-12], 因此设计低功耗的数值比较器具有重要的实际意义。传统数值比较器采用直流电源供电, 能量总是以电能到热能不可逆转的形式消耗, 功耗大; 且对于多位比较器, 每次比较时, 必

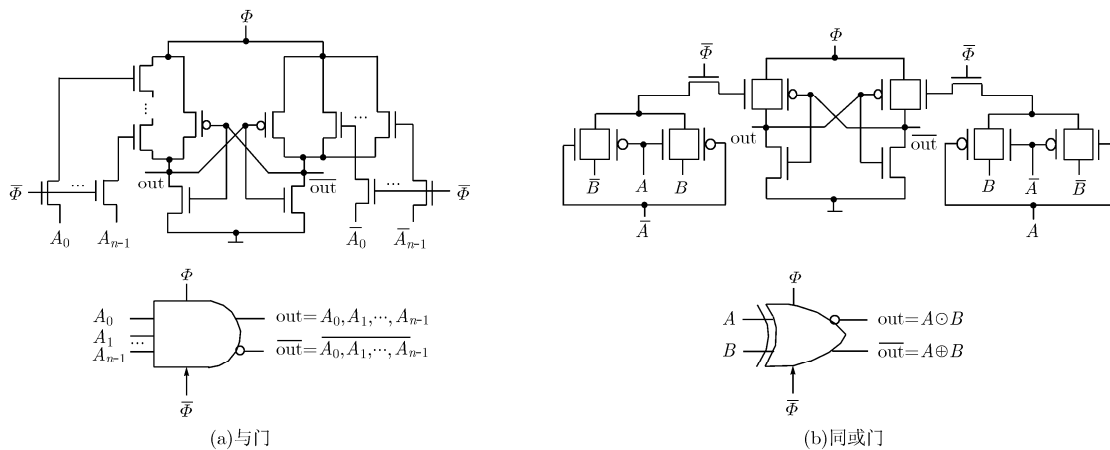


图 4 CTGAL 门电路

须对所有位进行操作,使所有门电路处于频繁的翻转,从而增加了电路的额外功耗。鉴于此,本文设计一种具有预计算功能的新型绝热比较器,其利用 CTGAL 门电路实现绝热功能,在很大程度上节省电路能耗;且利用预计算功能(即根据信号输入情况,判断电路输出端的变化与否,控制电路中间各环节信号的无效跳变,达到抑制无效翻转产生的冗余功耗),避免低位比较器中门电路的频繁翻转,加快电路运算,进一步降低电路功耗。

3.1 具有预计算一位绝热比较单元设计

具有预计算功能一位比较单元的功能如表 1 所示,其中 C 为预计算输入; A, B 为本位输入。由真值表可知,当 $C=0$ 时,输出保持不变,避免门电路的翻转;当 $C=1$ 时,对 A, B 进行大小比较。

表 1 一位比较单元真值表

输入			输出		
A	B	C	$Q_{A<B}$	$Q_{A>B}$	$Q_{A=B}$
×	×	0	0	0	1
0	0	1	0	0	1
0	1	1	1	0	0
1	0	1	0	1	0
1	1	1	0	0	1

根据表 1 可得一位比较单元逻辑表达式:

$$Q_{A<B} = C\bar{A}B \quad (1)$$

$$Q_{A>B} = CA\bar{B} \quad (2)$$

$$Q_{A=B} = \bar{C} + C(A \odot B) = \overline{Q_{A>B} + Q_{A<B}} \quad (3)$$

基于逻辑表达式(1),式(2),式(3),利用 CTGAL 电路设计的与门、或门以及同或门所实现的一位比较单元如图 5 所示,基于 CTGAL 绝热电路时移特性,电路利用缓冲器实现信号同步,可实现大于,小于,等于 3 种功能的输出。

当输入 A 为“101010...”, B 为“010101...”, C 为“000000111...”时,利用 PSPICE 对其进行模拟。图 6 给出了模拟波形,由绝热电路特性可知,电路输入到输出需用 3 个时钟周期,所以输出比输

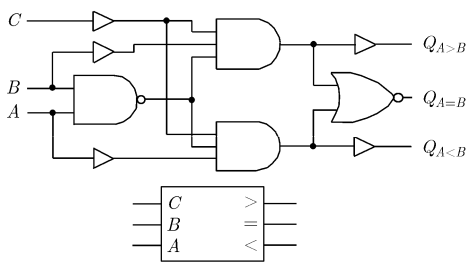


图 5 一位比较单元

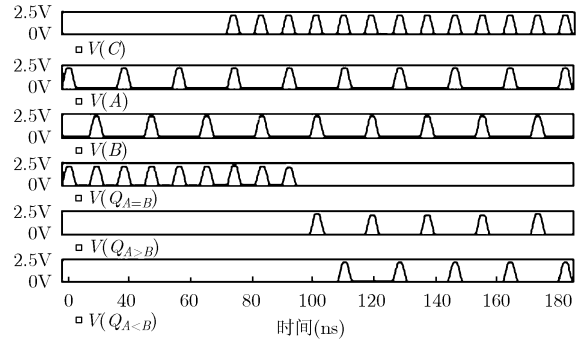


图 6 模拟波形

入延迟 3 个时钟周期。当 $C=0$ 时, $Q_{A=B}$ 逻辑值保持为“1111...”, $Q_{A>B}$, $Q_{A<B}$ 保持为“0000...”;当 $C=1$ 时,根据本位输入 A, B 的大小可得输出端 $Q_{A>B}$ 为“1010...”, $Q_{A<B}$ 为“0101...”,而 $Q_{A=B}$ 保持“0000...”,证明所设计电路具有正确的逻辑功能。

3.2 具有预计算多位绝热数值比较器设计

多位数值比较器分为串行比较和并行比较两种结构。串行比较器由于门延迟的影响,在实现多位数值比较时,其速度较低;与串行比较器相比,并行比较器的工作速度较快,当吞吐量一定时,可将工作频率降低,允许电路有较大延时,故可以采用较低电源电压,从而降低电路总功耗。鉴于此,本文设计一种基于 CTGAL 电路的具有预计算功能的新型多位并行绝热数值比较器,其预计算功能,使电路避免不必要的状态翻转,加快电路的运算速度,减少电路的冗余态,进一步降低电路的功耗。表 2 为多位数值比较器的真值表。其中 $I_{A>B}$, $I_{A<B}$, $I_{A=B}$ 为扩展输入端,用于多片数值比较器级联。

由表 2 可得到多位并行绝热数值比较器输出的逻辑表达式:

$$Q_{A=B} = (A_{n-1} \odot B_{n-1}) \cdots (A_1 \odot B_1)(A_0 \odot B_0)I_{A=B} \quad (4)$$

$$Q_{A>B} = \overline{Q_{A<B} + Q_{A=B}} + (A_{n-1} \odot B_{n-1}) \cdots (A_1 \odot B_1)(A_0 \odot B_0)I_{A>B} \quad (5)$$

$$Q_{A<B} = \bar{A}_{n-1}B_{n-1} + (A_{n-1} \odot B_{n-1})\bar{A}_{n-2}B_{n-2} + \cdots + (A_{n-1} \odot B_{n-1}) \cdots (A_1 \odot B_1)\bar{A}_0B_0 + (A_{n-1} \odot B_{n-1}) \cdots (A_0 \odot B_0)I_{A<B} \quad (6)$$

当只对一片 n 位的数值比较器进行操作时,扩展输入端 $I_{A>B}$, $I_{A<B}$ 接低电平,同时 $I_{A=B}$ 接高电平;当需要多片级联时,高位比较器的扩展端接至低位比较器的输出端,即仅当高位相等时才取决于低位的比较结果。基于多位数值比较器的逻辑表达式(4),式(5),式(6),结合上述一位绝热比较单元,可得基于 CTGAL 门电路设计的具有预计算功能的并行绝热数值比较器如图 7 所示,利用最高位输入

表 2 多位数值比较器真值表

输 入				输 出		
A_{n-1}, B_{n-1}	A_{n-2}, B_{n-2}	...	A_0, B_0	$I_{A>B}, I_{A<B}, I_{A=B}$	$Q_{A>B}, Q_{A<B}, Q_{A=B}$	
$A_{n-1} > B_{n-1}$	× ×		× ×	× × ×	1 0 0	
$A_{n-1} < B_{n-1}$	× ×	...	× ×	× × ×	0 1 0	
$A_{n-1} = B_{n-1}$	$A_{n-2} > B_{n-2}$		× ×	× × ×	1 0 0	
⋮	⋮		⋮	⋮	⋮	
$A_{n-1} = B_{n-1}$	$A_{n-2} = B_{n-2}$		$A_0 < B_0$	× × ×	0 1 0	
$A_{n-1} = B_{n-1}$	$A_{n-2} = B_{n-2}$		$A_0 = B_0$	1 0 0	1 0 0	
$A_{n-1} = B_{n-1}$	$A_{n-2} = B_{n-2}$		$A_0 = B_0$	0 1 0	0 1 0	
$A_{n-1} = B_{n-1}$	$A_{n-2} = B_{n-2}$		$A_0 = B_0$	0 0 1	0 0 1	

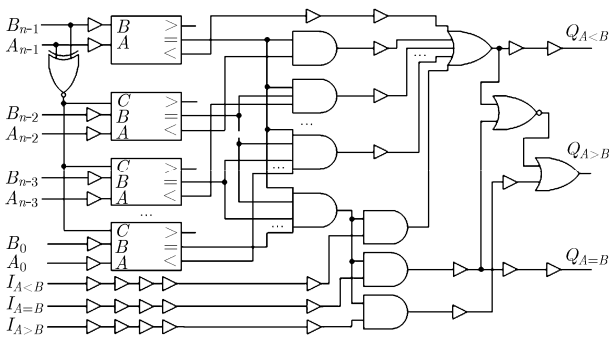
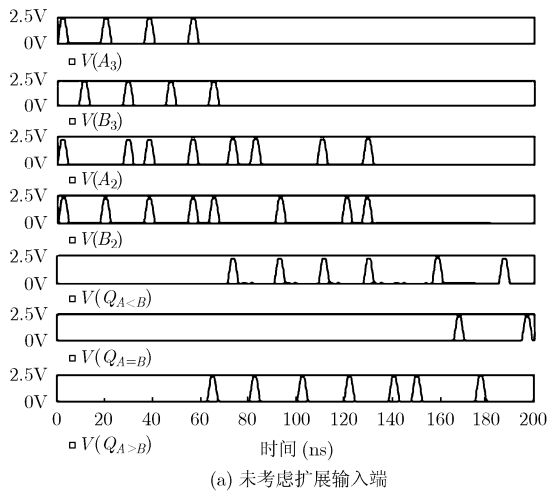


图 7 具有预计算多位绝热数值比较器

端对所有 $n-1$ 个低位预计算输入端 C 进行控制实现预计算功能。

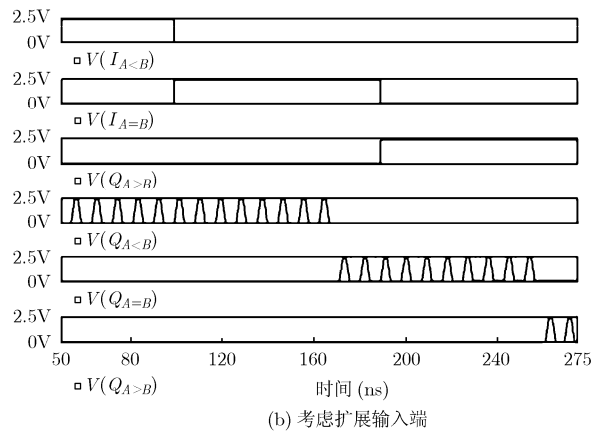
4 计算机模拟与结论

采用 TSMC 0.25 μm CMOS 工艺器件参数, 以 4 位绝热数值比较器为例, 对其逻辑功能进行模拟。



(a) 未考虑扩展输入端

首先不考虑扩展输入端(扩展输入端 $I_{A>B}$, $I_{A<B}$ 接低电平, $I_{A=B}$ 接高电平), 对两组 4 位输入(A_3, A_2, A_1, A_0), (B_3, B_2, B_1, B_0) 进行逻辑功能模拟, 设 A_3 为“101010100...”, B_3 为“0101010100...”, A_2 为“10011010110010100...”, B_2 为“10101011001001100...”, 其它输入端为“1111...”, 可得到如图 8(a) 所示的模拟波形。考虑扩展输入端的作用, 对两组输入再进行逻辑功能模拟, 其中两组输入端设为相等, 扩展输入端 $I_{A<B}$ 在 0~99 ns 取高电平, $I_{A=B}$ 在 99~189 ns 取为高电平, $I_{A>B}$ 在大于 189 ns 取高电平, 可得如图 8(b) 所示的模拟波形, 当 $I_{A<B}$ 为高电平时, 输出 $Q_{A<B}$ 为“1111...”, $Q_{A=B}$ 和 $Q_{A>B}$ 为“0000...”, 当 $I_{A=B}$ 为高电平时, 输出 $Q_{A=B}$ 为“1111...”, $Q_{A>B}$ 和 $Q_{A<B}$ 为“0000...”, 当 $I_{A>B}$ 为高电平时, 输出 $Q_{A>B}$ 为“1111...”, $Q_{A<B}$ 和 $Q_{A=B}$ 为“0000...”。模拟结果表明: 具有预计算功能的绝热数值比较器具有正确的逻辑功能。



(b) 考虑扩展输入端

图 8 绝热数值比较器功能模拟波形

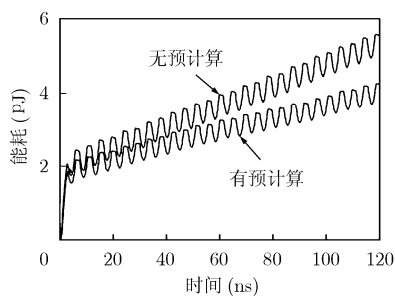


图 9 有和无预计算绝热比较器能耗

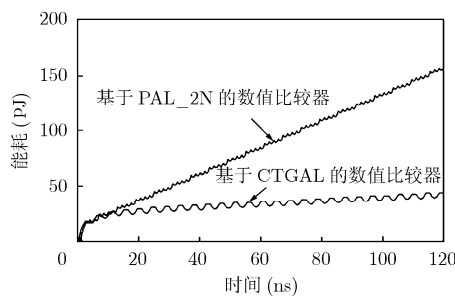


图 10 采用不同单元电路设计的绝热比较器能耗

为验证基于 CTGAL 门电路设计的具有预计算功能绝热数值比较器的低功耗特性, 首先对预计算功能进行瞬态能耗比较, 以 1 位绝热比较单元为例, 能耗比较结果如图 9 所示; 最后将基于 CTGAL 门电路设计数值比较器与基于 PAL-2N 门电路^[13]设计的绝热数值比较器进行瞬态能耗比较, 以 4 位绝热数值比较器为例, 能耗比较结果如图 10 所示。由图 9 和 10 分析得到, 基于 CTGAL 电路的绝热数值比较器平均节省能耗约 60%, 且随着时间的增加, 电路节省能耗越明显。

CTGAL 电路利用电容自举技术, 使电路在赋值初期和能量恢复末期, 输出信号均箝位于功率时钟, 消除了由于阈值损失而引起的非绝热功耗。在此基础上结合冗余抑制技术设计的具有预计算功能的低功耗绝热数值比较器能耗节省显著, 且避免电路中的冗余态。这有利于进一步研究低功耗运算单元和低功耗时序电路, 推动低功耗数字集成电路的发展。

参 考 文 献

- [1] 汪鹏君, 方振贤, 刘莹. 基于 2N-2N2P 结构的绝热非整数除电路设计[J]. 电子与信息学报, 2006, 28(2): 380-384.
Wang Peng-jun, Fang Zhen-xian, and Liu Ying. Design of adiabatic non-integer division circuit based on the 2N-2N2P structure[J]. *Journal of Electronics & Information Technology*, 2006, 28(2): 380-384.
- [2] Wisetphanichkij S P and Dejhan K. The combinational and sequential adiabatic circuit design and its applications[J]. *Circuits, Systems, and Signal Processing*, 2009, doi: 10.1007/s00034-009-9096-5.
- [3] Thomsen M K and Gluck R. Optimized reversible binary-coded decimal adders[J]. *Journal of Systems Architecture*, 2008, doi: 10.1016/j.sysarc.2007.12.006.
- [4] Sarandy M S, Wu L A, and Lidar D A. Consistency of the adiabatic theorem[J]. *Quantum Information Processing*, 2004, 3(6): 331-349.
- [5] 吴晓波, 吴蓉, 严晓浪. 一种高精度动态 CMOS 比较器的设计与研制[J]. 电路与系统学报, 2007, 12(4): 118-123.
Wu Xiao-bo, Wu Rong, and Yan Xiao-lang. A precise dynamic

- CMOS comparator[J]. *Journal of Circuits & Systems*, 2007, 12(4): 118-123.
- [6] Liu Ki and Yang Hai-gang. A CMOS dynamic comparator for pipelined ADCs with improved speed/power ratio[J]. *Journal of Semiconductors*, 2008, 29(1): 75-81.
- [7] Wang Peng-jun and Yu Jun-jun. Design of two-phase sinusoidal power clock and clocked transmission gate adiabatic logic circuit[J]. *Journal of Electronics(China)*, 2007, 24(2): 225-231.
- [8] Hamed H F A, Kaya S, and Starzyk J A. Use of nano-scale double-gate MOSFETs in low-power tunable current mode analog circuits[J]. *Analog Integrated Circuits and Signal Processing*, 2008, 54(3): 211-217.
- [9] Chen Feng, Bakkaloglu B, and Ramaswamy S. Design and analysis of a CMOS passive $\Sigma\Delta$ ADC for low power RF transceivers[J]. *Analog Integrated Circuits and Signal Processing*, 2009, 59(2): 129-141.
- [10] Navi K, et al. A novel low-power full-adder cell for low voltage[J]. *Integration, the VLSI Journal*, 2009, doi: 10.1016/j.vlsi.2009.02.001.
- [11] Senthilpari C, Singh A K, and Diwakar K. Design of a low-power, high performance, 8x8 bit multiplier using a Shannon-based adder cell[J]. *Microelectronics Journal*, 2008, 39(5): 812-821.
- [12] Naderi A, et al. A new high speed and low power four-quadrant CMOS analog multiplier in current mode[J]. *International Journal of Electronics and Communications(AEU)*, 2008, doi:10.1016/j.aee.2008.06.002.
- [13] 谢小平, 阮晓声. 二种 EPAL 绝热开关电路[J]. 半导体学报, 2004, 25(11): 1526-1531.
Xie Xiao-ping and Ruan Xiao-sheng. Two types EPAL adiabatic logic circuits[J]. *Journal of Semiconductors*, 2004, 25(11): 1526-1531.

汪鹏君: 男, 1966 年生, 博士, 教授, 博士生导师, 目前主要从事高信息密度和低功耗集成电路理论及设计方面的研究工作。

曾小旁: 男, 1983 年生, 硕士生, 研究方向为多值逻辑电路和低功耗集成电路理论及设计。