

FPGA 片上时钟发生器快速自校准方案

董方源^{①②} 杨海钢^① 韦援丰^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100039)

摘要: 该文提出了一种新颖的基于频率-电压转换技术的锁相环(PLL)快速自校准方案, 可用于 FPGA 片上时钟产生单元内使用多段调谐环形压控振荡器(VCO)的锁相环。文章详细讨论了校准电路及用作时钟发生器的锁相环关键模块的设计, 并进行了整体仿真验证。仿真结果说明, 系统能够在发生工艺偏差或者参考频率变化时进行快速自校准。该文设计的校准电路及时钟发生器以较低 VCO 增益获得较宽的频率调谐范围, 并具有较快的锁定时间, 适用于在 FPGA 器件的片上时钟产生单元中应用。

关键词: FPGA; 时钟发生器; 压控振荡器; 频率-电压转换; 自校准

中图分类号: TN75; TN402

文献标识码: A

文章编号: 1009-5896(2009)06-1521-04

Scheme of Fast Self-Calibration for a FPGA Chip Clock Generator

Dong Fang-yuan^{①②} Yang Hai-gang^① Wei Yuan-feng^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University of the Chinese Academy of Sciences, Beijing 100039, China)

Abstract: This paper presents a novel PLL self-calibration scheme based on Frequency-to-Voltage (F2V) Converting technique, which is fast and applicable for the Phase-Locked Loop(PLL) using a multi-band ring Voltage Controlled Oscillator (VCO) in the clock generation module of a FPGA device. Designs of key modules in the self-calibration circuit are detailed, and simulation of the full system is performed. Simulation results indicate that the system can self-calibrate quickly and properly in case of process variation or reference frequency switch. The clock generator using the proposed self-calibration circuit can obtain a wide frequency operating range while maintaining a relatively low VCO gain and it locks fast, as make it suitable for FPGA clock generation.

Key words: FPGA; Clock generator; VCO; Frequency-to-voltage converting; Self-calibration

1 引言

现场可编程门阵列(FPGA)要求片上集成时钟发生器, 一般用锁相环(PLL)实现。FPGA 的通用性要求时钟发生器必须具有足够宽的频率调谐范围, 并保证在制造工艺以及环境温度、电源电压和偏置电流发生变化^[1-3]的条件下仍能覆盖期望的频率范围。然而随着工艺进步, FPGA 器件所用电源电压不断降低, 如仍采用常规 PLL 设计将导致压控振荡器(VCO)增益过高。为缓和调谐范围和 VCO 增益之间的矛盾, 将 VCO 设计为具有多段调谐特性^[3]。

使用多段调谐 VCO 的 PLL 必须进行自校准以使其工作于适当的调谐特性曲线上, 校准操作时间将直接影响 PLL 锁定的快慢。存在模拟^[3]和数字^[4,5]两种类型的校准方案。模拟校准方案中, 每次校准操作 PLL 回路需经过一次锁定过程, PLL 总的锁定时间为 $T_1 = T_L N_{\text{comp}}$, 其中 N_{comp} 为校准操作次数, T_L 为每次校准时 PLL 锁定时间。采用自适应频率校准(AFC)技术的数字校准方案在校准过程中只经历一次

锁定过程, 但基于脉冲计数的鉴频方法导致每次校准操作的时间仍然较长, 成为提高系统锁定速度的瓶颈。本文提出了一种新颖的基于频率-电压转换的校准方案, 显著缩短了每次校准操作的时间, 从而加速系统锁定。

本文内容如下安排: 在第 2 节中在分析数字校准方案限制校准速度提高原因的基础上给出了本文提出的校准方案及电路实现, 第 3 节中对采用本文所提出的校准方案的时钟发生器进行了模拟验证以证明其有效性, 最后是本文结论。

2 校准方案及电路实现

2.1 校准方案设计

采用自适应频率校准(AFC)技术的数字校准方案原理如图 1 所示。PLL 回路在校准阶段断开, 鉴频模块的输出信号 high 为高指示参考频率较快, low 信号为高则指示反馈频率较快, end 信号为高时表示参考频率已进入当前 VCO 调谐范围。

在 AFC 中, 校准时间 T_{AFC} 由式(1)确定^[4]:

$$T_{\text{AFC}} = N_{\text{cut}} T_{\text{FR}} N_{\text{comp}} \quad (1)$$

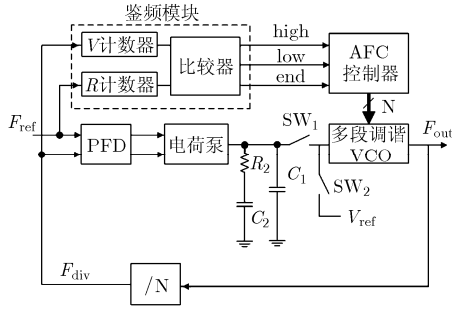


图 1 AFC 时钟发生器

其中 N_{cnt} 是计数器长度, T_{FR} 是参考频率周期, N_{comp} 是校准操作次数. T_{FR} 由系统决定, 通常不能改变. N_{comp} 由搜索 VCO 调谐特性的算法决定, 文献[4]已将其减少到最小, 为进一步缩短校准时间, 只有减小 N_{cnt} . 为避免初始相位对计数结果的影响, 计数器长度 N_{cnt} 必须满足:

$$N_{cnt} > F_{div} / |F_{ref} - F_{div}| \quad (2)$$

在期望的调谐特性附近 $|F_{ref} - F_{div}|$ 的值较小, 导致 N_{cnt} 一般在 100 以上, 与缩短校准时间的要求矛盾. 本文改变了在频域上用脉冲计数比较频率高低的做法, 利用频率-电压转换电路把信号频率直接转换为电压后进行比较, 能够减小 N_{cnt} , 从而缩短校准时间. 本文设计的包含自动校准电路的 FPGA 时钟发生器的框图和鉴频模块分别如图 2(a)和图 2(b)所示.

在图 2(a)中, AFC 控制器采用文献[4]中的搜索算法实现, 其初始估计码可通过 FPGA 系统配置链设置^[6]. 在图 2(b)中, ‘脉冲’ 电路为脉冲产生电路, 用于将锁定信号 LD 的下降沿转换为正脉冲. 在本文方案中, 为了缩短校准阶段的时间, 增加了和锁相回路中的 ‘多段调谐 VCO 1’ 完全相同的 ‘多段调谐 VCO 2’. 在校准阶段, 开关 SW_L 断开, SW_c 和 SW_c' 闭合, VCO 1 和 VCO 2 的控制电压分别是期望的滤波器输出电压范围的下限 V_H 和上限 V_L .

把参考信号 F_{ref} 以及经过分频的 VCO 输出信号 F_{div} 和 F_l 分别输入鉴频模块, 由频率-电压转换电路(F2V)将其转换为直流电平. 由于频率-电压转换电路的输出电平反比于输入信号频率, 所以通过比较各 F2V 模块的输出电平 v_1, v_2 和 v_3 之间的关系即可判断当前的 VCO 频率调谐范围是否能满足频率综合要求, 当参考信号经过回路倍频后落入当前 VCO 频率调谐范围时, 满足 $v_3 < v_2 < v_1$. 后面将说明, 每段调谐特性所需校准时间仅为 16 个参考信号周期, 因此能显著提高校准速度. 校准结束后, 开关 SW_L 闭合, SW_c 和 SW_c' 断开, 锁相回路开始工作, 同时将 VCO 2 关闭.

2.2 F2V 电路的实现

本文提出的校准方案的核心是 F2V 模块, 其电路如图 3(a)所示, 通过对电容 C_1 充电和 C_1 和 C_2 之间的电荷重分配将输入信号频率转换为直流电平 V 输出.

其中用 D 触发器实现 2 分频使分频后信号 f_d 的占空比为 50%, 以保证转换输出电压 V 反比于输入信号频率 f . ‘脉冲发生器’ 电路用于产生控制电容 C_1 和 C_2 的充放电的脉冲信号, 该电路的输出信号波形如图 3(b)所示. 与文献[7]中的频率-电压转换电路相比, 图 3(a)所示电路中增加了控制脉冲 ϕ_3 和晶体管 M_{n5} , 用于将电容 C_1 彻底放电, 从而使节点 N_o 的电平在下个充电周期开始之前等于地电平, 否则 C_1 充电后的电压将与充电前的电压有关, 最终导致输出电压误差. 图 3(c)示出了当输入信号频率为 40 MHz, M_{n1} 的尺寸为 $4\mu/0.18\mu$ 时, 本文及文献[7]的 F2V 电路工作过程中节点 N_o 处电压的波形, 文献[7]的电路充电误差约 10.2 mV, 本文电路则在 0.5 mV 以下.

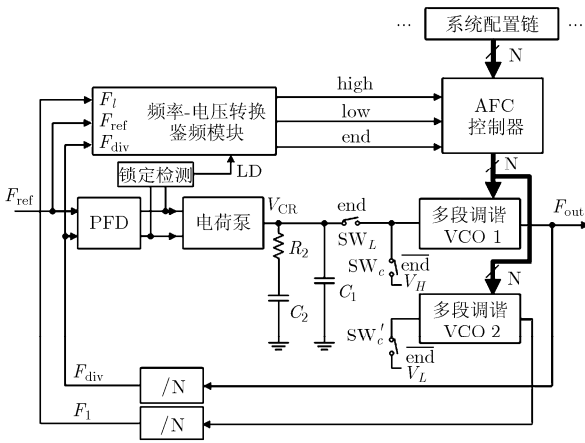
经过 K 个周期后, 电路的输出节点处的电平 V 与节点 N_o 充电后的最大电平间的误差为

$$\Delta V_e = (1/2^K)V_x \quad (3)$$

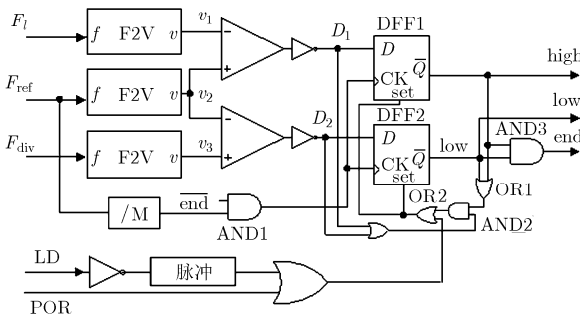
当 $K=8$, 即经 16 个参考频率周期后该误差即小于 1%.

3 仿真和分析

除了校准回路以外, 基于 PLL 的时钟发生器的锁相回路还包括鉴频鉴相器(PFD)、电荷泵、无源二阶滤波器、多段调谐 VCO 和分频器^[1-5,8]. 使用 SMIC 0.18 μm 混合信号工艺模型在 Mentor ELDO 中实现采用本文提出的自校准方法的 FPGA 时钟发生器电路(时钟发生器 1). 时钟发生器 1 使用的 VCO 具有 16 条调谐特性曲线. 在相同环境中采用单调



(a) FPGA 时钟发生器框图



(b) 基于频率-电压转换的鉴频电路

图 2

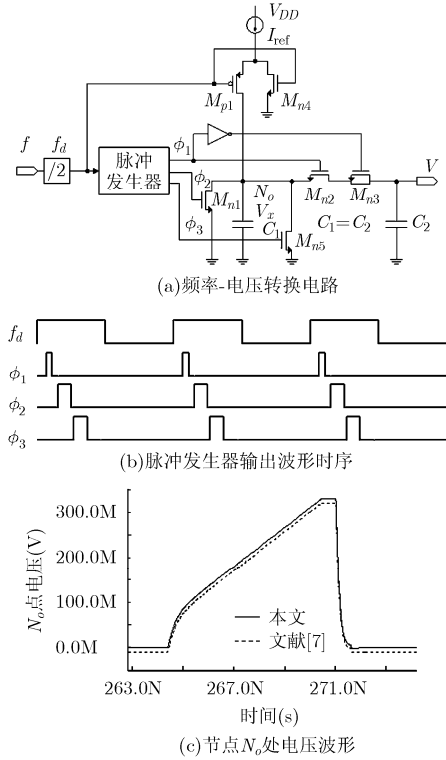


图 3

谐特性 VCO 实现了具有相同开环带宽、相位裕度以及频率调谐范围的常规时钟发生器(时钟发生器 2)用于比较。除了 VCO 外,它们具有相同的元件。表 1 示出了这两个时钟发生器的设计参数。

表 1 时钟发生器设计参数

设计	时钟发生器 1	时钟发生器 2
工艺	0.18 μm	0.18 μm
电源电压(V)	1.8	1.8
带宽(kHz)	300	300
相位裕度($^\circ$)	60	60
平均 VCO 增益(MHz/V)	70	400
电荷泵电流(μA)	15	15
滤波器 MIM 电容面积($\mu\text{m} \times \mu\text{m}$)	360 \times 340	360 \times 1680

采用多段调谐 VCO 能够显著减小 VCO 增益,根据文献[3],这有助于降低 PLL 输出抖动,同时,较低的 VCO 增益也导致滤波器电容面积减小,便于把时钟发生器电路设计与 FPGA 阵列中其他逻辑单元的面积相当,以提高 FPGA 器件的逻辑容量。

图 4 示出了这两种时钟发生器 VCO 控制电压的瞬态响应仿真波形。第 1 部分(0-100 μs)模拟制造工艺变化使 VCO 调谐特性发生偏移,时钟发生器 1 中 AFC 控制器的初始估计

码需要被校准,这种情况下电路需要最多两次校准,第 1 部分中 VCO 振荡频率为 400MHz,参考频率 20MHz。第 2 部分(100 μs 以后)则将参考频率切换为 15MHz,模拟系统稳定工作过程中因各种原因导致 PLL 环路失去锁定时情况。

在第 1 部分,使用多段调谐 VCO 的时钟发生器 1 首先经过 $16 \times 0.05 \times 2 = 1.6 \mu\text{s}$ 的校准过程,此时经过分频的 VCO 输出信号频率已接近参考频率,再经过约 25 μs 后锁定;在第 2 部分中,参考频率切换后经过约 1 μs 系统检测到失去锁定,开始再次进行校准,经过 $16 \times 0.067 \times 2 = 2.14 \mu\text{s}$ 后校准完成,再经过约 25 μs 后锁定,时钟发生器 1 锁定时间小于 30 μs 。时钟发生器 2 经过若干次周期滑动才进入锁定范围,在上述仿真中达到锁定状态需要的时间分别为 80 μs 和 40 μs 。图 4 说明,和使用单调谐特性 VCO 的时钟发生器一样,使用多段调谐 VCO 的时钟发生器能够在外部条件变化时自动校准调谐特性,保持系统锁定;并且,在使用单调谐特性 VCO 的时钟发生器不采用其他加快锁定的措施时,其锁定时间大于使用多段调谐 VCO 的时钟发生器。

图 5 示出了锁相回路特性相同,分别采用数字校准方案和本文设计的校准方案进行自校准时 VCO 控制电压的波形,仿真中将数字校准电路中的计数长度设为 128,第 1 部分和第 2 部分所代表的模拟条件与图 4 相同。

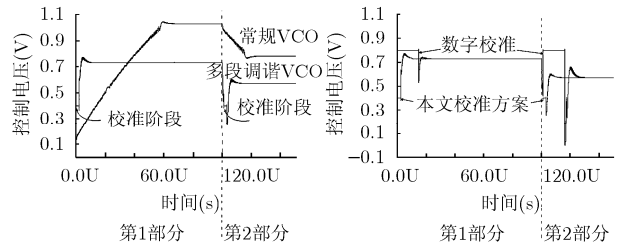


图 4 两种时钟发生器 VCO 控制电压瞬态响应比较

图 5 不同校准方案校准时间的比较

从图 5 可以看出,两种校准方案中,VCO 控制电压稳定最终稳定在同一值上,说明最终输出相同频率信号,但由于本文方案比数字校准方案所需校准时间更短,系统能够更快地锁定。

表 2 用更具一般性的表达式给出了在锁相回路特性相同的条件下,时钟发生器采用不同的校准方案在最坏情况下达到锁定状态需要的时间。

表 2 不同校准方案锁定时间比较

校准方法	总锁定时间
文献[3]	$T_1 = T_L N_{\text{comp}}$
文献[4]	$T_2 = N_{\text{cut}} T_{\text{FR}} N_{\text{comp}} + T_L$
本文	$T_3 = 16 T_{\text{FR}} N_{\text{comp}} + T_L$

表 2 中 T_L 为环路锁定时间, T_{FR} 为参考信号周期, N_{comp} 为搜索算法优化后的校准次数, N_{cnt} 为数字校准方案的计数器计数值。根据前面的分析, 通常 $N_{cnt} > 100$, 并且在基于 PLL 的时钟发生器中通常满足 $T_L \gg T_{FR}$, 在此条件下 $T_1 > T_2 > T_3$, 即本文的方法具有最快的校准速度。

4 结束语

本文中提出的基于频率-电压转换的校准电路能够在 16 个参考频率信号周期内进行一次校准操作, 从而能够显著缩短校准操作时间, 加快锁相环锁定速度。该电路能够在发生工艺偏差或者参考频率变化时对基于锁相环的时钟发生器进行校准。本文设计的校准电路及时钟发生器以较低 VCO 增益获得较宽的频率调谐范围, 并具有较快的锁定时间, 适于在 FPGA 器件的片上时钟产生单元中应用。

参 考 文 献

- [1] Kuang Xiaofei and Wu Nanjian. A fast-settling PLL frequency synthesizer with direct frequency presetting[C]. IEEE International Solid State Circuits Conference, San Francisco, USA, 2006: 204-206.
- [2] Loke A L S, Barnes R K, and Wee T T, *et al.* A versatile 90-nm CMOS charge-pump PLL for SerDes transmitter clocking[J]. *IEEE J. Solid State Circuits*, 2006, 41(8): 1894-1907.
- [3] Lin T H and Kaiser W J. A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop[J]. *IEEE J. Solid State Circuits*, 2001, 36(3): 424-431.
- [4] Lee K S and Sung E Y, *et al.* Fast AFC technique using a code estimation and binary search algorithm for wideband frequency synthesis[C]. Proceedings of ESSCIRC, Grenoble, France, 2005: 181-184.
- [5] Lee H, Cho J K, and Lee K S, *et al.* A Σ - Δ fractional-N frequency synthesizer using a wide-band integrated VCO and a fast AFC technique for GSM/GPRS/WCDMA applications[J]. *IEEE J. Solid State Circuits*, 2004, 39(7): 1164-1169.
- [6] Altera Corporation. Cyclone III Device Handbook v1.2. 2007: 10.2-10.15.
- [7] Djemouai A, Sawan M, and Slamani M. High performance integrated CMOS frequency-to-voltage converter[C]. Proceedings of the Tenth International Conference on Microelectronics, Monastir, Tunisia, 1998: 63-66.
- [8] Lee T. The Design of CMOS Radio-Frequency Integrated Circuits, second edition[M]. Cambridge University Press, Cambridge, England, 2004: 561-609.

董方源: 男, 1976 年生, 博士生, 从事大规模集成电路设计技术研究。

杨海钢: 男, 1960 年生, 研究员, 博士生导师, 中科院“百人计划”引进国外杰出人才, 主要研究方向为数模混合信号、SOC 设计技术和大规模集成电路设计技术。