

CMOS 差分电感和串联电感对的建模与分析

潘杰^{①②③} 杨海钢^① 杨立吾^③

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100049)

^③(中芯国际集成电路制造有限公司射频应用和设计支持部 上海 201203)

摘要: 该文分析了基于中芯国际 0.18 μm CMOS 工艺的差分电感和串联电感对, 提出了电感在射频 CMOS 差分电路中的应用原则。研究了串联电感对之间的串扰效应, 并提出了能准确反映互感效应、衬底容性损耗效应以及线圈间容性耦合的完整串扰模型。最后, 通过对一组变间距的电感对进行测量分析, 验证了该模型的准确性和适用性。

关键词: CMOS; 差分电感; 串联电感对; 串扰; 互感; 衬底容性损耗

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2009)05-1264-04

Modeling and Analysis of CMOS Differential Inductors and Series-Connected Inductors

Pan Jie^{①②③} Yang Hai-gang^① Yang Li-wu^③

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

^③(RF Application Group, SMIC, Shanghai 201203, China)

Abstract: This paper models and analyses differential inductors and series-connected inductors from SMIC's 0.18 μm CMOS process, and then proposes a design rule of inductors in RF CMOS differential circuits. This paper also presents a new model of series-connected inductors, in which mutual inductance, substrate capacitive loss and capacitive effects between windings are taken into consideration. Finally, a group of series-connected inductors with different spacing are designed and fabricated, and their measured results verify this model.

Key words: CMOS; Differential inductor; Series-connected inductors; Crosstalk; Mutual inductance; Substrate capacitive loss

1 引言

射频集成电路中, 无源器件尤其是片上电感元件起了不可替代的作用, 例如在压控振荡器、低噪声放大器、混频器以及功率放大器等电路模块中, 分别起着阻抗匹配、频率调节、差分激励等作用。目前 CMOS 工艺中普遍使用中空结构的平面螺旋电感, 所产生的高频磁力线可以穿透目前 CMOS 工艺中的任何材料, 并以电感为中心向外辐射, 这样就有部分电磁能会泄露到邻近的电感中, 引起电感间不可预料的串扰效应。为减少电感间耦合效应, 可以采用微机械加工法将电感浮空, 或采用深沟槽将器件的衬底表面完全隔离, 或采用地保护环来吸收衬底表面电荷, 或设计成绕线宽度变化的电感等^[1,2]。额外甚至特殊的工艺步骤并不适用于大规模生产, 很有必要对普通 CMOS 工艺下的电感串扰进行深入研究。目前各工艺厂商的设计规范中对电感间安全隔离距离都缺乏明确的定义, 导致设计者进行某些电感集中的电路(如 LNA)的设计时, 为获得良好的隔离度, 就不得不将电

感与电感之间以及电感与无源器件之间的距离拉到最大, 浪费了大量的版图面积^[3]。

CMOS 电感的衬底损耗随着频率的升高而增大, 从作用方式上分为两种: (1) 由于每个电感都是一个独立的高频电磁场源, 其磁力线可以穿透到衬底内部, 因此该交变磁场会引发衬底产生与线圈中电流走向相反的感应涡流; (2) 由于线圈的电势会随着电感外接信号变化而变化, 因此衬底表面的感应电荷就会相应地进行充放电, 电荷的这种规律性流动产生了衬底表面附近的电场电流^[4]。实际上, 电感之间也存在 3 种耦合作用: (1) 由于高频下趋肤效应使感应电场电流和感应电感涡流主要集中在衬底的表面附近, 因此导致感应电场电流之间以及感应涡流之间都会通过衬底互相影响, 称为衬底串扰效应; (2) 由于磁力线是发散的, 导致与电感线圈相交链的部分磁通量又与另外的电感线圈相交链, 从而产生了线圈间的互感耦合效应; (3) 由于邻近的电感线圈之间存在时变的电势差, 因此电感线圈之间也会产生分布式的容性耦合量, 考虑到电感间的距离要远远大于电感内部绕线间的距离, 因而该容性耦合量将远远小于电感内部的容性耦合量。为了精

地研究电感间的串扰效应, 本文选取了串联电感对作为例子, 首先分析了差分激励下的串联电感对, 其次通过变化电感之间的距离来分析了电感的间隔距离的影响, 最后总结出了电感之间的安全隔离距离。

2 差分电感和差分的电感对串联结构

如图1所示, 差分的电感有两种实现方式: (a) 串联的电感对; (b) 差分电感。从对称性来看, 差分电感比串联的电感对要差, 原因在于: 金属层的差异性会在绕线交叉处引入不可避免的非对称量, 这点在偶数圈的差分电感中表现更加明显^[5]。

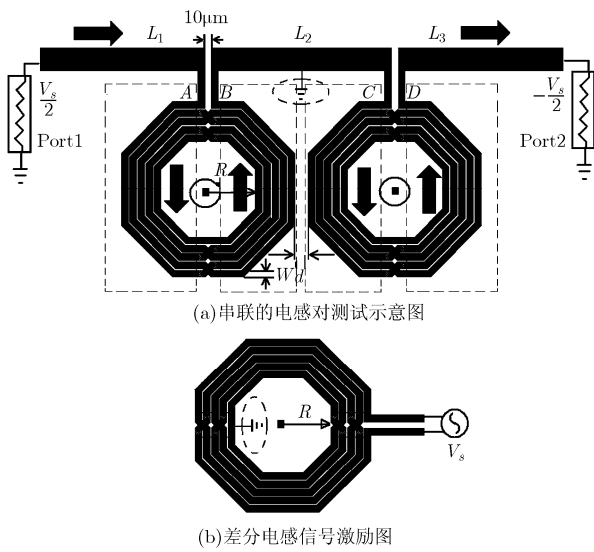


图1

图1(a)为差分激励状态下的串联电感对, 箭头所示为某一时刻的电流流向。10GHz 内由于整体金属导线长度远远小于波长, 可以忽略电流沿导线发生的相位变化。连线 L_1 、 L_2 、 L_3 金属宽度为 $32\mu\text{m}$, 两两间隔为 $10\mu\text{m}$, 电流在这3段连线上具有相等的幅度和相位, 忽略电感连接处的非均匀性和非连续性, 这样 Port1 和 Port2 之间的总电感量就为连线的自感量、两个电感的自感量以及这三者之间的互感量之和。当电感间距变化时, 电感耦合的变化量就体现为总体感值的变化量。

为分析差分电感和串联的电感对, 本文设计了如表1所示的一组电感结构。其中 W 为绕线金属宽度, S 为绕线间距, T 为绕线圈数, R 为内半径, d 为电感间的距离。测试时, 差分电感和串联电感对分别采用 Through 结构和 Open 结构来完成去嵌入效应过程。

测量过程完全基于普通两端口网络分析仪, 先测量出单端激励的散射参数矩阵, 再以此构造出对应的差分激励的参数^[6,7]。下标“se”和“diff”分别代表单端激励状态和差分激励状态。如图2所示, 测试结果表明: 与串联的电感对 R70_d100 相比, 差分电感 R140 占用了相同的面积, 并且具有相

表1 器件编号和结构描述

编号	器件结构
R70_d20	W10S2T5R70 串联, $d=20\mu\text{m}$
R70_d40	W10S2T5R70 串联, $d=40\mu\text{m}$
R70_d60	W10S2T5R70 串联, $d=60\mu\text{m}$
R70_d80	W10S2T5R70 串联, $d=80\mu\text{m}$
R70_d100	W10S2T5R70 串联, $d=100\mu\text{m}$
R70	W10S2T5R70
R140	W10S2T5R140

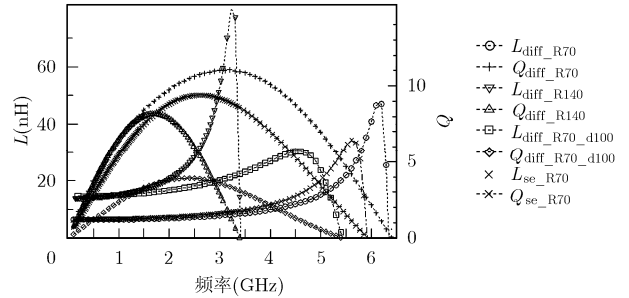


图2 差分电感和差分的电感对的测试结果

同的感值, 但是总线长度缩短了 13.5%, Q 峰值提高了 1 倍, 自谐振频率下降了 37%; 与差分电感 R70 相比较, 差分电感 R140 的感值增加了 1.14 倍(在 100MHz 频率处), 自谐振频率下降了约 50%, Q 峰值下降了 27.3%。

在射频差分电路中, 具体结构的选取必须符合具体的设计考虑: 为了提高 Q 值和节省版图面积, 应考虑使用差分电感; 为了提高电感器件的对称性和拓宽电感使用频率范围, 应考虑使用串联的电感对。

3 差分的电感对串联结构与间隔距离的关系

图3给出了串联电感对的并联等效电路, 其中 R_{eq} , L_{eq} 和 C_{eq} 表征了单个电感的端口之间的等效电阻, 等效电感和等效电容, 而 C_{para} 表征了电感对之间的容性耦合, 那么自谐振频率有如下关系式^[8]:

$$\frac{f_{R70_d100}}{f_{R70}} = \sqrt{\frac{L_{eq} \times C_{eq}}{L'_{eq} \times C'_{eq}}} = \sqrt{\frac{C_{eq}}{2 \times (0.5C_{eq} + C_{para})}} \quad (1)$$

差分激励时, R70_d100 和 R70 的自谐振频率分别为 5.4GHz 和 6.4GHz, 由式(1)可得 C_{para} 约为 $0.2C_{eq}$, 它由两部分构成: (1) 各个电感的衬底感应电荷之间存在变化的电势差, 体现为衬底表面的寄生电容 C_c , 再考虑到衬底的阻性损耗, 则可以用并联的 C_c 和 R_c 来表征; (2) 各个电感之间

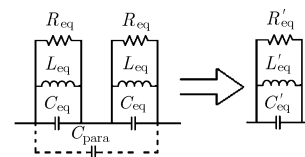


图3 串联电感的简化电路结构

存在变化的电势差，存储了部分电场能，在电路上体现为线圈之间的寄生电容 C_d ，由于线圈金属间绝缘性能远超过衬底，损耗较小，它的并联电阻可以忽略。图 4 为串联电感对的模型，包括了金属连线效应和电感串扰效应。首先，根据 R70 的测试数据，对 R70 的单 π 模型进行了拟合^[9,10]。其次，把 R70 的模型代入到串联电感模型中，完成剩下参数的拟合。从物理含义来分析， K_m ， C_d 和 C_c 随距离的增加而减小， R_c 随距离的增加而增加。表 2 给出了拟合好的 R70_d100 模型中所有参数的值。

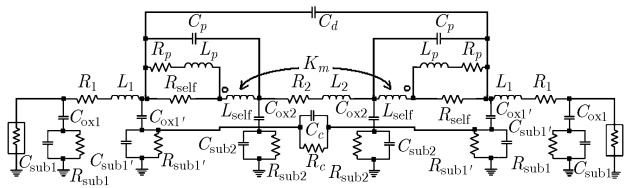


图 4 考虑了寄生效应后的串联电感对结构

表 2 模型中的参数

L_{self} (nH)	6.41	C_{sub1} (fF)	3.485
R_{self} (Ω)	5.885	R_{sub1} (Ω)	1815
L_p (nH)	27.90	$C_{ox1'}$ (fF)	107.94
R_p (Ω)	42.44	$C_{sub1'}$ (fF)	32.365
C_p (fF)	87.55	$R_{sub1'}$ (Ω)	878.74
C_{ox1} (fF)	23.24	L_1 (nH)	0.178
R_1 (Ω)	8.40	C_d (fF)	2.7
C_{ox2} (fF)	32.34	L_2 (nH)	0.215
C_{sub2} (fF)	3.475	R_2 (Ω)	5.2024
R_{sub2} (Ω)	1175	R_c (Ω)	4080
C_c (fF)	5.93	K_m	0.023

图 5 给出了上面的模型仿真结果以及测试结果，其中连续的实线为模型仿真结果，有标记的离散线为测试结果。从感值、自谐振点、 Q 峰值来看，4 条曲线得到了很好吻合。

本文引入系数 K 来表征电感对之间的连线效应和串扰效应之和，那么 K 的最大值与最小值之差 ΔK 实际上就代表了串扰效应的变化量。虽然串联的电感对整体上是差分激励的，但是它的两个子电感仍各自为单端激励状态，因此我们以单端激励的子电感测量值作为归一化的基准，以 R70_

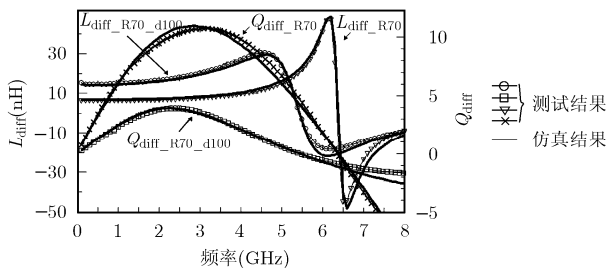


图 5 模型仿真结果和测试结果

d100 为例：

$$K = L_{diff_R70_d100} / (2 \times L_{se_R70}) - 1 \quad (2)$$

随着电感之间距离的逐渐增加，由图 6 可知：(1)总体感值逐渐小幅增加，说明电感间互感逐渐变弱。(2)自谐振频率分别为 5.34GHz、5.35GHz、5.37GHz、5.43GHz、5.45GHz，说明等效并联电容的减小速度快过了电感增长的速度，说明衬底容性耦合量对间距的敏感度超过了互感量对间距的敏感度，由此可推理，适当拉大电感间距就可以显著地减小电感间的衬底串扰。(3) Q 值随间距拉大而增加，说明损耗减小，体现为模型参数中 C_c 的减小， R_c 的增加。由图 7 可知：(1)当间距超过电感内半径后，在可用频率范围内， K 维持在 $\pm 1\%$ 以内。对面积和隔离度进行折衷，则可将电感内半径作为参考安全间距。(2)在可用频率范围内，串扰效应的变化量 ΔK 比较稳定，说明串扰效应之和是频率的弱函数。(3)随着频率的继续增加， K 线性增长而 ΔK 小幅下降，说明电感间互连线效应逐渐处于主导作用，远远超过了电感间的串扰影响，由此可以知道，在射频版图中金属互连线应越短越好。

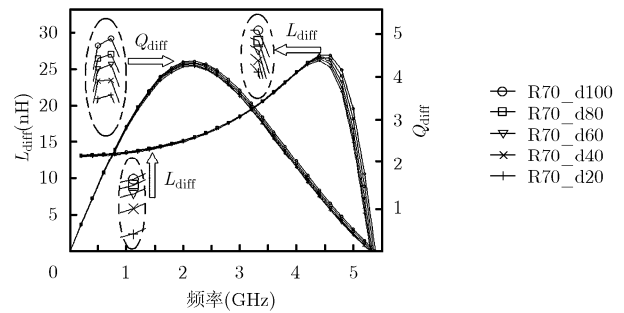


图 6 差分的串联电感对测试结果

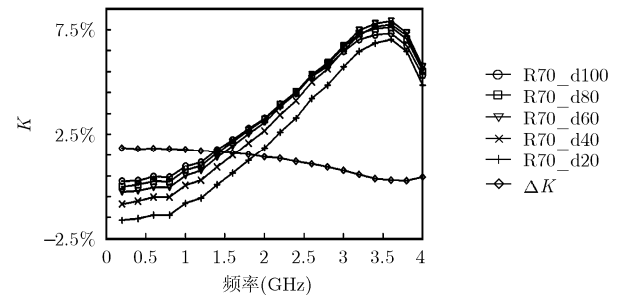


图 7 归一化后的测试结果比较

4 结束语

本文分析比较了差分电感和串联的电感对，提出了电感在射频差分电路中的使用原则，分析了有电连接关系的电感之间的电感电容耦合作用，提出了串联电感对的串扰电路模型，测试结果验证了该串扰模型，并总结出将电感内半径作为电感间安全距离的结论。

参考文献

[1] Mikkelsen J H, Jensen O K, and Larsen T. Crosstalk coupling effects of CMOS co-planar spiral inductors[C]. IEEE 2004 Custom Integrated Circuits Conference, Orlando, 2004:

- 371-374.
- [2] Hsu Heng-Ming, Chang Jen-Zien, and Chien Hung-Chi. Coupling effect of on-chip inductor with variable metal width [J]. *IEEE Microwave and Wireless Components Letters*, 2007, 17(7): 498-500.
- [3] Subramanian V and Boeck G. On-chip electromagnetic interactions in CMOS cascode LNAs[C]. *IEEE RFIT2007*, Singapore, 2007: 240-243.
- [4] Guo Jyh-Chyurn and Tan Teng-Yang. A broadband and scalable on-chip inductor model appropriate for operation modes of varying substrate resistivities [J]. *IEEE Trans. on Electron Devices*, 2007, 54(11): 3018-3029.
- [5] Pan Jie, Yang Hai-gang, and Yang Li-Wu. Asymmetrical parasitics of differential inductor. *Proc of EDSSC*, Tainan, 2007: 757-760.
- [6] Danesh M and Long J R. Differentially driven symmetric microstrip inductors [J]. *IEEE Trans. on Microwave and Techniques*, 2002, 50(1): 332-341.
- [7] 卢磊, 周锋, 唐长文, 等. 中心抽头差分电感的等效模型和参数提取[J]. *半导体学报*, 2006, 27(12): 2150-2154.
- Lu Lei, Zhou Feng, and Tang Zhang-wen, *et al.* Equivalent model and parameter extraction of center-tapped differential inductors [J]. *Chinese Journal of Semiconductors*, 2006, 27(12): 2150-2154.
- [8] Jian Hong-yan, Tang Zhang-wen, and He Jie, *et al.* Analysis of self-resonant frequency for differential-driven symmetric and single-ended inductors[C]. *Proc ICSICT, Beijing*, 2004, A3.13: 194-197.
- [9] Aguilera J and Berenguer R. Design and test of integrated inductors for RF applications [M]. New York: Kluwer Academic Publishers, 2003: 135-163.
- [10] Chen Ji and Liou J J. Improved and physics-based model for symmetrical spiral inductors [J]. *IEEE Trans. on Electron Devices*, 2006, 53(6): 1300-1309.
- 潘 杰: 男, 1982 年生, 博士生, 研究方向为射频及模拟集成电路设计.
- 杨海钢: 男, 1960 年生, 研究员, 研究方向为专用集成电路 SOC 设计技术、高速通讯集成电路的设计技术、大规模可编程数字及模拟集成电路的研究.
- 杨立吾: 男, 1952 年生, IEEE 高级会员, 中芯国际射频应用及设计支持部负责人, 研究方向为射频集成电路等.