

异构双核的高分辨率折反射全景高速处理系统

陈立栋^① 张茂军^① 王 炜^① 包卫东^① 金晗婧^②

^①(国防科技大学信息系统与管理学院 长沙 410073)

^②(中国人民解放军 63680 部队 无锡 214433)

摘要: 为了实现对高分辨率折反射全景的快速处理,采用 DSP+FPGA 异构双核结构、多级乒乓缓存的数据通信机制,基于查找表技术和分块预取策略的全景图像展开算法等,开发了一个可对 300 万像素折反射全景进行帧速率为 12fps 的采集、展开并输出的嵌入式系统。系统动态可重构、易扩展、计算效率高,可应用于全景视频监控、机器人视觉等领域。

关键词: 图像处理; 异构双核; 折反射全景; 多级乒乓缓存; 全景图像展开; 分块预取

中图分类号: TP274; TN911.73

文献标识码: A

文章编号: 1009-5896(2009)04-0822-05

A Heterogeneous Dual-Core High-Speed Processing System for High Resolution Catadioptric Panorama

Chen Li-dong^① Zhang Mao-jun^① Wang Wei^① Bao Wei-dong^① Jin Han-jing^②

^①(College of Information System and Management, NUDT, Changsha 410073, China)

^②(No.63680 of PLA, Wuxi 214433, China)

Abstract: To realize the high-speed processing of high resolution catadioptric panorama, a heterogeneous dual-core embedded system based on DSP+FPGA is presented, which can do rapid capturing, unrolling and displaying of 2048 × 1536 resolution catadioptric panorama at 12fps, by using multi-level ping-pong caches, a panorama unrolling algorithm based on lookup-table method and block prefetch strategy. The system was characterized by dynamic reconfiguration and high efficiency of computation. It can be applied in panoramic surveillance and robot vision.

Key words: Image processing; Heterogeneous dual-core; Catadioptric panorama; Multi-level ping-pong caches; Panorama unrolling; Block prefetch

1 引言

折反射全景成像是利用曲面反射镜和成像透镜实现空间360°全局场景的成像^[1,2],如图1所示,由于采集的原始图像存在同心圆环状变形,在显示输出时,必须把环状全向图展开为符合人眼视觉习惯的柱面全景图像^[3,4]。

曾吉勇等提出了双曲面折反射成像的逆投影计算公式,

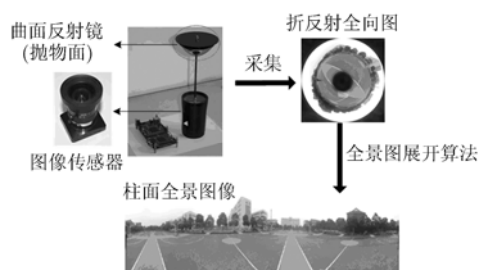


图1 折反射全景成像原理及其展开过程

建立了柱面全景图像与环状全向图的坐标映射关系^[5],为全景图像展开提供了必要的模型和计算方法。谭亚刚^[6]通过切向线性化与径向线性化对环状全向图进行展开,并在DSP嵌入式系统上实现,但处理一帧200万像素的图像约需0.9s,难以满足实时处理的需要。文献[7]采用FPGA和多个DSP互连的并行处理结构,实现了一个高速数据传输带宽(400Mbyte/s)、低延迟且计算性能强大的实时图像处理系统。

本文设计实现了一个以DSP为主处理器,FPGA为协处理器的嵌入式异构双核图像处理平台,将折反射全景采集、色彩空间转换,全景图像展开,显示输出等在主协处理器之间进行合理的分工和协同,通过采用多级乒乓缓存的数据通信机制,并设计基于查找表技术和分块预取策略的全景图像展开算法,实现了300万像素折反射全景帧速率为12fps的快速处理。

2 系统结构与工作原理

2.1 DSP+FPGA 异构双核结构

嵌入式视频处理系统体系结构可以由多个 DSP 芯片组

2008-01-25 收到, 2008-09-23 改回

国家自然科学基金项目(60773023, 60705013)和中国博士后科学基金(20070410977)资助课题

成阵列处理系统,也可以用FPGA或CPLD构成硬件处理结构。DSP阵列处理结构的优点是:软件编程设计方便、寻址方式灵活、易于实现复杂的算法和浮点数运算,缺点是:对于数据处理量很大但运算结构相对简单的底层信号处理算法,执行效率不高;FPGA/CPLD构成的硬件处理结构,可以充分利用可编程器件的逻辑资源,硬件逻辑结构可重构配置,适合模块化设计,便于设计并行和流水处理结构,处理速度较快,缺点是对于复杂算法和浮点数处理,硬件设计的难度很大^[8]。

根据上面的分析,针对本文研究的高分辨率折反射全景处理系统中大数据量、高速传输、复杂运算的特点,采用DSP+FPGA的嵌入式异构双核系统设计,综合两者的优势,兼顾了速度和灵活性。

DSP芯片作为主处理器,选用的是TI公司C6000系列中TMS320DM642,FPGA选取的是Xilinx的Spartan3系列百万门级XS3C1000芯片。为了达到双核之间的工作负载平衡,我们将整个系统的工作任务分为高低两个层次,底层较简单的信号预处理算法(如图像的采集、色彩空间转换)以及数据的传输控制等由FPGA芯片硬件实现,而较为复杂的全景图像展开算法,由于涉及到大量的查找表操作,可变大小数据块的读取,数据的搬移等,则通过在DSP端设计高效的C语言和汇编程序实现。FPGA和DSP具有各自的存储器,并通过DSP的外部存储器接口(EMIF)总线实现主协处理器之间高速的数据交换。

2.2 系统基本工作原理

采用DSP+FPGA异构双核结构设计的折反射全景高速处理系统原理如图2所示。DSP作为主处理器,控制整个系统的工作流程,向FPGA发出系统初始化,采集图像,读写SDRAM等指令,并可实时监看FPGA的运行状态,如内存是否空闲、一帧图像的采集是否完成等;FPGA芯片接收到DSP发来的采集命令后,对图像传感器采集的原始数据实时地进行色彩空间转换,并以片内双口RAM作为缓存,在主控逻辑的控制下写入SDRAM。待一帧图像采集完成后,DSP发出读取SDRAM的命令,将图像数据经过高速缓存从EMIF总线搬移到与DSP直接相连的外部扩展存储器中,然后使用分块预取策略快速执行全景图像展开,并通过视频编码芯片实时显示输出。

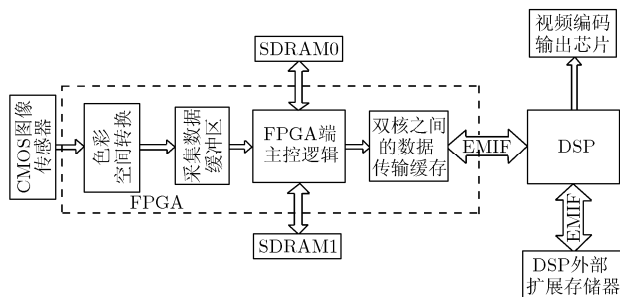


图2 异构双核的折反射全景处理系统原理图

另外,DSP还可以随时向FPGA发出配置CMOS采集芯片的命令,根据I2C协议设置采集图像的分辨率、亮度、行列开始地址等,实现不同明暗条件下多分辨率图像的采集。

3 多级乒乓缓存结构

数字视频处理系统的突出特点是:数据流量非常大,且对系统处理的实时性要求比较高。因此,系统必须建立快速、有序的数据输入输出机制,并在此基础上,采用适应于高速DSP和FPGA处理系统的乒乓缓存结构。

本文设计了系统多个层次、不同数据颗粒度的多级乒乓缓存结构,实现从原始的环状全向图采集直至柱面全景图像的显示输出之间图像预处理,色彩空间转换,数据缓存及传输,全景图像展开等各个过程的时间交叉隐藏,使得系统达到快速处理的要求。

3.1 双SDRAM轮流存储采集的图像

本系统的主要工作包括:图像的采集并存储,数据从FPGA传给DSP,全景图像展开并输出3个步骤。对一帧图像来说,这3步必须是顺序执行的,由于SDRAM本身在某一时刻的访问操作只能是单向的,即不能同时进行读和写,这样就导致在对前一帧图像进行处理时(包括数据传输和全景图像展开),就不能将当前帧存储下来,从而使得系统的输出帧速率最高只能为采集帧速率的1/2。

为解决这一问题,本文采用双SDRAM在乒乓模式下轮流存储采集图像的策略,并在FPGA和DSP之间建立合理的握手机制,避免在同一时刻对同一个SDRAM进行读和写的冲突。如图3所示,只要一帧图像的处理时间,即从FPGA到DSP的数据传输时间加上全景图像展开时间之和,不大于一帧图像的采集周期,本系统的全景图像输出就可以达到与图像采集相同的帧速率。

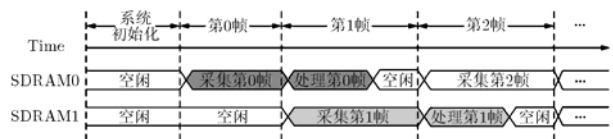


图3 系统工作流程框架图

对SDRAM的访问都是大块数据量的读写,为了实现高速的SDRAM存取,本文采用Full-Page模式,即每次对SDRAM的一行进行读写,数据读写的颗粒度为 $256 \times 32\text{bit}$ (1k byte)。

3.2 图像采集及预处理时的双口RAM缓存

图像采集及预处理模块的主要工作是:在CMOS传感器采集图像时,同步地执行色彩空间变换,将图像从原始的Bayer格式转换到全景图像展开算法所需的YCbCr空间,并实时地将Y分量和CbCr分量写入SDRAM中。

Bayer 格式的图像如图 4 所示, 不同位置的像素点采样的颜色分量是不同的。色彩空间变换的第 1 步就是在以当前点为中心的 3×3 方块中进行插值运算, 得出当前点的 RGB 3 个分量值。例如, 若当前点采样的是 R 分量, 则该点的 G 分量和 B 分量分别为 (pd 为相应坐标点的采样值):

$$\left. \begin{aligned} G &= (pd_{(m+1,n)} + pd_{(m,n-1)} + pd_{(m-1,n)} + pd_{(m,n+1)}) / 4 \\ B &= (pd_{(m+1,n-1)} + pd_{(m-1,n-1)} + pd_{(m+1,n+1)} + pd_{(m-1,n+1)}) / 4 \end{aligned} \right\} \quad (1)$$

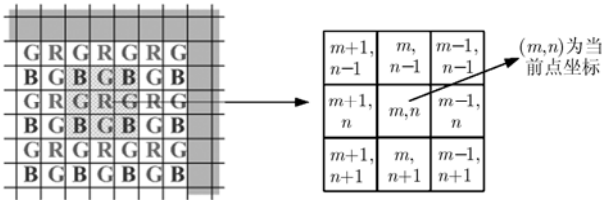


图 4 Bayer 格式图像及像素点标记说明图

由式(1)可知, 必须实时缓存前两行的采样值才能实现与像素采样时钟同步的色彩空间变换。本设计使用两个 FPGA 的片内 Block RAM 作为缓存, 分别存放偶数行和奇数行的采样值。计算出每个点的 RGB 值后, 就可根据色彩空间的转换公式将采集图像实时地转换到 YCbCr 空间。由于使用的是 4:2:2 格式, 因此在偶数点只计算 Y 值和 Cb 值, 而在奇数点只计算 Y 值和 Cr 值。我们对亮度分量 Y 和色度分量 Cb/Cr 值分别使用两个片内的双口 RAM 作为乒乓缓存, 并通过采样点的计数来触发将图像数据写入 SDRAM。由于 SDRAM 的数据带宽大于 CMOS 传感器的数据采集速率, 所以可实现图像的实时采集并存储。

3.3 FPGA 与 DSP 间接 DMA 通信的双缓冲

DSP 对 SDRAM 的读写可以用 DMA(直接存储器访问)方式实现块状大数据量的快速读写, 如图 5 中 DSP 通过 EMIF 与 SDRAM2 和 SDRAM3 直接相连, DSP 与 SDRAM 数据通信可以采用 DMA 方式。然而, 由于 SDRAM0 和 SDRAM1 是通过 FPGA 而不是直接与 DSP 相连的, DSP 对 SDRAM0 或 SDRAM1 进行数据访问时, 就存在了两级 I/O Pad、三态门开关逻辑等导致的延迟, 从而无法满足 EMIF 直接以 DMA 方式访问 SDRAM 的时序要求。本文通过对 DSP 以 DMA 方式读写 SDRAM 时 EMIF 接口信号时序规律的分析, 提出了一种 FPGA 与 DSP 间接 DMA 的通信方式。

本设计中使用了 2 个 1kB 的 FPGA 片内 Block RAM 作为 DSP 对 SDRAM 读写的中间缓存, 如图 5 所示。DSP 每次以 1kB 为单位从 SDRAM 中读取数据, 分为两个步骤: 首先向 FPGA 发出将 SDRAM 的某一行写入 buffer0/buffer1 的命令, 并等待一次 SDRAM 读周期的完成; 然后, 通过 FPGA 端主控逻辑对 buffer0/buffer1 的读写控制以满足

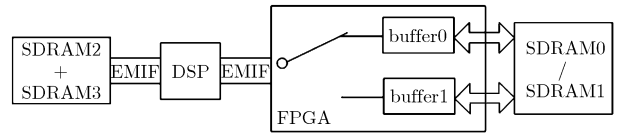


图 5 DSP 对 SDRAM 的间接 DMA 访问

EMIF 的 SDRAM 接口 DMA 方式的时序要求, 将 buffer0/buffer1 中数据以 DMA 方式写入 DSP 的 L2 Cache 或外部扩展存储器 SDRAM2 和 SDRAM3 中。

buffer0 和 buffer1 以乒乓模式交替工作, 即在向 buffer0 中写入数据的同时将 buffer1 中的数据取出, 而在从 buffer0 中读取数据的同时向 buffer1 中写入新的数据, 从而实现 buffer0 和 buffer1 访问时间的交叉隐藏。

4 全景图像展开算法在 DSP 上的快速实现

由于全景图像展开是一个由小图像生成大图像的过程, 直接使用柱面投影算法将原始图像展开, 在生成的柱面全景图像中必然会出现“黑洞”现象, 影响了视图的质量, 且不利于编程实现。为了解决这个问题, 本文采用“反算”的方法, 即将所要生成的柱面全景图像中的每一点反投影到原始的圆环状全向图中^[9]。在这种策略下, 全景图像展开主要包括两个过程: 求柱面全景图像中每一个像素点在圆环状全向图中的“原像”点坐标; 取出该“原像”点的颜色值并赋给目标图像中对应的“像”点。

4.1 查找表技术

由于从柱面全景图像到折反射全向图的映射算法需进行复杂的三角函数、乘除运算等, 难以达到高分辨率全景图像展开的实时性要求。本文采用查找表技术进行全景图像展开, 以空间换取时间, 即根据映射算法预先算好每个目标点对应的“原像”点在原始图像中的坐标值, 并按照一定规则有序地存储在特定的存储空间中, 从而将各种复杂的运算转换成一次查找表操作, 大大地加快了全景图像展开的速度。

查找表的精度越高, 全景图像展开效果就越好, 本文选择展开精度较高的光路跟踪坐标映射法^[10,11], 其利用光线传播与反射性质, 对成像点进行光路跟踪和投影变换, 建立圆环状全向图到柱面全景图像的像素点之间坐标映射关系。

4.2 分块预取策略

由于对一帧全向图进行展开时, 执行的查找表次数就等于目标图像的像素点个数, 显然对于高分辨率的图像来说, 查找表仍将耗费大量的时间。此外, 在求得原始图像中对应的“原像”点坐标后, 还需要将片外存储器中该点的颜色值读出并赋值给目标图像中的“像”点。DSP 频繁地对片外存储器的访问, 使得全景图像展开难以实时。

DSP 对片内存储器的访问速度要比片外存储器的访问速度快 10-20 倍。因此合理地配置和使用存储空间, 将对系统的整体效率影响很大。对于一帧 QXGA 格式(2048 ×

1536)的目标图像来说, 查找表大小为 $2048 \times 1536 \times 16\text{bit} = 6\text{MB}$, 而 DM642 的片内 RAM(L2 Cache)只有 256kB, 显然仅一张查找表就无法存在片内存储器中。

因此, 本文采取“分块预取”的策略, 即将目标图像分成 $n \times n$ 大小的块, 在对每一块执行全景图像展开算法之前, 首先将该块对应的那部分查找表以 DMA 方式从片外预取到 L2 Cache 中; 同时, 通过对柱面投影算法的分析, 在原始图像中“反算”得一个 $m \times m$ 大小的块, 使得此块包含了目标图像相应 $n \times n$ 大小的块中所有像素点映射在原始图像中的“原像”点, 将该 $m \times m$ 图像块的颜色值也以 DMA 方式预取到 L2 Cache 中。对于分辨率为 2048×1536 的原始全向图, 不同大小的目标图像分块策略全景展开效率分析如表 1 所示。

表 1 不同大小的分块策略全景展开效率分析

目标图像块大小($n \times n$)	原始图像块大小($m \times m$)	全景展开时间(毫秒/帧)	占用片内存储空间(字节)
不分块	—	231	—
8×8	19×19	86.1	978
16×16	39×39	19.7	4066
32×32	78×78	13.2	16264
64×64	152×152	10.3	62592
128×128	267×267	9.6	208114

综合全景展开时间和占用片内存储空间的考虑, 本文使用 64×64 的分块策略。从而, DSP 频繁的片外存储器访问操作就被转化成了片内存储器访问和两次 DMA 操作, 极大地节省了数据访问时间, 提高了算法的执行效率。

5 实验结果分析

本文所设计的 DSP+FPGA 折反射全景处理系统如图 6 所示。其中, 作为 FPGA 外部存储器的 SDRAM0 和 SDRAM1, 以及 DSP 的片外扩展存储空间均是使用 Micron 公司的 MT48LC4M32B2 芯片。

经实际运行测试, DSP 通过 FPGA 读取 SDRAM0/

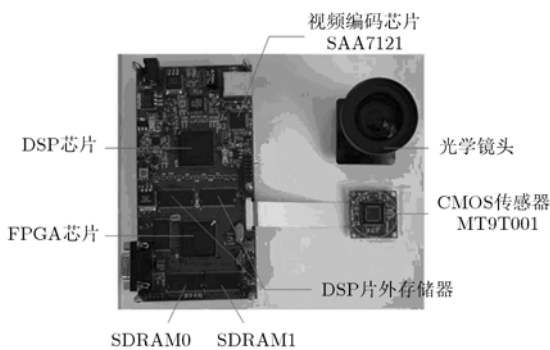


图 6 DSP+FPGA 硬件开发平台

SDRAM1 的数据速率为 340MB/s, 由于一帧 QXGA 格式 ($2048\text{H} \times 1536\text{V}$)的 YCbCr 图像的数据量为 6MB, 则 DSP 端读取一帧图像约需 18ms。在 DSP 上执行一帧全景图像展开需 43ms, 因而本系统处理一帧图像(包括数据传输及全景图像展开)共需 $18\text{ms} + 43\text{ms} = 61\text{ms}$, 即每秒可处理约 16 帧。

而本设计采用的 CMOS 传感器 MT9T001 采集 QXGA 格式图像的帧速率只有 12fps, 因此本系统可实现对 300 万像素折反射全景帧速率为 12fps 的快速处理。

6 结束语

本文针对折反射全景技术在嵌入式系统上的实现, 设计了一个基于 DSP+FPGA 的异构双核图像处理平台, 将系统的各步骤在主协处理器之间进行科学分工, 并采用多级双缓冲的数据通信机制和高效的全景图展开算法设计, 达到了高分辨率折反射全景的快速处理要求。

参考文献

- [1] Nayar S K. Catadioptric omnidirectional camera[C]. Proceedings of IEEE Computer Society Conference on Computer Vision and Pattern Recognition, San Juan, PR, USA, Jun. 17-19, 1997: 482-488.
- [2] 张茂军, 徐玮, 王炜等. 二次凸曲面反射成像的实景空间构造方法及其装置. 专利申请受理号 200510031552.X, 中华人民共和国国家专利局, 2005.
Zhang Mao-jun, Xu Wei, and Wang Wei, *et al.* Real space construction and its instruments for conicoid reflective imaging. Patent Application No. 200510031552.X, Patent Office of the People's Republic of China, 2005.
- [3] Scotti G, Cuocolo A, and Coelho C, *et al.* A novel pedestrian classification algorithm for a high definition dual camera 360 degrees surveillance system[C]. Proceedings of IEEE International Conference on Image Processing, Genova, Italy, Sep. 11-14, 2005: 880-883.
- [4] Xiong Zhihui, Zhang Maojun, and Wang Yunli, *et al.* Fast panorama unrolling of catadioptric omni-directional images for cooperative robot vision systems[C]. Proceedings of IEEE International Conference on Computer Supported Cooperative Work in Design (CSCWD), Melbourne, Australia, Apr. 26-28, 2007(2): 1100-1104.
- [5] 曾吉勇, 苏显渝. 双曲面折反射全景成像系统[J]. 光学学报, 2003, 23(9): 1138-1142.
Zeng Ji-yong and Su Xian-yu. Hyperboloidal catadioptric omnidirectional imaging system[J]. *Acta Optica Sinica*, 2003, 23(9): 1138-1142.
- [6] 谭亚刚. 全景环形成像的嵌入式 DSP 处理研究[D]. [硕士学位论文]. 浙江大学, 2005.
Tan Ya-gang. The research of panoramic annular imaging based on DSP[D]. [Masteral dissertation]. Zhejiang University, 2005.

- [7] Yan Luxin, Zhang Tianxu, and Zhong Sheng. A DSP+FPGA-based parallel architecture for real-time image processing[C]. Proceedings of the 6th World Congress on Intelligent Control and Automation, Dalian, China, Jun. 21-23, 2006: 10022-10025.
- [8] 王宇舟, 金声震. 空间太阳望远镜的图象预处理系统研制[J]. 电子学报, 2005, 33(7): 1291-1294.
Wang Yu-zhou and Jin Sheng-zhen. Development of image pre-processing system for space solar telescope[J]. *Acta Electronica Sinica*, 2005, 33(7): 1291-1294.
- [9] 张茂军. 虚拟现实系统[M]. 北京: 科学出版社, 2001: 133-134.
Zhang Mao-jun. *Virtual Reality System*. Beijing: Science Press, 2001: 133-134.
- [10] Svoboda T and Pajdla T. Epipolar geometry for central catadioptric cameras[J]. *International Journal of Computer Vision*, 2002, 49(1): 23-37.
- [11] Chesi G, Mariottini G L, and Prattichizzo D, et al. Epipole-based visual servoing for mobile robots[J]. *Advanced Robotics*, 2006, 20(2): 255-280.
- 陈立栋: 男, 1985年生, 博士生, 研究方向为多媒体信息系统与虚拟现实技术、嵌入式系统设计.
- 张茂军: 男, 1971年生, 教授, 博士生导师, 研究方向为虚拟现实与系统仿真技术、嵌入式系统设计.
- 王 炜: 男, 1973年生, 副教授, 硕士生导师, 研究方向为系统仿真及作战模拟、多媒体信息系统.