

一种针对 AVS 去块滤波的高性能结构

方健^① 凌波^② 王匡^②

^①(浙江大学城市学院 杭州 310015)

^②(浙江大学信息与电子工程学系 杭州 310027)

摘要: 在 AVS 视频解码器设计中, 环路去块滤波成为实时处理的瓶颈之一。该文提出了一种实用的环路滤波结构, 处理一个宏块只需要 164 个周期。使用新颖的滤波顺序, 待滤波数据缓冲从 16×16 宏块大小降低为 16×8 半宏块大小。使用数据重用策略, 滤波中间数据的存储空间大大减小。实验表明, 使用 $0.18\mu\text{m}$ CMOS 工艺, 在 50MHz 下综合, 该文提出的设计只需要 9.2k 门。工作在 50MHz 频率下, 该文提出的设计能够支持高清视频解码的实时滤波处理。

关键词: 视频编码; 去块滤波; 硬件结构

中图分类号: TN919.81

文献标识码: A

文章编号: 1009-5896(2009)02-0505-04

High-Performance Architecture of Deblocking Filter for AVS Video Coding

Fang Jian^① Ling Bo^② Wang Kuang^②

^①(Zhejiang University City College, Hangzhou 310015, China)

^②(Department of Information Science and Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: In the video decoder for AVS, deblocking filter becomes one of the bottom necks for real-time processing. An implement architecture for deblocking filter is proposed in this paper. With a novel filtering order, the unfiltered data storage is reduced to a 16×8 block instead of whole 16×16 macroblock. With data reuse strategy, the intermediate data storage is also reduced efficiently. The experiment shows the proposed design can achieve 50 MHz with only gate count of 9.2k by using $0.18\mu\text{m}$ CMOS technology. When clocked at 50MHz, the proposed design can support real-time deblocking of HD1080 ($1980 \times 1088 @ 30\text{Hz}$) video application.

Key words: Video coding; Deblocking filter; Hardware architecture

1 引言

先进音视频编码^[1], 简称 AVS, 是我国具备自主知识产权的信源编码标准。和 H.264 标准相比, AVS 具有相当的压缩质量和压缩效率, 但技术方案简洁, 芯片实现复杂度低。

AVS 视频标准采用多种模式的自适应块帧内和帧间预测编码, 如果不进行滤波处理, 重构图像具有明显的块效应。解决的办法是对块边界进行环路去块滤波处理。

AVS 去块滤波, 可以采用类似 H.264 的滤波策略和硬件结构。但是 AVS 去块滤波具有自身的特点, 采用专用的结构可以提高系统性能, 降低硬件资源。同时, 现有的结构在数据访问和存储器设计存在着一些不利于硬件实现的缺陷, 如文献[2-4]以宏块为单位提前申请当前宏块和相邻块待滤波数据, 滤波处理速度不理想, 数据缓存太大; 文献[5-7]有效地加快了滤波速度, 但将一个图像宽度的相邻宏块待滤波数据都存储在片内, 这只适用于 cif 以下的小尺寸图像;

文献[8]的设计方案, 待滤波数据和滤波后回写数据直接通过总线读写, 这样的数据读写效率非常低, 不仅影响实际滤波速度, 而且可能造成视频解码其他模块数据访问被堵塞。针对这些问题, 本文提出了一种利于硬件实现的 AVS 专用去块滤波结构。采用优化的滤波顺序和数据通路, 在满足实时滤波处理的同时, 有效减小了总线的压力和存储器的大小, 利于 AVS 去块滤波的 ASIC 实现。

2 AVS 去块滤波

AVS 去块滤波在宏块基础上进行, 由于帧内帧间预测最小块为 8×8 , 整数变换也以 8×8 块进行, 所以只需要滤波 8×8 边界, 如图 1 所示。

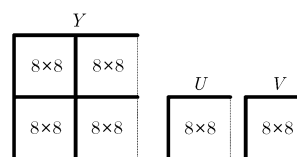


图 1 宏块滤波边界图

AVS 采用自适应去块滤波, 根据边界两侧 8×8 块的类型和运动补偿参数判决滤波边界强度 BS(Boundary Strength)。BS 的简化判决如表 1。

表 1 AVS 边界强度

边界强度 BS	判决条件
BS = 2 (强度滤波)	边界两边两个 8×8 块至少有一个属于帧内预测模式
BS = 1 (普通滤波)	边界两边图像块参考图像不同; 或参考图像数不同; 或者参考图像相同, 但运动矢量之差不小于一个像素点的距离
BS = 0 (不需要滤波)	其它情况

边界滤波运算, 如图 2 所示。边界两侧各 3 个像素点参与滤波运算, 先判断是实际图像边界还是块效应边界, 前者不进行滤波, 后者根据 BS 分别执行不同强度的滤波运算。

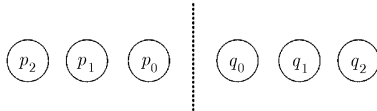


图 2 滤波边界样点描述

可以发现: 一方面, 在 8×8 块角落处的像素点要参与 2 条边界的滤波, 这使得去块滤波运算量很大。另一个方面, 相邻宏块数据的申请和回写, 滤波中间数据的行列转置和缓存, 需要大量的执行时间和存储空间。本文针对这两个方面进行优化设计, 提出了高性能的 AVS 去块滤波实现结构。

3 AVS 去块滤波实现结构

3.1 结构框图

本文提出的去块滤波结构如图 3 所示, 图中主要描述了滤波的数据通路。去块滤波主要有 4 部分构成:

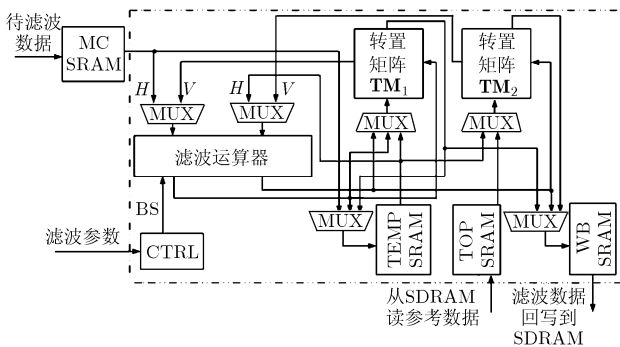


图 3 去块滤波结构

(1)数据缓冲区。MC SRAM, 存储帧间或帧内重构数据。TEMP SRAM, 存储未滤波完全的中间数据。TOP SRAM, 存储上面的相邻宏块待滤波数据。WB SRAM, 存储滤波完成的数据, 通过总线回写到片外 SDRAM。

(2)滤波运算器。滤波处理的运算单元, 采用类似文献[8]中的通用滤波运算结构 LOP(Line-of-Pixel), 如图 4, 8 样点输入, 8 样点输出。由于 p_1, q_1 滤波需要 p'_0 和 q'_0 的滤波值返回, 路径较长, 50MHz 时钟频率下, 一个周期可以实现滤波运算。100MHz 时钟频率下, 单周期无法实现, 需要插入一级寄存器, 两拍完成滤波运算。 4×4 边界内 4 点边界流水的话, 相当于 5 拍滤波一个 4×4 块边界。

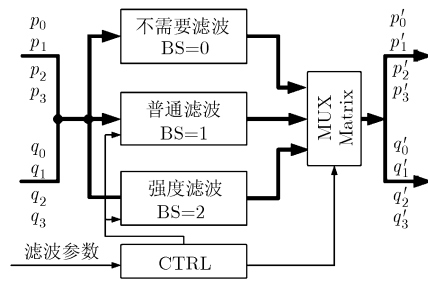


图 4 LOP 滤波器

(3) 4×4 转置矩阵 TM_1 和 TM_2 , 如图 5。由 $8 \times 4 \times 4$ 个寄存器构成, 每个方块代表 8 个寄存器, 存储一个样点。寄存器组有 4 个端口: 行输入, 行输出, 列输入和列输出, 分别实现 4×4 块像素的平移和转置功能。

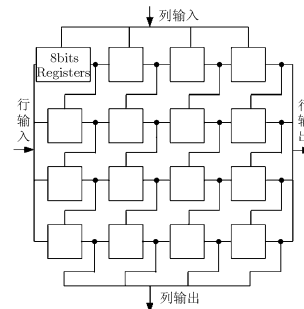


图 5 转置矩阵

(4)滤波控制器 CTRL, 进行滤波强度 BS 等参数的计算和滤波状态控制。

3.2 滤波过程

每个宏块需要滤波的边界如图 1 所示。基本的滤波顺序是, 先对垂直边界滤波, 从左到右; 再对水平边界滤波, 从上到下。但实际上, 在保证每个 4×4 块的 4 条边界滤波的先后顺序不变的前提下, 调整宏块内边界的滤波顺序, 滤波结果是一样的。为了提高滤波性能, 调整滤波边界如图 6。其中 $B_0 \sim B_{23}$ 表示当前宏块的 4×4 块。 $L_0 \sim L_7$ 是左侧相邻宏块的 4×4 块待滤波像素, 存储在 TEMP SRAM 中 $T_0 \sim T_7$ 是上面相邻宏块的 4×4 块待滤波像素, 由 TOP SRAM 从片外申请。加粗的数字 1~24 表示调整后的滤波顺序。采用这样的滤波顺序有三个原因, 一是为了减小待滤波数据缓冲; 二是为了提高滤波数据的重用率, 减小中间数据的存储; 三

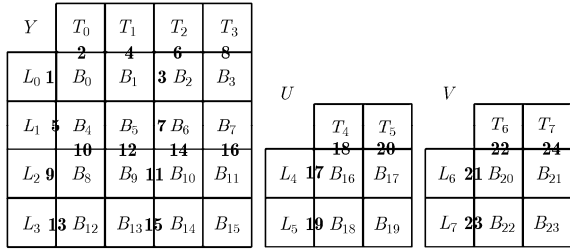


图 6 调整的滤波顺序

是为了交替滤波垂直和水平边界，有效利用平移转置矩阵，加快滤波处理速度。行列滤波过程如下：

垂直边界滤波，数据通路如图 7。以边界 1 为例， L_0 和 B_0 进行水平滤波，滤波后的 L'_0 数据写到 WB SRAM，滤波后的 B'_0 储存到 TM_1 ，同时 T_0 数据由 TOP SRAM 写到 TM_2 ，准备滤波水平边界 2。对于边界 5，滤波后数据 B'_4 缓存到 TEMP SRAM。50MHz 时钟频率，这个过程需要 4 拍完成；100MHz 时钟频率，这个过程需要 5 拍完成。

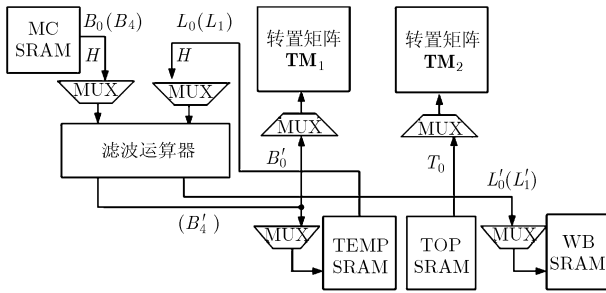


图 7 垂直边界数据通路

水平边界滤波，通路如图 8。以边界 2 为例， B_0 和 T_0 经过行列转置，从转置矩阵列端口输出到滤波器，滤波后的 B'_1 和 T'_0 从转置矩阵列输入口写回，同时 B_1 数据由 MC SRAM 缓存到 TEMP SRAM，准备滤波边界 3。同样地，50MHz 时钟频率，这个过程需要 4 拍完成；100MHz 时钟频率，这个过程需要 5 拍完成。

50MHz 时钟频率下，滤波 24 条 4×4 块边界，需要 $24 \times 4 = 96$ 拍。在滤波完边界 3, 4, 5, 7, 8, 11, 12, 13, 14, 15, 16, 18, 19, 20, 22, 23 和 24 后分别需要 4 拍用

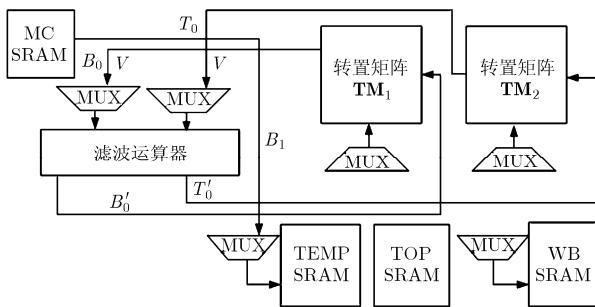


图 8 水平边界数据通路

于调整数据。因此滤波一个宏块总共需要 $96 + 4 \times 17 = 164$ 拍。100MHz 时钟频率下，滤波一个宏块需要 $24 \times 5 + 4 \times 17 = 188$ 拍。

3.3 存储器设计

MC SRAM 其实是帧内预测或帧间预测的重构数据存储区，存放当前宏块待滤波数据。本文采用优化的滤波顺序，滤波可以基于 16×8 半宏块进行，取代标准规定的 16×16 宏块，所以只需要 32×32 bit。考虑模块间流水，采用双端口， 64×32 bit 的 SRAM，实现乒乓操作。这样通过减小解码器流水单位，可以有效节省芯片面积。

TEMP SRAM 存放左侧相邻宏块数据 $L_0 \sim L_8$ ，在滤波过程中也用于不完全滤波块的临时缓存，使用双端口， 40×32 bit 的 SRAM，保证读写同时访问，提高滤波速度。

TOP SRAM 存放上边相邻宏块数据 $T_0 \sim T_7$ ，实际只需要 3 行数据，大小为 24×32 bit。 $T_0 \sim T_7$ 需要通过总线从片外申请，以 32bit 总线为例，每个宏块需要 $24 \times 32 / 32 = 24$ 拍。为了提高总线效率，保证滤波不被堵塞，采用双端口， 48×32 bit 的 SRAM。滤波的同时可以向片外申请下一个宏块滤波需要的上侧数据，这保证了宏块去块滤波流水执行。

WB SRAM 存放滤波完成块数据。包括当前宏块数据 (除 $B_3, B_7, B_{11}, B_{15}, B_{17}, B_{19}, B_{21}$ 和 B_{23} ，它们存储到 TEMP SRAM 作为左侧数据滤波下一个宏块的左边界，遇到图像边界单独输出) 共 64×32 bit；左侧宏块数据 $L_0 \sim L_7$ 共 32×32 bit；上宏块滤波数据 $T_0 \sim T_7$ ，根据滤波运算，实际亮度数据 $T_0 \sim T_3$ 只需要回写底部 2 行数据，色度数据 $T_4 \sim T_7$ 只需要回写底部 1 行数据，因此实际需要 12×32 bit。整个宏块滤波回写数据为 108×32 bit，同样为了保证滤波流水执行，WB SRAM 采用双端口， 216×32 bit 大小的 SRAM。

以 32bit 总线为例，申请滤波数据 $T_0 \sim T_7$ 需要 24 拍，滤波回写需要 108 拍，滤波运算需要 164 拍。这样，通过上面的存储器设计，滤波数据的申请、回写和滤波运算可以并行流水执行。如果不考虑前端运动补偿模块的执行速度，本文提出的滤波器结构的处理速度就是每个宏块 164 拍。

4 仿真结果和分析

本文结构使用 $0.18 \mu\text{m}$ CMOS 工艺，分别在 50MHz 和 100MHz 频率下综合，性能如表 2 所示。这表明本文提出的去块滤波结构能够有效支持标准清晰度和高清晰度视频解码的实时滤波处理。处理速度以每秒执行帧数表示，单位为帧每秒 (fps)。表 3 将本文提出的设计和以前提出的几种针对 H.264 去块滤波的设计进行了比较。特别比较了数据访问方式。数据读写时，突发访问需要额外的执行时间；分散访问，每次访问的数据量小，效率低；因此最佳方式是并行集中访问。通过比较可以看出，本文提出的设计结构在滤波速度，硬件面积，存储器大小和数据访问这几个方面都具有明显的优势，是一种适合于 AVS 硬件实现的设计结构。

表2 去块滤波性能

工作频率 (MHz)	宏块处理 周期(拍)	面积(k gates)	625SD (720@576)4:2:0(fps)	720pHD (1280@720)4:2:0(fps)	1080HD (1920@1088)4:2:0(fps)
50	164	9.2	188.1	84.6	37.3
100	188	9.4	328.3	147.7	65.1

表3 几种滤波器性能比较

结构	宏块处理 周期(拍)	SRAM ^① (bit)	4×4Arrays (个数)	工艺 (μm CMOS)	面积 ^② (k gates)	数据申请	滤波回写
文献[2]	614	2-P 32×96, 2-P 32×64	4	0.25	20.66	突发集中	突发集中
文献[3]	566	8个DP 80×8	4	0.35	9.35	突发集中	突发集中
文献[4]	446	DP 32×64, 2个2-P 32×96	8	0.25	24	突发集中	突发集中
文献[5]	214	1-P 32×96, 2-P 32×32	2	0.18	20.9	存储片内	并行集中
文献[6]	238	1-P 32×1.5×PW ^③					
		DP 32×96, DP 32×64	9	0.18	14.5	存储片内	并行集中
文献[7]	250	1-P 32×2×PW					
		2个 1-P 32×96,	4	0.18	19.64	存储片内	突发全占总线
		1-P 32×2×PW					
文献[8]	214 ^④	DP 32×16	6	未说明	未说明	突发分散	突发全占总线
本文方法	164	2-P 40×32, 2-P 64×32,	2	0.18	9.2	并行集中	并行集中
		2-P 216×32					

①DP: dual-port SRAM; 1-P: single-port SRAM; 2-P: two-port SRAM; ②滤波器面积不包括SRAM面积; ③PW指图像宽度(picture width); ④只是滤波运算时间, 不包含数据访问和回写时间。

5 结束语

本文针对 AVS 视频标准, 提出了一种专用的高性能去块滤波结构。通过调整滤波顺序, 使得行列滤波交替进行, 这提高了数据的重用率, 有效地加快了滤波处理速度。同时, 采用优化的滤波顺序和并行流水的存储器设计, 减小了待滤波数据单元和中间数据单元, 减小了芯片面积。仿真综合表明, 50MHz 频率下的处理能力为每个宏块 164 拍; 100MHz 频率下, 处理能力为每个宏块 188 拍, 能够有效支持高清晰度格式 AVS 实时视频应用的去块滤波运算。

参考文献

- [1] 信息技术. 先进音视频编码(AVS). 第2部分: 视频[S]. 数字音视频编解码技术标准工作组, 2005.
- [2] Huang Y W, Chen T W, and Hsieh B Y, *et al.* Architecture design for deblocking filter in H.264/JVT/AVC [C]. IEEE Int'l Conf on Multimedia and Expo, ICME'03, Baltimore, Maryland, USA, 2003: 693-696.
- [3] Li L, Goto S, and Ikenaga T. An efficient deblocking filter architecture with 2-dimensional parallel memory for H.264/AVC [C]. Asia South Pacific Design Automation Conf. ASP-DAC05, Shanghai, 2005: 623-626.
- [4] Sheng B, Gao W, and Wu D. An implemented architecture of deblocking filter for H.264/AVC [C]. IEEE Int'l Conf on Image Processing. Singapore, 2004: 665-668.
- [5] Shih Shen-yu, Chang Cheng-ru, and Lin Youn-long. A near optimal deblocking filter for H.264 advanced video coding [C]. Asia South Pacific Design Automation Conf. ASP-DAC06, Yokohama, Japan, 2006: 170-175.
- [6] Zheng G Q and Yu Lu. An efficient architecture design for deblocking loop filter [C]. Picture Coding Symposium. San Francisco, CA, USA, 2004, ID31: 1-5.
- [7] Liu T M, Lee W P, and Lin T A, *et al.* A memory-efficient deblocking filter for H.264/AVC video coding [C]. IEEE Int'l Symposium on Circuit and Systems. ISCAS05, Kobe, Japan, 2005: 2140-2143.
- [8] Sima M, Zhou Y, and Zhang W. An efficient architecture for adaptive deblocking filter of H.264/AVC video coding [J]. *IEEE Trans. on Consumer Electronics*, 2004, 50(1): 292-296.

方 健: 男, 1980年生, 博士, 从事视频压缩和集成电路设计的研究。

凌 波: 男, 1980年生, 博士, 从事图像处理和视频会议的研究。

王 匡: 男, 1968年生, 教授, 博士生导师, 主要从事数字电视和集成电路设计的研究。