

阵列乘法器通路时延故障的内建自测试

杨德才 陈光福 谢永乐
(电子科技大学自动化工程学院 成都 610054)

摘要: 阵列乘法器因高度集成和高速运行, 容易受到时延故障的困扰。该文对阵列乘法器的通路时延故障提出了一种用累加器实现的以单跳变序列作为测试序列的内建自测试方案。已有的理论和实践表明采用单跳变测试序列比多跳变序列具有更高的测试鲁棒性。同时, 该文的测试方案在测试通路覆盖率和测试向量数之间做到了兼顾。仿真结果表明这种单跳变测试序列具有高测试通路覆盖率。此外, 测试生成通过系统已有累加器的复用可节省硬件成本开销。

关键词: 阵列乘法器; 内建自测试; 时延故障测试; 通路时延故障; 单跳变序列

中图分类号: TN407

文献标识码: A

文章编号: 1009-5896(2009)01-0238-04

Built-in Self-Test Scheme for Path Delay Fault of Array Multiplier

Yang De-cai Chen Guang-ju Xie Yong-le

(College of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: Due to high integration and high speed operation, array multiplier much likely suffers from delay fault. In this paper, a Built-In Self-Test (BIST) scheme is presented for the delay fault test of such array multiplier in which an accumulator is utilized as test pattern generator. Based on the transition propagation analysis of the basic unit of full adder, a kind of single input change BIST sequences is generated which has been designated to be more effective than multiple input change sequences when highly robust delay fault coverage is targeted in a series of previous theoretical and experimental results. The proposed scheme is well balanced between the path coverage and the number of test patterns. Simulation results demonstrate the proposed scheme can get high path coverage. Furthermore, the reuse of existing accumulator to generate test patterns can lead to low hardware overhead.

Key words: Array multiplier; Built-In Self-Test (BIST); Delay fault test; Path delay fault; Single input change sequences

1 引言

阵列乘法器是 VLSI 算术运算系统的关键部件之一, 因高度集成与设计优化, 其测试变得愈加困难。内建自测试 (Built-In Self-Test, BIST) 无需昂贵外部测试设备, 且能真速 (at-speed) 测试, 故障覆盖率高, 有效地解决了内部节点可达性差的问题, 因而广泛应用^[1]。

过去, 对阵列乘法器的测试仅限于呆滞型故障和现实时序单元故障模型等^[2-4], 其通路时延故障的测试少有报道。电路的集成度和运行速率的剧增使得时延故障越来越受到重视^[5]。对于存在大量乘法器的高度流水化和并行运行的系统, 时延故障的存在对其性能有着至关重要的影响。乘法器通路时延故障测试的主要困难是其通路数巨大和高度集成难以外部施加测试。本文在对其通路时延故障可测性分析的基础上提出了采用累加器构成测试序列的内建自测试方案, 测试序列经合理设计, 在故障覆盖率和测试向量数之间兼顾。而采用累加器复用构成测试生成使得本文的硬件成本很

低, 且无需对乘法器本身作设计更改, 避免了对其性能的影响。

2 通路时延故障的可测性

阵列乘法器结构如图 1 所示, F 表示全加器。对一个 $n \times m$

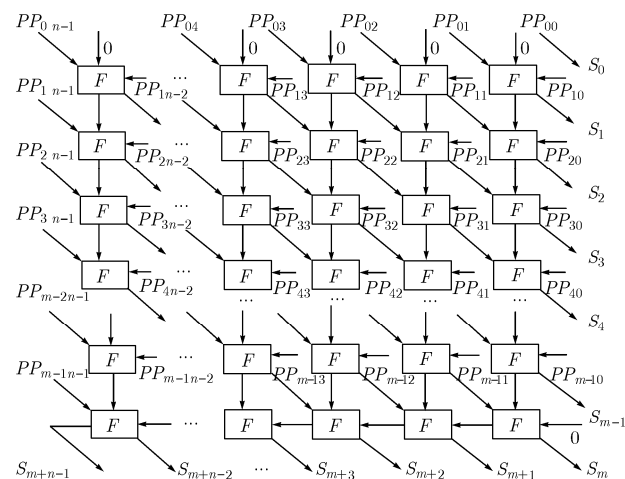


图 1 阵列乘法器结构

2007-06-22 收到, 2007-11-12 改回

国家自然科学基金(90407007)资助课题

阵列乘法器(m 表示水平输入数, n 表示垂直输入数), 第 $i(i = 0, 1, \dots, m-1)$ 行的第 $j(j = 0, 1, \dots, n-1)$ 个部分积是通过乘数 B 与被乘数 A 相逻辑“与”而得, 设为 pp_{ij} 。

通路时延测试按路旁输入的敏化条件分类, 如表 1 所示, 其中 cv 及 ncv 分别表示门的控制值和非控制值^[5]。时延测试往往因为测试向量施加时存在险象或不期望的跳变而失效, 但是鲁棒(robust)测试可保证不受险象的影响^[5,6]。ISCAS'85 国际基准电路 C6288 为 16×16 的阵列乘法器^[7], 很具有代表性, 其全加器门级结构如图 2 所示, 本文以其为例来分析通路时延故障可测性。

表 1 通路时延故障的分类

| 敏化类型 | 传播到门 g 的路上跳变类型 | |
|-----------------|-----------------------------|-----------------------------|
| | $cv(g) \rightarrow ncv(g)$ | $ncv(g) \rightarrow cv(g)$ |
| 单通路无险象 | $ncv(g) \rightarrow ncv(g)$ | $ncv(g) \rightarrow ncv(g)$ |
| 鲁棒(robust) | $x \rightarrow ncv(g)$ | $ncv(g) \rightarrow ncv(g)$ |
| 非鲁棒(non-robust) | 无 | $cv(g) \rightarrow ncv(g)$ |
| 功能敏化 | 无 | $ncv(g) \rightarrow cv(g)$ |

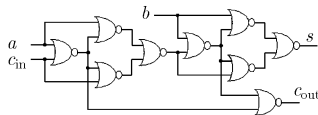


图 2 全加器门级结构

假设每个逻辑门有一个单位的时延, 由此可知从 a 或 c_{in} 到输出 c_{out}/s 为全加器最长通路。由图 3 可见, 虽然从 a/c_{in} 到 s 的最长通路可实现鲁棒测试, 但从 a/c_{in} 到 c_{out} 的最长通路并不是鲁棒可测的。虽然从 a/c_{in} 到 c_{out} 的这个 5 个门的最长通路不是鲁棒可测, 但是如图 4 粗黑线所示的 4 个门的通路(将第 1 个门旁通)则是鲁棒可测的。

阵列乘法器通路的跳变传播与其构成单元全加器的通路敏化情况息息相关。下面我们考虑全加器的通路敏化情况。

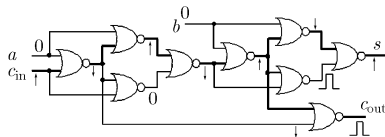


图 3 全加器最长通路

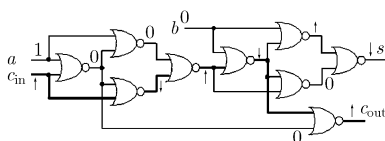


图 4 从 c_{in} 到 c_{out} 的最长强健测试通路

(1)全加器单跳变输入 除了图 3、图 4 所示的情况, 下面考虑全加器输入存在单个跳变的其他情况, 如图 5 所示。可见, 在单跳变输入情况下, 全加器少有毛刺出现, 且不容易发生测试失效。

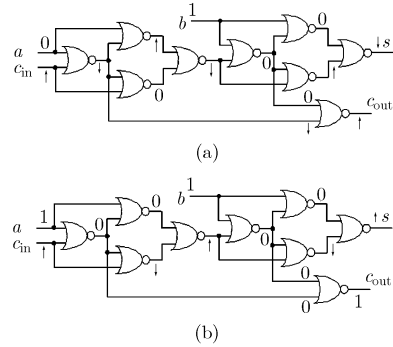


图 5 单跳变输入下全加器的通路敏化

(2)全加器多跳变输入 如图 6 所示, 全加器在多跳变输入下, 通路容易出现多重跳变的情况, 通路险象及所生成的毛刺极易导致测试失效, 与前面单跳变输入比较, 测试的鲁棒性要差得多。因此在下一节主要针对单跳变输入作 BIST 方案设计。

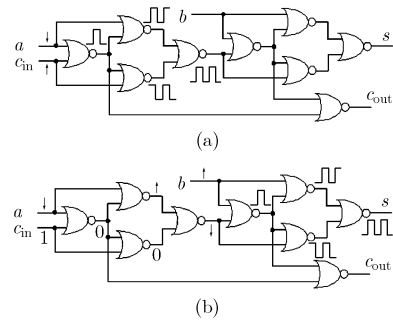


图 6 多跳变输入下出现的多重跳变

3 内建自测试方案

由前面结果可知, 单跳变测试比多跳变测试具有更高的鲁棒性, 且前者数量($n \times 2^n$)比后者数量 $[2^n \times (2^n - 1)]$ 小得多。但是当 n 很大时, 穷举单跳变测试数量也是巨大的。例如, 16×16 的阵列乘法器, 如果采用穷举单跳变测试, 测试数将达到 32×2^{32} 之多。下面提出一种 BIST 测试方案, 在兼顾测试有效性和故障覆盖率的基础上, 测试向量数少, 符合测试实际应用需求。

因数据通道上乘法器常伴有累加器, 若加以复用来构造测试向量生成, 可节省硬件开销。为此, 本文提出如图 7 所示的 BIST 方案, 这些测试硬件加在乘法器的外围, 无需对乘法器本身的基本结构作任何修改。

如图 7, 该 BIST 方案是基于两个 4 位的累加器或者一

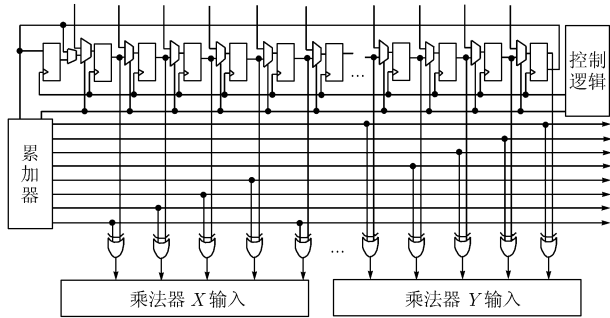


图 7 乘法器通路时延故障的 BIST 结构

个 8 位的累加器，其中有 4 位用于乘法器的水平输入(X 输入)，另 4 位用于乘法器的垂直输入(Y 输入)。这些累加器的输出以 4 位分组的方式加在异或门输入，如图 8 所示。

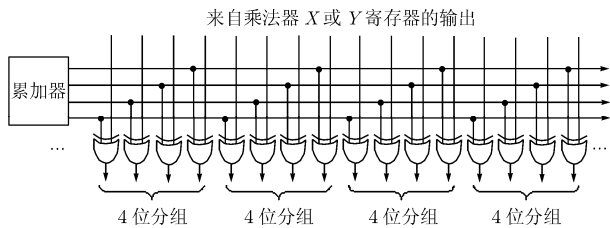


图 8 累加器输出的分组及异或门的配置

乘法器外围寄存器输出在作异或运算之前的状态序列如表 2 所示，假设 X 寄存器有 m 位， Y 寄存器有 n 位。由表 2 可见，任何两个相邻的状态序列，都只有某一位有所不同。这样，累加器生成有 256 个状态，对这其中的任何一个状态，在经过异或运算后都产生单跳变序列。

表 2 寄存器输出的状态序列

| 时钟 | X 寄存器 | | | Y 寄存器 | | |
|-----------|-----------|---------|---------|-----------|---------|---------|
| | X_{m-1} | \dots | X_3 | Y_{m-1} | \dots | Y_3 |
| | X_{m-4} | \dots | X_0 | Y_{m-4} | \dots | Y_0 |
| 0 | 0000 | \dots | 0000 | 0000 | \dots | 0000 |
| 1 | 1000 | \dots | 0000 | 0000 | \dots | 0000 |
| 2 | 1100 | \dots | 0000 | 0000 | \dots | 0000 |
| \dots | \dots | \dots | \dots | \dots | \dots | \dots |
| $m-1$ | 1111 | \dots | 1110 | 0000 | \dots | 0000 |
| m | 1111 | \dots | 1111 | 0000 | \dots | 0000 |
| $m+1$ | 1111 | \dots | 1111 | 1000 | \dots | 0000 |
| $m+2$ | 1111 | \dots | 1111 | 1100 | \dots | 0000 |
| \dots | \dots | \dots | \dots | \dots | \dots | \dots |
| $m+n-1$ | 1111 | \dots | 1111 | 1111 | \dots | 1110 |
| $m+n$ | 1111 | \dots | 1111 | 1111 | \dots | 1111 |
| $m+n+1$ | 0111 | \dots | 1111 | 1111 | \dots | 1111 |
| $m+n+2$ | 0011 | \dots | 1111 | 1111 | \dots | 1111 |
| \dots | \dots | \dots | \dots | \dots | \dots | \dots |
| $2m+2n-1$ | 0000 | \dots | 0000 | 0000 | \dots | 0001 |
| $2m+2n$ | 0000 | \dots | 0000 | 0000 | \dots | 0000 |

考虑垂直输入数为 n ，水平输入数为 m 的 $n \times m$ 乘法器，累加器输出状态数为 $2^8=256$ ，对累加器每个输出状态，该 BIST 方案生成 $2(m+n)$ 个单跳变测试。这样，测试生成器所生成的单跳变双向量测试数总共为 $512(m+n)$ 。

4 实验仿真及讨论

为了评估本文方案，定义如下的 6 值逻辑。

$S0(000)$ 和 $S1(111)$ ，分别表示向量对之中前一个向量和后一个向量都为 0/1 值，无任何险象出现。

$R(0x1)$ 和 $D(1x0)$ ，分别表示向量对之中前一个向量值为 0/1，后一个向量值为 1/0，即出现上升/下降跳变。这里 x 表示不定值，以下同。

$H0(0x0)$ 和 $H1(1x1)$ ，表示向量对之中前一个向量和后一个向量都为 0/1 值，但是中间过渡值不定，有险象出现。

利用这 6 值逻辑，表 3 中给出了与门、或门和非门的逻辑蕴涵。在仿真时，根据蕴含表可确定各信号线的逻辑状态。

表 3 采用 6-值编码的逻辑蕴涵

| AND /OR | S0 | S1 | F | R | H0 | H1 |
|---------|-------|-------|-------|-------|-------|-------|
| S0 | S0/S0 | S0/S1 | S0/F | S0/R | S0/H0 | S0/H1 |
| S1 | S0/S1 | S1/S1 | F/S1 | R/S1 | H0/S1 | H1/S1 |
| F | S0/F | F/S1 | F/F | H0/H1 | H0/F | F/H1 |
| R | S0/R | R/S1 | H0/H1 | R/R | H0/R | R/H1 |
| H0 | S0/H0 | H0/S1 | H0/F | H0/R | H0/H0 | H0/H1 |
| H1 | S0/H1 | H1/S1 | F/H1 | R/H1 | H0/H1 | H1/H1 |
| NOT | S1 | S0 | R | F | H1 | H0 |

阵列乘法器通路数巨大，相当多的通路实际只相差某个或数个逻辑门结构而已。ISCAS'85 中 C6288 的门级通路数达到了 1.98×10^{20} ，以这种门级通路数来计算覆盖率不但很困难，且意义不大。由于该巨大通路数来源于全加器结构内部通路的多扇出重会聚，因此采用全加器作为模块，考虑模块级的输入-输出通路。图 2 所示的全加器，有 3 个输入 2 个输出，其门级通路数有 30 条，但采用模块级通路，则只有 6 条。采用这种模块级通路可有效避免因门级通路数巨大导致测试系统难以处理的问题。

利用 Verilog 硬件描述语言，对乘法器在本文的测试向量输入下的通路敏化情况作了仿真。仿真环境为 Linux 系统、P4 处理器 1.5GHz、256M 内存，通路数和覆盖率计算采用非枚举算法^[8]。表 4 给出了仿真结果。

表 4 中分别给出了不同位数乘法器的鲁棒测试和非鲁棒测试的模块级通路数。可见随着乘法器位数的增加，鲁棒测试与非鲁棒测试覆盖的通路数比例呈下降趋势，但是其通路覆盖率都超过了 70%。随着乘法器位数的增加，鲁棒测试通路数所占的比例逐渐减少，非鲁棒测试通路数所占的比例逐

表 4 仿真结果表

| 乘法器的 输入位宽 | 门级 通路数 | 模块级 通路数 | 测试 向量数 | 鲁棒测试 | | 非鲁棒测试 | | 鲁棒与非鲁棒测试总和 | |
|--------------|-----------------------|------------|-----------|-------|------|-------|------|------------|------|
| | | | | 通路数 | % | 通路数 | % | 通路数 | % |
| 8×8 | 2.45×10^{10} | 2022 | 8192 | 1346 | 79.6 | 346 | 20.4 | 1692 | 83.7 |
| 16×16 | 1.98×10^{20} | 16630 | 16384 | 9811 | 73.2 | 3585 | 26.8 | 13396 | 80.6 |
| 24×24 | 3.17×10^{26} | 55942 | 24576 | 31029 | 71.0 | 12684 | 29.0 | 43713 | 78.1 |
| 32×32 | 6.83×10^{34} | 132438 | 32768 | 67185 | 68.3 | 31127 | 31.7 | 98312 | 74.2 |

渐增加。通常对呆滞型故障有很高的故障覆盖率要求, 例如 98% 以上。但是, 对于通路时延故障, 因与被测电路的通路数有关, 不能设置这样高的条件。从表 4 中可见, 鲁棒和非鲁棒通路测试具有高的覆盖率, 这对于实际产品的 Speed-binning(速率分级)目的已经足够。对于实际电路产品, 除了测试呆滞型故障之外, 再加上本文的通路时延故障测试的筛选, 淘汰那些对速率特性敏感、稳频性能不足的产品, 以保证用于严格工作环境中对系统可靠性能等要求的满足。本文这种 BIST 方案, 对测试向量数和故障覆盖率作到兼顾。测试向量数的减少有助于减少测试时间。与此同时, 本文选用单跳变测试向量, 比多跳变向量具有更高的鲁棒测试故障覆盖率。本方案采用系统已有的累加器作测试生成, 避免了加入额外的测试硬件, 节省了硬件成本。

5 结束语

本文研究了阵列乘法器的通路时延故障, 在对其基本构成单元全加器的通路跳变特性分析的基础上, 提出了一种用累加器构造的低成本内建自测试方案。该方案采用单跳变测试序列, 比多跳变序列具有更高的测试鲁棒性。同时, 本文的单跳变测试序列的测试数较少, 避免了采用穷举单跳变测试序列对于高位乘法器结构不适用问题, 在测试故障覆盖率和测试向量数之间兼顾。仿真结果表明这种单测试序列具有较高的测试通路覆盖率。本文通过累加器复用可节省硬件成本, 避免额外加入测试硬件所带来的系统性能影响, 且无需对乘法器本身作设计更改, 避免了对其性能的影响。

参考文献

- [1] 杨德才, 谢永乐, 陈光祜. VLSI 流水化格型数字滤波器的内建自测试. 电子学报, 2007, 35(11): 55-59.
Yang De-cai, Xie Yong-le, and Chen Guang-ju. Built-in

self-test for VLSI pipelined lattice digital filter. *Acta Electronica Sinica*, 2007, 35(11): 55-59.

- [2] Paschalis A, Gizopoulos D, and Kranitis N. An effective BIST architecture for fast multiplier cores. Proc. of Design, Automation and Test in Europe Conference, Munich, 1999: 117-121.
- [3] Gizopoulos D, Paschalis A, and Zorian Y. An effective built-in self-test scheme for parallel multipliers. *IEEE Trans. on Computers*, 1999, 48(9): 936-950.
- [4] Psarakis M, Gizopoulos D, and Paschalis A, et al. Robust and low-cost BIST architectures for sequential fault testing in datapath multipliers. IEEE VLSI Test Symposium, Los Angeles, 2001: 15-20.
- [5] Pomeranz I and Reddy S M. Effectiveness of scan-based delay fault tests in diagnosis of transition faults. *IET Computers & Digital Techniques*, 2007, 1(5): 537-545.
- [6] Komuk H. On invalidation mechanisms for nonrobust delay tests. International Test Conference, Atlantic, 2000: 393-399.
- [7] Hansen M, Yalcin H, and Hayes J. Unveiling the ISCAS-85 benchmarks: a case study in reverse engineering. *IEEE Design and Test of Computers*, 1999, 16(3): 72-80.
- [8] Pomeranz I and Reddy S M. An efficient nonenumerative method to estimate the path delay fault coverage in combinational circuits. *IEEE Trans. on CAD*, 1994, 13(2): 240-250.

杨德才: 男, 1974 年生, 博士生, 研究方向为大规模集成电路的内建自测试及可测性设计。

陈光祜: 男, 1939 年生, 教授, 博士生导师, 研究方向为大规模集成电路现代测试理论与技术、计算机辅助测试。

谢永乐: 男, 1969 年生, 副教授, 博士, 研究方向为混合信号集成电路测试。