

# 基于负反馈箝位技术的高性能 CMOS 带隙基准源

曹寒梅<sup>①</sup> 杨银堂<sup>①</sup> 蔡伟<sup>②</sup> 陆铁军<sup>②</sup> 王宗民<sup>②</sup>

<sup>①</sup>(西安电子科技大学微电子学院宽禁带半导体材料与器件教育部重点实验室 西安 710071)

<sup>②</sup>(北京微电子技术研究所 北京 100076)

**摘要:** 该文提出了一种结构简单的高性能带隙电压基准源。电路设计中采用负反馈箝位技术实现电压箝位, 消除了运放自身失调效应的影响, 简化了电路设计; 输出部分采用调节型共源共栅结构, 保证了高的电源抑制比(PSRR)。整个电路采用 SMIC 0.18 $\mu\text{m}$  标准 CMOS 工艺实现, 并用 HSPICE 进行仿真, 结果表明所设计的电路在 -15~70 $^{\circ}\text{C}$  范围内的温度系数为 10.8ppm/ $^{\circ}\text{C}$ , 直流 PSRR 为 74.7dB, 在 10Hz~1MHz 频带内的总的输出噪声电压为 148.7 $\mu\text{V}/\sqrt{\text{Hz}}$ 。

**关键词:** 带隙电压基准源; 负反馈箝位; 温度稳定性

中图分类号: TN431.2

文献标识码: A

文章编号: 1009-5896(2008)06-1517-04

## High Performance CMOS Bandgap Reference Source Based on Negative Feedback Clamp Technique

Cao Han-mei<sup>①</sup> Yang Yin-tang<sup>①</sup> Cai Wei<sup>②</sup> Lu Tie-jun<sup>②</sup> Wang Zong-min<sup>②</sup>

<sup>①</sup>(Microelectronics Institute, Xidian University, Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Xi'an 710071, China)

<sup>②</sup>(Beijing Microelectronics Institute of Technology, Beijing 100076, China)

**Abstract:** A novel CMOS bandgap reference is presented. A negative feedback clamp technique is used which eliminates the offset of Op-Amps and simplifies the design. A regulated cascode configuration is used to improve Power Supply Rejection Ratio (PSRR). It is implemented in SMIC standard 0.18 $\mu\text{m}$  CMOS process, the results from HSPICE simulation show that the temperature coefficient between -15~70 $^{\circ}\text{C}$  is 10.8ppm/ $^{\circ}\text{C}$ , and the PSRR at 10Hz is 74.7dB, the output noise voltage is 148.7 $\mu\text{V}/\sqrt{\text{Hz}}$ .

**Key words:** Bandgap voltage reference source; Negative feedback clamp; Temperature stability

### 1 引言

在模/数转换器、数/模转换器等集成电路设计中, 低温系数、低功耗、高电源抑制比(PSRR)的基准源设计十分关键。带隙基准源(BGR)由于具有高电源抑制比和低温系数等优点而获得了广泛的研究和应用<sup>[1]</sup>。但是, 典型的 BGR 一般都采用运放进行电压箝位<sup>[2,3]</sup>, 使得电路设计相对复杂, 而且运放本身存在失调, 会对基准输出精度产生一定的影响。

本文设计了一种适用于主流 CMOS 工艺的新型高性能带隙电压基准源。电路设计中没有采用典型结构中的差分放大器, 而是采用负反馈箝位技术实现电压箝位, 消除了运放自身失调效应的影响, 同时大大简化了电路设计; 输出部分采用调节型共源共栅结构, 保证了高的电源抑制比。

### 2 典型带隙电压基准源(BGR)的原理

图 1 为典型的带隙电压基准源的示意图。运算放大器的作用是使电路处于深度负反馈状态, 使得节点 1 和节点 2 的

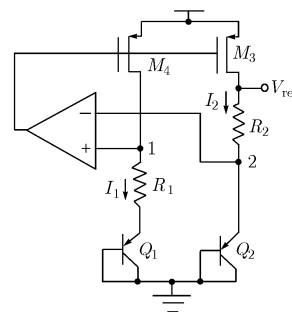


图 1 典型的带隙基准源电路

电压相等, 从而两个 PNP 管  $Q_1$ ,  $Q_2$  的基极-发射极电压差  $\Delta V_{BE}$  为  $\Delta V_{BE} = V_T \ln(N) = I_1 R_1$ , 其中  $N$  是  $Q_1$ ,  $Q_2$  的发射结面积之比。

通过  $M_3$  和  $M_4$  的镜像作用, 使得电流  $I_1$  和  $I_2$  相等, 故输出基准电压为

$$V_{\text{ref}} = V_{BE2} + \frac{R_2 V_T}{R_1} \ln(N) \quad (1)$$

基极-发射极电压  $V_{BE}$  室温下的温度系数约为 -2.2mV/K, 热电压  $V_T$  在室温下的温度系数约为 +0.085mV/K<sup>[4]</sup>, 合

理选择  $N$ ,  $R_1$ ,  $R_2$  的值, 即可得到常温下温度系数为零的基准输出。

假设运放自身引起的失调为  $V_{OS}$ , 由电源电压、工艺不匹配以及温度等其它因素引起的失调为  $V_{OS1}$ , 则实际输出电压为<sup>[5]</sup>

$$V_{ref} = V_{BE2} + \frac{R_2 [V_T \ln(N) - V_{OS} - V_{OS1}]}{R_1} \quad (2)$$

从式(2)可以看出, 典型的带隙基准源结构的缺点是对运放失调比较敏感, 而且只能输出 1.2V 以上的基准电压。为此必须对该结构进行改进, 尽可能采用简单的电路结构来最大限度地降低运放自身失调的影响, 同时获得低于 1.2V 的输出电压, 以适应 IC 向低电源电压方向发展的需求。

### 3 本文提出的带隙电压基准源电路结构

图2是本文提出的带隙电压基准源结构。设计的基本思想是采用负反馈箝位技术实现电压箝位, 该思想主要体现在晶体管  $M_7 \sim M_{13}$  和  $Q_1$  的设计上。所提出的电路主要包括两部分:  $M_7 \sim M_{13}$ ,  $Q_1 \sim Q_3$ ,  $R_1 \sim R_3$  构成基准源的核心电路;  $M_{14} \sim M_{19}$  构成调节型共源共栅输出电路。

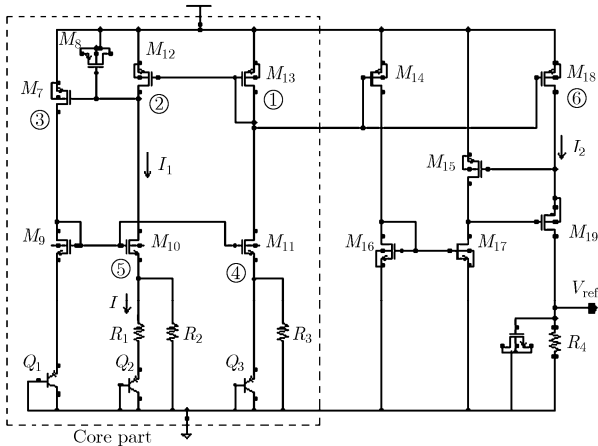


图2 提出的带隙电压基准源结构

#### 3.1 负反馈箝位技术

晶体管  $M_7$ ,  $M_9$ ,  $M_{11} \sim M_{13}$  形成负反馈环路,  $M_7$ ,  $M_9$  和  $M_{10}$  形成正反馈环路, 设计的关键是确保负反馈环路增益大于正反馈环路增益, 从而使得电路能够稳定工作。

**3.1.1  $V_4 = V_5$  的论证** 设计中, 取  $(W/L)_{12} = (W/L)_{13}$ ,  $(W/L)_{10} = (W/L)_{11}$ ,  $V_4$  和  $V_5$  分别是图2中节点④和⑤的电压。由于  $M_{12}$  和  $M_{13}$  构成电流镜, 故其漏电流相等, 即  $I_{12} = I_{13}$ , 又 MOSFET 的  $I-V$  特性为

$$I = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (3)$$

由于  $M_{10}$  和  $M_{11}$  的栅压相等, 且  $I_{12} = I_{10}$ ,  $I_{13} = I_{11}$ , 可以推导出  $V_4 = V_5$ 。

电源电压为 1.8V 时, 采用 HSPICE 工具对电路进行仿真。节点电压  $V_4$  和  $V_5$  随温度的变化曲线如图3所示, 仿真

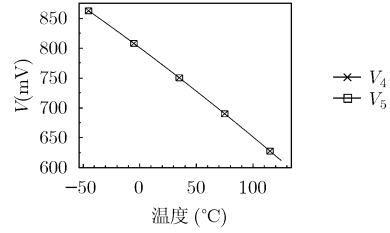


图3  $V_4$  和  $V_5$  随温度的变化

结果验证了上面的推导: 所设计的电路虽然没有采用差分放大器, 但是仍然能够确保典型结构中要求的  $V_4 = V_5$ 。

**3.1.2 环路稳定性分析** 假设节点①的电压有一个微小的增加, 则该波动通过晶体管  $M_{12}$  使节点②电压减小, 然后又通过  $M_7$  使节点③电压增加, 最后通过  $M_{11}$  使节点①电压减小, 最终动态调节节点①电压的稳定性。由于节点①的电压相对稳定了, 故确保了  $M_{12}$ ,  $M_{13}$  所在支路电流的稳定。采用类似的分析, 本文提出的电路也能够动态调节节点②和节点③电压的稳定性。

如前所述, 晶体管  $M_7$ ,  $M_9$ ,  $M_{11} \sim M_{13}$  形成负反馈环路, 而  $M_7$ ,  $M_9$  和  $M_{10}$  形成正反馈环路。为了保证稳定性, 最关键的一点是确保电路总的是负反馈<sup>[5]</sup>。令  $r_i$ ,  $g_{mi}$  ( $i=7 \sim 13$ ) 分别为  $M_7$ ,  $M_9 \sim M_{13}$  晶体管的阻抗和跨导,  $r_{ei}$  ( $i=1 \sim 3$ ) 为 PNP 管  $Q_1 \sim Q_3$  的发射区电阻,  $V_i$  ( $i=1 \sim 5$ ) 分别是对应节点处的电压, 可以推导出负反馈环路增益  $A_N$  和正反馈环路增益  $A_P$ :

$$\left. \begin{aligned} A_N &= g_{m12} R_{II} g_{m7} R_{III} A_{open} \\ A_P &= g_{m7} R_{III} A_{open1} \end{aligned} \right\} \quad (4)$$

其中

$$\begin{aligned} R_{II} &= r_{i2} \parallel \{g_{m10} r_{i0} [(R_1 + r_{e2}) \parallel R_2]\} \\ R_{III} &= r_7 \parallel \{r_{e1} + [r_9 \parallel (1/g_{m9})]\} \\ A_{open} &= \frac{g_{m11} r_{i1} [(1/g_{m13}) \parallel r_{i3}]}{(1/g_{m13}) \parallel r_{i3} + r_{i1} + (1 + g_{m11} r_{i1})(r_{e3} \parallel R_3)} \\ A_{open1} &= \frac{g_{m10} r_{i0} r_{i2}}{r_{i2} + r_{i0} + (1 + g_{m10} r_{i0})[(r_{e2} + R_1) \parallel R_2]} \end{aligned}$$

设计中, 取  $(W/L)_{12} = (W/L)_{13}$ ,  $(W/L)_{10} = (W/L)_{11}$ ,  $R_2 = R_3$ , 由于  $M_{12}$  与  $M_{13}$ ,  $M_{11}$  与  $M_{10}$  的栅压分别相等,  $Q_1$ ,  $Q_2$  和  $Q_3$  的基极电压相等, 因此  $g_{m10} = g_{m11}$ ,  $g_{m12} = g_{m13}$ ,  $r_{e1} = r_{e2} = r_{e3}$ 。式(4)表明, 该电路的负反馈环路增益远远高于正反馈环路增益, 能够确保电路始终处于深度负反馈状态。

从以上的分析可以看出, 本文提出的电路既能够完成典型结构中的差分放大器的功能(即确保  $V_4 = V_5$ ), 又能始终使电路处于深度负反馈状态, 保证了电路工作的稳定性。

#### 3.2 电源抑制比(PSRR)的改善

本文提出的电路采用调节型共源共栅电路作为基准源的输出, 由  $M_{14} \sim M_{19}$  构成。从  $M_{19}$  的漏端看进去的等效阻抗为

$$R_{out} = g_{m19}r_{i9}g_{m15}r_{i5}r_{i8} \quad (5)$$

高的等效电阻屏蔽了节点⑥电压的变化<sup>[5]</sup>, 进而稳定了流过  $M_{18}$  的电流  $I_2$ 。由于输出电压  $V_{ref} = I_2R_4$ ,  $I_2$  相对稳定, 因此输出基准电压也就相对稳定了。

低频 PSRR 可表示为

$$PSRR|_{dB} = \frac{v_{ref}}{v_{dd}|_{dB}} \cong 20 \log \left( \frac{R_4}{g_{m19}r_{i9}g_{m15}r_{i5}r_{i8} + R_4} \right) \quad (6)$$

由于  $R_{out}$  远大于  $R_4$ , 所以所设计电路的电源抑制比是比较高的。

### 3.3 基准输出电压的推导

为了得到低于 1.2V 的输出电压, 采用了电阻分流技术<sup>[6]</sup>。 $(W/L)_{12} = (W/L)_{13}$ ,  $(W/L)_{10} = (W/L)_{11}$ ,  $R_2 = R_3$ , PNP 管  $Q_2$  和  $Q_3$  的发射极面积之比为  $N$ , 而且流过两管的电流相等, 这样  $\Delta V_{BE}$  就等于  $V_T \ln(N)$ 。如前所述,  $V_4 = V_5$ , 因此电流  $I_1$  为

$$I_1 = \frac{V_T \ln(N)}{R_1} + \frac{V_{BE}}{R_2} \quad (7)$$

输出基准电压为

$$\begin{aligned} V_{ref} &= I_1R_4 = R_4 \left( \frac{V_T \ln(N)}{R_1} + \frac{V_{BE}}{R_2} \right) \\ &= \frac{R_4}{R_2} \left( \frac{R_2V_T \ln(N)}{R_1} + V_{BE} \right) \end{aligned} \quad (8)$$

由于没有采用运放, 运放自身失调的影响消除了。由电源电压、工艺不匹配以及温度等其它因素引起的失调用下式表示:

$$V_{ref} = \frac{R_4}{R_2} \left( \frac{R_2[V_T \ln(N) - V_{OS1}]}{R_1} + V_{BE} \right) \quad (9)$$

表 1 是各种失配对输出电压的影响。在典型带隙基准源结构中, 运放自身的失调引起的基准输出电压误差可达到 26mV<sup>[7]</sup>, 而在  $\pm 2\%$  的失配条件下, 本文提出的基准源的输出波动最大为 4.24mV, 有效地消除了运放自身失调的影响, 并简化了电路结构, 使基准源电路的设计更为简单。合理选择  $N$ ,  $R_1$  和  $R_2$ , 可以得到某温度下的恒定电压输出; 调节电阻  $R_4$ , 可以得到小于 1.2V 的基准输出电压, 以满足各种电路系统的低电压工作要求。

## 4 仿真与分析

基于 SMIC 0.18 $\mu\text{m}$  标准 CMOS 工艺 BSIM3V3.2 模型,

采用 HSPICE 对电路进行仿真。图 4 是在工艺角 TT, FF, SS 下及电源电压为 1.8V 时, 带隙基准电压源的温度特性。从图中可以看出工艺角的变化对基准输出电压的影响很小。典型工艺 TT 下, 温度在  $-15 \sim 70^\circ\text{C}$  之间时, 温度系数为 10.8ppm/ $^\circ\text{C}$ 。图 5 是带隙基准电压源的电源抑制比特性, 其直流 PSRR 为 74.7dB, 在整个频率范围内  $PSRR < -20\text{dB}$ 。从仿真结果可以看出, 本文提出的电路在简化结构的同时获得了较高的性能。

电源电压为 1.8V, 温度为  $25^\circ\text{C}$  时, 带隙电压基准源的噪声特性如图 6 所示。在 10Hz~1MHz 频带内, 总的输出噪声电压为  $148.7\mu\text{V}/\sqrt{\text{Hz}}$ 。

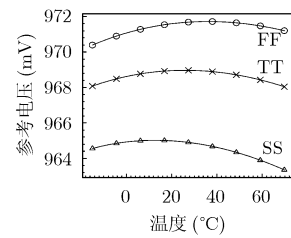


图 4 不同工艺角时, 带隙基准源的温度特性

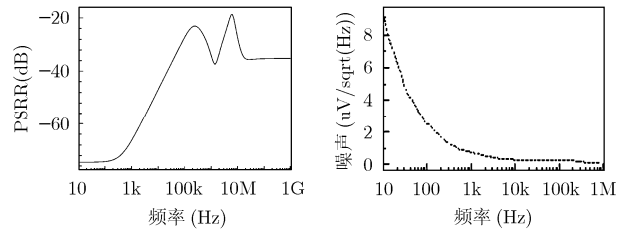


图 5 带隙基准源的 PSRR 特性 图 6 BGR 的输出噪声电压

## 5 结束语

本文提出了一种温度系数为 10.8 ppm/ $^\circ\text{C}$ , 结构简单的带隙电压基准源, 在简化设计的同时获得了高的性能。所设计的电路没有采用差分放大器, 而是采用负反馈箝位技术来实现典型带隙电压基准源中的差分放大器的功能, 结果消除了运放自身失调效应的影响; 由于输出端采用调节型共源共栅电路结构, 提高了电源抑制比。该基准源结构简单, 调整方便, 非常适合 SOC 设计要求。

表 1 各种失配对输出电压的影响

项 目	运放中的差分对 <sup>[7]</sup>		运放中的电流镜 <sup>[7]</sup>		图 1 中的 $M_3, M_4$		本文中的 $M_{10}, M_{11}$		本文中的 $M_{12}, M_{13}$	
	-2%	+2%	-2%	+2%	-2%	+2%	-2%	+2%	-2%	+2%
典型基准源的输出波动(mV)	768.13	781.68	754.99	768.53	766.45	769.36				
提出基准源的输出波动(mV)	不存在		不存在				967.37	970.32	971.61	967.72

## 参考文献

- [1] Kuijk K E. A precision reference voltage source. *IEEE J. Solid-State Circuits*, 1973, 8(3): 222-226.
- [2] Xu Wen-dan, Xu Dong-lai, and French Ian. A high performance CMOS band-gap reference circuit design. *IEEE International Workshop on VLSI Design & Video Tech.*, Suzhou, 2005: 32-35.
- [3] 秦波, 贾晨, 陈志良等. 1V电源非线性补偿的高温度稳定性电压带隙基准源. *半导体学报*, 2006, 27(11): 2035-2039.
- Qin Bo, Jia Chen, and Chen Zhi-liang, *et al.* A 1V MNC bandgap reference with high temperature stability. *Chinese Journal of Semiconductors*, 2006, 27(11): 2035-2039.
- [4] Banba H, Shi-ga H, and Mezawa A, *et al.* A CMOS bandgap reference circuit with sub-1-V operation. *IEEE J. Solid-State Circuits*, 1999, 34(5): 670-674.
- [5] 陈贵灿, 程军, 张瑞智. 模拟 CMOS 集成电路设计[M]. 西安交通大学出版社, 2003: 318.
- Chen Gui-can, Cheng Jun, Zhang Rui-zhi. *Analog CMOS Integrated Circuit Design*. Xi'an Jiaotong University Publisher, 2003: 318.
- [6] Xiao Du, Li Wei-min, and Zhu Xiao-fei, *et al.* A curvature-compensated bandgap reference with improved PSRR. *IEEE Int. Workshop VLSI Design & Video Tech.*, Suzhou, 2005: 548-551.
- [7] 刘帘曦, 杨银堂, 朱樟明. 基于 MOSFET 失配分析的低压高精度 CMOS 带隙基准源. *西安电子科技大学学报(自然科学版)*, 2005, 32(3): 348-352.
- Liu Lian-xi, Yang Yin-tang, and Zhu Zhang-min. A low voltage and high accuracy CMOS bandgap reference by considering mismatch of MOSFETs. *Journal of Xidian University*, 2005, 32(3): 348-352.
- 曹寒梅: 女, 1979年生, 博士生, 研究方向为高速高性能 ADC.
- 杨银堂: 男, 1962年生, 西安电子科技大学副校长, 教授, 博士生导师, 主要研究方向为深亚微米集成电路及 IP 设计、新型半导体器件设计.
- 蔡伟: 男, 1980年生, 工程师, 研究方向为高速高性能 ADC.
- 陆铁军: 男, 1963年生, 博士, 研究员, 主要研究方向为超大规模集成电路设计.
- 王宗民: 男, 1973年生, 工程师, 研究方向为高性能 ADC 与 DAC 电路.