

面向 SOC 的可配置 AHB 接口组件

张 颀^① 权进国^② 乔 飞^① 罗 嵘^① 杨华中^①

^①(清华大学电子工程系 北京 100084)

^②(清华大学深圳研究生院 深圳 518055)

摘 要: 该文设计了面向 SOC 的可配置 AHB 接口组件。该接口组件针对 SOC 中的 AHB 总线从设备, 提供寄存器、中断信号、SRAM、FIFO 数据接口, 实现了高度可配置性, 兼顾了效率和重用性。该接口模块成功地应用在 DAB 和 DRM 接收机芯片的设计实践中。在 DRM 接收机芯片中的一个典型应用为 0.18 μ m CMOS 工艺下占用 0.078mm² 的面积。

关键词: 片上系统(SOC); 接口组件; AMBA; AHB

中图分类号: TN492

文献标识码: A

文章编号: 1009-5896(2008)08-2008-04

A Reconfigurable AHB Interface Component for SOC

Zhang Di^① Quan Jin-guo^② Qiao Fei^① Luo Rong^① Yang Hua-zhong^①

^①(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

^②(Graduate School at Shenzhen, Tsinghua University, Shenzhen 518055, China)

Abstract: In this paper, a reconfigurable AHB interface component was designed. This component is for AHB slave devices in SOC. Various types of data interfaces such as register, interrupt, SRAM and FIFO are provided with high configurability. The performance and reusability are both considered. This AHB interface component was successfully applied to chips for DAB and DRM receivers. A typical application of this component in DRM receiver has an area of 0.078mm² in 0.18 μ m CMOS process.

Key words: SOC; Interface component; AMBA; AHB

1 引言

AHB 总线是 ARM 公司推出的高性能片上总线规范 AMBA^[1]的重要组成部分,主要用于高性能模块之间的连接,已经广泛应用在各种 SOC 芯片中^[2]。然而,基于 AHB 总线的专用硬件模块的设计人员通常都需要自己设计 AHB 接口电路结构^[3],当系统复杂时这种方法的设计周期长,而且无法保证各个模块接口的高效性和一致性。

针对此问题本文设计了一种高度可配置的通用 AHB 总线从设备接口,只需通过简单的配置就可以得到各种应用所需要的接口形式。专用硬件模块设计者不必处理 AHB 总线系统的各种信号时序,就可以实现一个 AHB 总线从设备。本文所设计的 AHB 总线接口模块可以适用于基于 AMBA 总线构架的各种 SOC 芯片。

效率、可扩展性、可重用性和多时钟域间的数据传输是可重配置 AHB 接口组件的重要方面,本文将在第 2 节介绍其整体结构,在第 3 节讨论总线数据传输的同步,在第 4 节讨论数据通路子系统设计,在第 5 节介绍可配置性设计,第 6 节是测试和综合结果,第 7 节是结论和后续工作计划。

2 接口整体设计

现代 SOC 的设计规模不断增大,设计周期的延长和验证测试成为瓶颈之一。提高组件的复用性和一致性是加速设计周期和减轻验证测试负担的一个解决方法。不同的模块的总线接口最初是由不同的设计人员进行编写,由于不同设计人员编写的接口形式有很大区别,这给大规模集成电路设计的验证和测试带来了不便,大大延长了设计周期。为加速 SOC 的设计,减轻验证和测试的负担,可使用统一的可配置总线接口组件来提高总线设备的一致性。实践表明,本文中所论述的设计方法和总线接口组件确实达到了上述目的。

在专用硬件模块与片上处理器之间,数据和信号的交互大体有:控制和状态寄存器接口、中断信号接口、SRAM 读写接口和 FIFO 接口 4 种,如图 1 所示。为了提高模块的可配置性,4 种数据传输类型的模块完全解耦,在逻辑上独立地成为一个 AHB 从设备接口,再通过译码器和多路选择器对 AHB 总线提供统一的 AHB 从设备接口。这里的译码器和多路选择器和 AHB 总线系统中的译码器和多路选择器的设计类似^[1],不做过多陈述。

通用性和效率是 IP 设计中的一对矛盾。为了追求效率,设计人员往往需要按照每一个设备的特点编写单独的接口

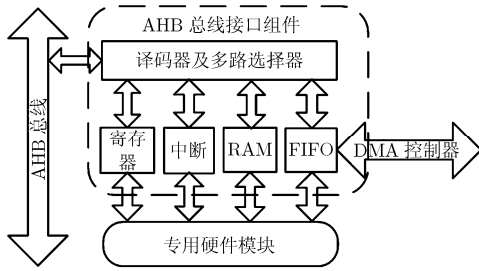


图 1 AHB 接口模块整体结构图

代码。在本文的设计中，由于提供了极大的可配置性，基本上可以兼顾大多数应用的 AHB 从设备的特点，并且可以针对不同的应用的特点进行充分的配置。当设备的数据传输的数量和种类少时，通过自动化配置工具产生的接口模块只占用很少的硬件资源；反之，当数据传输的数量和种类需要复杂的接口时，通过自动化配置工具产生的接口模块可以自如地适应各种复杂的应用需求。这样的设计方式使得通用性和效率得到了兼顾，可以适用于各种不同的 AHB 总线从设备类型。

由于不同的总线设备的数据传输需求不同，本接口组件提供了多种数据通路组件。(1)寄存器读写组件：对专用硬件模块进行配置、读出专用硬件模块的状态信息或者一些计算结果时使用寄存器方式。多时钟域的同步是此处的主要问题。(2)中断信号接口组件：突发数据传输和硬件错误时使用中断信号。(3)SRAM 数据读写组件：大量数据存储的随机访问接口，用于片上处理器和专用硬件之间的大量的复杂的双向数据交互。(4)FIFO 接口组件：大量流数据的传输适宜使用 FIFO 传输的方式。

3 总线数据传输同步

在 SOC 的设计中，不同的部分往往有不同的时钟信号^[2]。为了提高通用性，本文论述的 AHB 接口组件所针对的硬件模块可以处在和 AHB 总线不同的时钟域上。不同电路的时钟驱动源存在频率和相位的差异，在不同时钟域间传输数据时会出现亚稳态问题^[4]。降低亚稳态的概率，在异步边界之间准确地传输数据在 SOC 设计中至关重要。

以寄存器读写接口组件为例，当数据通过时钟域边界时，解决稳定问题的一种方法是使用同步器，然后采用握手方式来处理。当发送电路要发送并行数据时，它会在准备好信号上产生一个上升沿，即在发送触发器上设立标记告诉接收电路发送数据已经准备就绪。接收电路当检测到标记变为高电平时便接收稳定的并行数据，然后产生用于设置回复触发器的上升沿，如图 2 所示。

寄存器读写接口的工作波形如图 3 所示。其中 hclk, hwdata, hready 是 AHB 总线系统中的相应信号。hm_clk 是专用硬件模块所在的时钟域的时钟信号。h_pulse 和 hm_pulse 分别是图 2 所示的 AHB 时钟域上的脉冲信号和硬

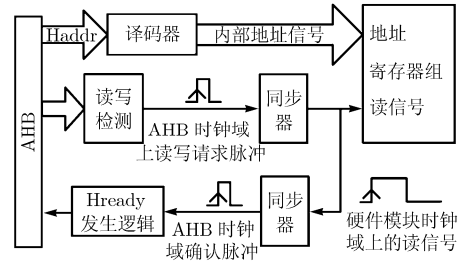


图 2 寄存器同步信号转换

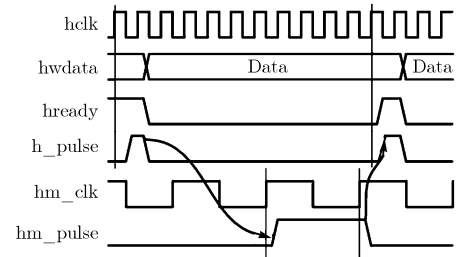


图 3 寄存器接口读操作波形示意图

件模块时钟域上的脉冲信号。

同步器电路如图 4 所示：

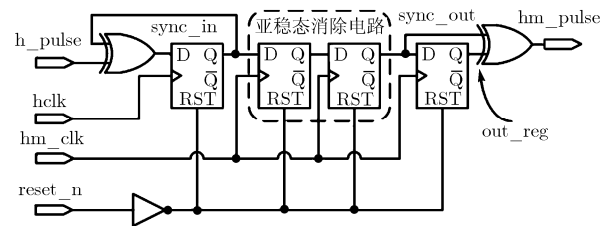


图 4 同步器及脉冲产生电路

虚线框中的级联 D 触发器用来降低亚稳态发生的概率^[4]。是同步器的核心，信号的变化沿在不同时钟域的转换是在这里完成的。输入输出的 D 触发器和异或门用来处理脉冲信号的逻辑。同步器的工作波形图 5 所示。

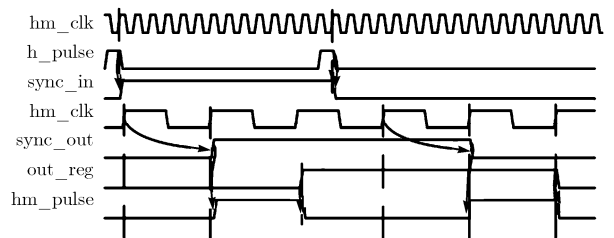


图 5 同步器及脉冲产生电路工作波形

4 数据通路子系统

如前所述，本文设计的接口包含了 4 种类型的数据通路子系统。这 4 种类型的数据通路涵盖了大部分的数据传输需求。不同类型的数据通路的数据传输方式不同，对于效率和

灵活性的考虑也不同。

寄存器读写子系统用来读出或写入硬件模块的状态信息,这种数据传输的方式具有最高的灵活性,可以随时读出或者写入任意位置的寄存器的信息。但由于本设计针对多时钟域的设计考虑,寄存器的读写需要由同步器进行控制,在一次读写过程中会有几个慢时钟周期的延迟(同步器的级联寄存器的数目决定延迟)。不仅如此,寄存器的实现是使用D触发器,较之SRAM和FIFO占用更多的资源。因此寄存器接口适合小量的、不需要经常操作但需要具有充分灵活性的状态或控制信息的读写。

FIFO数据传输子系统具有最高的数据传输效率和最简单的对外接口形式。本设计中的FIFO数据通路不仅充分利用了AHB总线的自身的高效性,而且还提供了和DMA控制器相配合进行数据传输。但在FIFO通路中,在灵活性上不如寄存器的方式。因此FIFO子系统适合进行大量流数据的高效传输。

SRAM数据传输子系统是为了充分提高组件的通用性而引入的。SRAM的灵活性和效率介于寄存器和FIFO的方式之间。当寄存器和FIFO两种方式无法满足数据传输需求时,SRAM的方式可以提供虽然较上述两种方式复杂但更加全面的数据传输方式。

中断信号子系统可以使得通过本AHB接口传输数据的硬件模块和片上处理器(ARM)或其它AHB设备配合工作。中断系统的引入使得系统可以处理突发的数据传输和不可预期的硬件错误。该子系统除了和中断控制器的信号交互外,还提供了AHB总线地址空间。片上处理器可以通过这个地址空间检查中断状态和清除中断。中断信号系统一般来说要和寄存器、FIFO或SRAM等子系统配合使用。

每个接口组件的实例的地址安排采用首地址+偏移量的方式,如图6所示。首地址的译码由AHB总线译码器来进行,偏移地址的译码由本文所论述的可配置AHB接口组件的内部译码器来完成。这种两级译码结构使得每个接口组件及其所针对的总线设备模块内部的地址分配和整个总线系统的地址分配分开。

我们在设计FIFO子系统的时候,给它划分了一个地址区间而不是仅仅分配了一个地址。对这个区间内的任何一个地址的读操作都是相同的(都是读出当前FIFO的出队数

据)。分配地址空间的目的是为了和DMA控制器的协同工作。DMA会对一段连续的地址进行操作,在此期间内可以让处理器做其它的计算工作。FIFO地址空间这样设计就是为了让DMA控制器可以连续读出FIFO中的数据。

一般来说系统级的设计人员要考虑到具体的硬件结构和其所完成的功能来定义接口的数据传输方式。在AHB系统的设计中,总线的吞吐能力是一个重要的设计约束条件,为了减轻总线负担,在进行数据传输时使用总线编码算法等手段是常见的方式。但此问题不在本文论述的接口设计范围之内,故不作进一步阐述。

5 可配置性设计

可配置性是本模块的重要设计指标。本模块提供了4种接口,但具体的AHB从设备一般来说不需要用到所有类型的接口。并且对于某一类接口来说,不同的应用也有不同的需求。不同的从设备需要不同数目的控制和状态寄存器,中断数、FIFO/SRAM的数目和大小都不尽相同。本文所设计的AHB从设备接口,可通过自动化配置的JAVA程序,对不同的应用进行定制,从而为不同的应用量身打造不同的AHB接口,使得性能和通用性得到了兼顾。系统设计中不需要的子模块不会在配置之后的结果中生成,从而最大限度地节省了资源。具体的可配置功能如下:

- (1)在系统允许范围内设定各个数据通道的地址;
- (2)根据需求决定采用某几个数据通路子系统;
- (3)状态寄存器和控制寄存器的数目可配置;
- (4)中断的数目可配置;
- (5)FIFO的规模和数目可配置;
- (6)SRAM的规模和数目可配置。

我们把接口组件的配置信息分为功能配置信息和地址配置信息。功能配置信息针对每一类型的数据通路,定义的是每个数据通路子系统本身的性质。地址配置信息针对数据通路子系统之间的集成方式,定义的是多路选择器和地址译码器的行为。通过这一方法,不同数据通路子系统的设计和它们之间的集成设计得以分离。

这一设计方式是我们对于本文中提到的设计方法学的自然延伸。总线接口组件的设计是为了提高总线设备的一致性。把功能配置信息和地址配置信息分开的目的是为了提不同数据通路子系统的一致性。虽然本文论述的接口组件为了兼顾效率和通用性提供了多种数据通路,但是仍然有无法预知的数据传输形式。数据通路子系统的一致性设计使得新的数据通路子系统可以很容易加入到组件的自动化配置体系中。

为了进一步提高易用性,我们开发了自动化的配置程序,如图7所示。自动化的配置程序使得本文设计的组件可以快速地为不同SOC的应用环境进行快速定制,免去了SOC系统设计人员手动的配置工作。自动化配置程序还可以

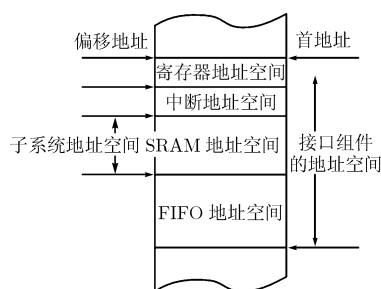


图6 子系统地址空间分配

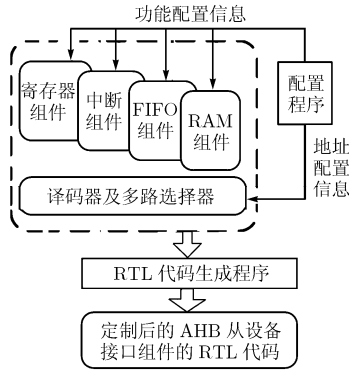


图 7 自动化程序生成定制接口组件

避免错误的配置信息的输入。为了提高自动化配置程序的可移植性，自动化配置程序用 JAVA 编写。

我们所设计的 AHB 总线接口组件分别应用在了 DAB^[2] 和 DRM^[5] 的 SOC 系统中，两种系统的应用差别较大，但我们的设计没有进行任何代码上的改动，仅通过配置程序的设置就生成了两种不同应用条件下的接口组件，并且工作正常，大大减轻了硬件模块设计人员和系统集成人员的设计负担，加快了 SOC 的设计进程。

6 测试环境及综合结果

测试环境使用行为级的 AHB 总线设备，如仲裁器、译码器、主设备等。类似的行为级的模型在许多商用或是开源的库中均有所提供。图 8 展示了行为级的测试平台示意图，由于行为级的 AHB 总线测试模块很多，未能一一列出。该接口在各种配置条件下均通过了功能测试。并且在实际的 SOC 系统级设计的实践中得到了可移植性和可靠性的检验。

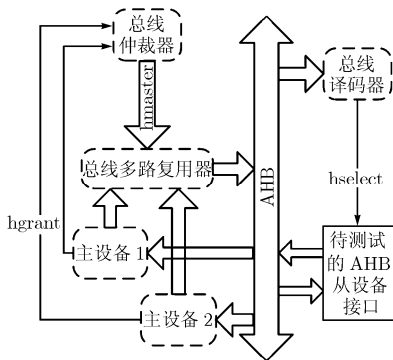


图 8 测试平台结构图

由于我们在接口组件的可配置性设计中单独抽象出了各个数据通路子系统，所以各个数据通路子系统译码器和多路选择器可以单独进行测试，这样整体测试的工作量大大减少。由于测试方法学不是本文的论述重点，此不作过多陈述。

由于本接口组件的特点，在不同的应用条件下的不同配置情况的综合结果会有较大差别。此处仅给出一个典型应用的综合结果。资源配置情况为 24 个 32 位的寄存器，8 个中

断信号，2 个宽度为 32bit 深度为 8 的 FIFO，一个 11 位地址线的 SRAM 接口。该配置条件下生成的 AHB 从设备接口在 0.18 μ m CMOS 工艺和 100M 时钟的约束条件下，占用面积为 0.078mm²。

7 结束语

为了改善 SOC 中的总线设备的一致性，减小 SOC 的设计周期，本文设计了一种可配置的 AHB 从设备接口组件。该组件提供了寄存器读写接口，中断信号接口，SRAM 读写接口，FIFO 读写接口。在该组件中，各个子系统的资源以及地址分配都是可配置的，并且可通过自动化的配置程序生成 RTL 级的代码。通过可配置性的设计，兼顾了效率和重用性。在 0.18 μ m 工艺库进行了综合，AHB 总线时钟为 100MHz 的环境中工作正常，占用 0.078mm² 的面积。

本文所设计的 AHB 从设备接口组件已经成功应用在 DAB^[2] 和 DRM^[5] 的 SOC 项目中。测试实验和实际应用证明本文所论述的可配置 AHB 接口组件具有很好的可移植性和可靠性。该接口组件提高了 SOC 设计中的总线设备的一致性，减小了 SOC 的设计周期，减轻了 SOC 的验证和测试工作量。

下一步的工作将把本文论述的可配置总线接口组件结构拓展到其它类型的总线，并且应用于其它 SOC 项目中，如传感器网络节点专用集成电路的设计。

参考文献

- [1] ARM Inc, AMBATM Specification Rev2.0, 1999, 53.
- [2] Zhong Hui, Yang Huazhong, and Wang Hui. Platform-based design for OFDM-based broadcasting system. International Conference on Computing, Communications and Control Technologies (CCCT), Austin, Texas, Aug.14-17, 2004, Vol.5: 215-220.
- [3] 颜伟成, 陈朝阳, 沈绪榜. AMBA—AHB 总线接口的设计与实现. 计算机与数字工程, 2005, (33): 130-132.
- [4] Mike Stein. Crossing the abyss: asynchronous signals in a synchronous world. EDN design feature, July 24, 2003: 59-69.
- [5] 曾盟, 张广宇, 蒋晓颖, 董在望. DRM 测试接收机设计与实现. 电子技术应用, 2006, (3): 123-126.

张 頔: 男, 1982 年生, 硕士生, 专业方向为数字广播技术、SOC 设计、无线传感器网络。

权进国: 男, 1966 年生, 高级工程师, 专业方向为通信芯片。

乔 飞: 男, 1977 年生, 助理研究员, 专业方向为低功耗集成电路与系统、数字媒体处理芯片关键技术。

罗 蝶: 女, 1970 年生, 副教授, 专业方向为 VLSI 设计技术、嵌入式系统设计、电子设计自动化等。

杨华中: 男, 1967 年生, 教授, 专业方向为集成电路设计、设计自动化。