

基于置信传播译码的 DRA 码设计

史治平 张忠培 朱南

(电子科技大学通信抗干扰技术国家级重点实验室 成都 610054)

摘要: 该文通过重复器、组合器、交织器的联合优化,设计了一种没有小环的双重重复累积码(DRA 码);基于 EXIT 图优化设计了该码的度分布。研究结果显示,这类 DRA 码的度分布灵活;当采用置信传播译码时,错误平层低。

关键词: LDPC 码; 置信传播算法; 重复累积码; ARA 码

中图分类号: TN911.22

文献标识码: A

文章编号: 1009-5896(2008)07-1644-04

Design of Double Repeat Accumulate Codes Based on Belief Propagation Decoding

Shi Zhi-ping Zhang Zhong-pei Zhu Nan

(National Key Lab. of Communication, UEST of China, Chengdu 610054, China)

Abstract: A class Double Repeat Accumulate (DRA) codes is provided without small cycles by the jointly design among repeater, combiner and interleaver in this paper. Degree distribution is optimized based on EXtrinsic Information Transfer (EXIT) chart. Simulation results show that this class DRA codes has more flexible degree distributions and lower error floor when belief propagation algorithms is used.

Key words: LDPC codes; Belief Propagation (BP) algorithms; Repeat Accumulate (RA) codes; ARA codes

1 引言

目前, Turbo 码^[1]和低密度奇偶校验(Low Density Parity Check, LDPC)码^[2]是编码领域和通信界的研究热点。但是具有线性时间编码的 Turbo 码译码延迟大, 错误平层(error floor)高, 迭代译码阈值与信道容量之间存在一定距离; 而 LDPC 码, 虽然错误平层低, 译码复杂度相对简单, 但是它的编码算法与码长呈二次关系。1998 年 Divsalar, Jin 和 McEliece 提出的重复累积(Repeat Accumulate, RA)码是一种简单的类 Turbo 码(Turbo-Like Codes, TLC), 同时也是一类特殊的 LDPC 码。这种码的编码简单, 仅由重复器、交织器和累加器组成; 译码可以由高速并行的置信传播(Belief Propagation, BP)译码器实现。研究证明 RA 码具有逼近香农容量限的性能^[3]。

但是, 如果校验矩阵对应的二分图存在小环(cycle)或大量的度为 1 和 2 的节点, 那么运行在该图上的 BP 算法很难收敛, 译码性能将会下降。因此, 一般结构的 RA 码, 收敛速度慢, 错误平层高。2004 年提出的累积重复累积(Accumulate Repeat Accumulate, ARA)码^[4]虽然进一步提高了 RA 码的性能, 但是, ARA 码校验矩阵中重量为 1 和 2 的列较多。本文研究并设计了一类双重重复累积码, 称为 Double-RA 或 DRA, 这类码的度分布灵活, 译码错误平层低, 对应的二分图不存在 4 环(4 环在奇偶校验矩阵中表现为

两行在相同的两列都有“1”出现)。

2 RA 码和 ARA 码

系统 RA 码由重复器、交织器、组合器和累加器组成(如图 1), 其中 q 表示重复次数; a 表示 a 个比特组合成一个比特; $1/(1+D)$ 表示累加器, K 是信息序列, P 是校验序列。因此, 系统 RA 码码率是 $a/(a+q)$, 校验矩阵 $H_{RA} = [H_1 H_2]$, 其中 H_1 行重是 a , 列重是 q , 其分布由交织器决定; H_2 是双斜对角矩阵^[5]。

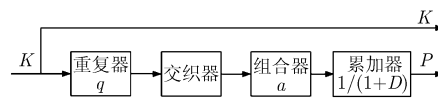


图 1 RA 码的编码器结构图

ARA 码是 RA 码的一种改进形式, 它在重复器前增加了一个累加器, 因此称为累积重复累积码^[4]。对应的校验矩阵

$$H_{ARA} = \begin{bmatrix} I & H_2 & 0 \\ 0 & H_1' & H_2 \end{bmatrix}, \text{ 其中 } I \text{ 是单位阵, } H_1' \text{ 由重复器、}$$

交织器和组合器决定。

3 DRA 码

3.1 DRA 码基本原理

本文设计的系统 DRA 码由两个 RA 码组成(如图 2)。校

$$\text{验矩阵 } H_{DRA} = \begin{bmatrix} H_1 & H_2 & 0 \\ 0 & H_1' & H_2 \end{bmatrix}, \text{ } H_1 \text{ 的列重为 } q_1, \text{ 行重为 } a_1;$$

2007-01-08 收到, 2007-12-12 改回

国家自然科学基金(60602008), 国家 863 计划项目(2006AA01Z269) 和国家 973 计划项目(2007CB310604)资助课题

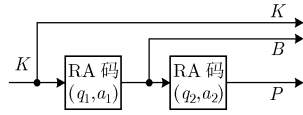


图2 DRA 码编码器结构图

H_1' 的列重为 q_2 ，行重为 a_2 。输入信息序列 K 时，第 1 个 RA 的编码输出为 B ，再经过第 2 个 RA 编码器输出的校验序列是 P ，因此 DRA 编码后的码字表示是 (K, B, P) 。

在系统 DRA 码的校验矩阵里，共有 3 类 4 环(如图 3 所示)。

(1) H_1 或 H_1' 中存在一列包含两个连续“1”时，它与右边 H_2 组成 4 环，如图 3(a)；

(2) H_1 或 H_1' 本身存在 4 环，如图 3(b)；

(3) H_1' 中有一行包含两个连续的“1”时，与上面 H_2 组成 4 环，如图 3(c)。

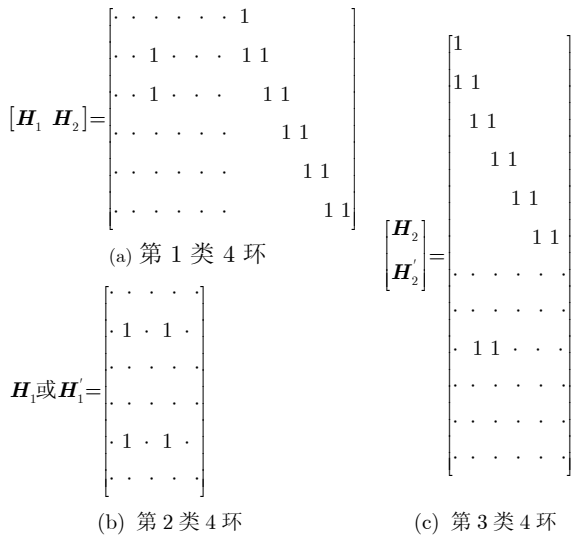


图3 3类4环示意图

3.2 DRA 码交织器设计

对于系统 DRA 码，交织器的设计是非常关键的，为了便于无环设计，本文采用了一种多级行列交织器。假设信息长度为 k ，重复次数为 q 、交织器参数为 l ，则多级行列交织器的交织过程如图 4 所示。

(1) 首先将长度为 k 的信息序列重复 q 次，按行输入到一

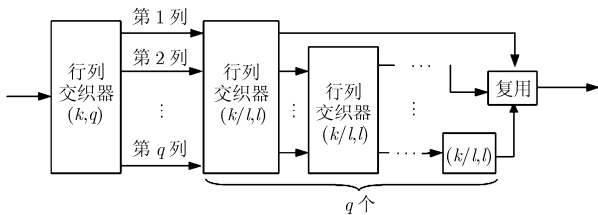


图4 交织器结构图

个 k 行 q 列的交织器 Π 。

(2) 将 Π 中的第 1 列经过一个 $(k/l) \times l$ 的行进列出交织器，得到序列 K_1 ；

(3) 将 Π 中的第 2 列经过两个 $(k/l) \times l$ 的行进列出交织器，得到序列 K_2 ；

(4) 同理，将 Π 中的第 q 列经过 q 个 $(k/l) \times l$ 的行进列出交织器，得到序列 K_q ； K_1, K_2, \dots, K_q 经过复用就是多级行列交织器的输出。

3.3 DRA 码参数设计

根据 DRA 码的构造和图 3 中对应的前两类 4 环可知，第 1 类和第 2 类 4 环只可能发生在在一个 RA 码内，所以只要任意一个 RA 码不存在第一类和第二类 4 环，DRA 码就没有第 1 类和第 2 类 4 环。

假设 RA 码的重复器参数 $q \geq 2$ ，组合器参数为 a ，交织器参数为 l ，信息序列长度为 k (k 能被 a 和 l 整除)，则满足以下条件的 RA 码没有 4 环。

- (1) $k > la + a$ ；
- (2) $k > l^q$ 。

由系统 RA 码的编码原理可知，交织器 Π 的每一列(长度为 k)被划分成了 k/a 组，每组长为 a 。

(1) 第 1 类 4 环只可能发生在交织器 Π 的第 i 列的最后一组 a 比特和第 $i+1$ 列的第 1 组 a 比特之间，又因为，第 $i+1$ 列的第 1 组 a 比特是由第 i 列的前 la 个比特得到的。由此可知，为了避免第 1 类 4 环产生，需要 $k > la + a$ 。

(2) 如果交织器 Π 的任意两列，有两组 a 比特包含了两个相同的信息比特，那么第 2 类 4 环就产生了。由多级行列交织器的构造可知，当 $l \geq a$ 且 $k/l > l$ 时，第 2 列的任意一组 a 比特至多有 1 个信息和第 1 列的任意一组 a 比特相同；当 $k/l^2 > l$ 时，第 3 列中任意一组 a 比特至多有 1 个信息和前两列任意一组 a 比特相同。同理，当 $k > l^q$ 时，第 q 列中任意一组 a 比特至多有 1 个信息和前 $q-1$ 列任意一组 a 比特相同。因此满足条件(2)就可以避免第 2 类 4 环。

另外，由于 DRA 码的第 2 类 4 环只可能发生在第 2 个 RA 码内，也就是说，当相邻比特交织后仍相邻时，DRA 码出现第 3 类 4 环。显然，当编码器参数满足条件(1)、条件(2)时，经过多级行列交织器，不可能出现相邻比特交织后仍相邻的情况。

所以 DRA 码的参数满足条件(1)和条件(2)时，可以打破 4 环。同理，这种方法也可用于构造没有 6 环的 DRA 码。

3.4 规则系统 DRA 码度设计

外信息转移 (EXtrinsic Information Transfer, EXIT) 是 Brink 提出的用来预测通信问题中迭代收敛行为的一种工具，它主要通过跟踪分析译码器输出数据信息与输入数据信息之间的关系来判断迭代的收敛特性，从而预测迭代次数、门限值和度分布等性能指标^[6]。本文应用 EXIT 技术对规则系统 DRA 码的度进行了设计。

假设二进制高斯信道(BI-AWGN)的分布是 $\eta(0, \sigma_n^2)$, 其中 $\sigma_n^2 = N_0/2$; A 表示输入的先验信息, E 表示输出的外验信息。采用 BPSK 调制, 则对于变量节点(VND)来说, 外验信息 $I_{E,VND}$ 就是输入先验信息 $I_{A,VND}$ 的函数^[6]:

$$I_{E,VND}\left(I_A, d_v, \frac{E_b}{N_0}, R\right) = J\left(\sqrt{(d_v - 1)[J^{-1}(I_{A,VND})]^2 + \sigma_{ch}^2}\right) \quad (1)$$

$$I_{E,VND}\left(0, d_v, \frac{E_b}{N_0}, R\right) = J(\sigma_{ch}) \quad (2)$$

其中 R 是给定的码率, E_b/N_0 为 AWGN 信噪比, $\sigma_{ch}^2 = 4/\sigma_n^2 = 8R(E_b/N_0)$; J 是一个积分表达式^[7], J^{-1} 是 J 的反函数, d_v 是变量节点的度。由这个函数确定的曲线就是变量节点的 EXIT 曲线。

同理可以得到校验节点的 EXIT 曲线, d_c 是校验节点的度, 其函数表达式为

$$I_{E,CND}(I_{A,CND}, d_c) = 1 - J\left(\sqrt{(d_c - 1) \times J^{-1}(1 - I_{A,CND})}\right) \quad (3)$$

$$I_{A,CND}(I_{E,CND}, d_c) = 1 - J\left(\frac{J^{-1}(1 - I_E)}{\sqrt{d_c - 1}}\right) \quad (4)$$

不规则的 LDPC 码的度分布多项式为

$$\lambda(z) = \sum_{d=1}^{d_v} \lambda_d z^{d-1} \text{ 和 } \rho(z) = \sum_{d=1}^{d_c} \rho_d z^{d-1} \quad (5)$$

其中 λ_d 是度为 d 的变量节点的比率; ρ_d 是度为 d 的校验节点的比率; $\lambda(1) = \rho(1) = 1$ 。则 EXIT 的函数表达式分别是

$$I_{E,VND} = \sum_{d=1}^{d_v} \lambda_d I_{E,VND}(d, I_{A,VND}) \quad (6)$$

$$I_{E,CND} = \sum_{d=1}^{d_c} \rho_d I_{E,CND}(d, I_{A,CND}) \quad (7)$$

其中 $I_{E,VND}(d, I_{A,VND})$ 由式(1), 式(2)计算, d_v 由 d 代替;

$I_{E,CND}(d, I_{A,CND})$ 由式(3), 式(4)计算, d_c 由 d 代替。

由于变量节点和校验节点的信息是相互传递的, 变量节点的输出外信息是校验节点的输入先验信息, 因此两类节点的 EXIT 曲线画在一起就得到了 LDPC 码的 EXIT 图。不同的信噪比和度分布对应了不同曲线图, 因此经过 EXIT 图分析, 可以得到优化的度分布和码的阈值。但是考虑到阈值和错误平层之间的折中, 需要对度分布做必要的限制^[7]。假设第 1 个 RA 码重复器和组合器参数 $q_1 = a_1$; 第 2 个 RA 码的 $q_2 = a_2$, 则经过简单的搜索, 码率为 1/3 的规则 DRA 码的重复器、累加器和交织器参数分别是 $q_1 = q_2 = 3; a_1 = a_2 = 3; l_1 = l_2 = 9$ 。图 5 是 $E_b/N_0 = 1.3\text{dB}$ 时该码的 EXIT 图。

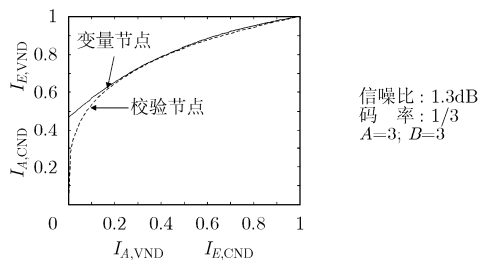


图 5 BI-AWGN 信道下 DRA 码的 EXIT 图

4 性能仿真与复杂度分析

采用 BP 译码, 规则 DRA 码在加性白色高斯信道(AWGN)下, 经过 BPSK 调制, 得到的仿真结果如图 6 所示。其中信息块长 504bit, 重复次数为 3, 组合次数为 3, 交织参数为 9, 码率为 1/3, 最大迭代次数限制为 100。BER 是误比特率, FER 是帧错误率。从仿真结果可以看出, 与相同条件下的 ARA 码相比, 低信噪比时, DRA 码牺牲了一点错误率, 但在高信噪比下错误平层降低明显。

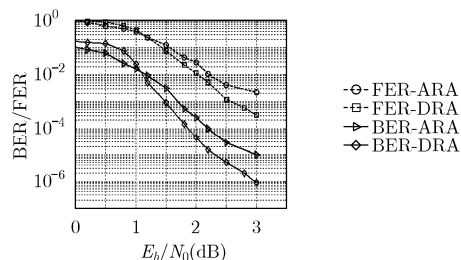


图 6 DRA 码的性能仿真曲线

DRA 码的编码复杂度大约是 RA 码或 ARA 的两倍, 但是 RA 码的编码非常简单, 两倍 RA 的编码复杂度也很容易被接收。BP 译码的复杂度主要取决于校验矩阵的规模、度分布以及收敛速度。相同码率、相同码长的 RA, ARA 和 DRA, 校验矩阵的规模是相同的。因此译码复杂度主要与校验节点和变量节点的度大小、收敛速度有关。DRA 码的度平均值大, 增加了译码延迟, 但是它的译码收敛速度快, 错误率低, 缩短了译码时间, 因此它的译码时间复杂度是这两者的折中。PC 机上的时间统计显示, 当信噪比是 2.0 至 3.0dB 时, DRA 与 ARA 的平均时间比是 1:0.80。

5 结束语

综上所述, 本文给出了一种 DRA 码的设计方法。基于环和度对 BP 译码的影响, 通过两个 RA 码的重复器、交织器以及累加器的联合设计, 构造了一种无小环的 DRA 码; 通过 EXIT 图研究了 DRA 码的度设计。与 ARA 码比, DRA 码的度分布灵活, 错误平层低。在实际通信系统中具有一定的应用价值。

参考文献

- [1] Berrou C, Glavieux A, and Thitimajshima P. Near Shannon limit error-correcting coding and decoding: turbo-codes. IEEE International Conference On Communication, Geneva, May 1993: 1064-1070.
- [2] MacKay D J C and Neal R M. Near Shannon limit performance of low density parity check codes. *Electronics Letters*, 1996, 32(18): 1645-1646.
- [3] Divsalar D, Jin H, and McEliece R. Coding theorems for Turbo like codes. Proceedings of the 36th Annual Allerton

- Conference on Communication Control and Computing. Monticello, IL, USA, 1998, 9: 201–210.
- [4] Abbaster A, Divsalar D, and Yao K. Accumulate repeat accumulate codes. Proceedings of 2004 IEEE International Symposium on Information Theory. June 27–July 2, Chicago, IL, 2004: 509–513.
- [5] Johnson S J and Weller S R. Practical interleavers for systematic repeat-accumulate codes. Vehicular Technology Conference, 2006. VTC 2006-Spring. IEEE 63rd, Melbourne, Australia, Volume 3: 1358–1362.
- [6] Brink S ten, Kramer Gerhard, and Ashikhmin Alexei. Design of Low-density parity-check codes for modulation and detection. *IEEE Trans. on Communications*, 2004, 52(4): 670–678.
- [7] Johnson S J and Weller S R. Constraining LDPC degree distributions for improved error floor performance. *IEEE Communications Letters*, 2006, 10(2): 103–105.
- 史治平: 女, 1972年生, 博士, 从事信道编码与迭代检测技术的研究.
- 张忠培: 男, 1967年生, 副教授, 博士生导师, 主要从事信道编码与调制、迭代均衡等方面的研究.