

基于 DSP 平台的 H.264 编码器的优化与实现

王 强 卓 力 沈兰荪

(北京工业大学信号与信息处理研究室 北京 100022)

摘 要: 针对 H.264 编码器的复杂度很高和基于 DSP 平台的 H.264 编码器的实时处理实现难度很大的问题, 该文首先介绍了 H.264 标准基本档次的编码结构, 对影响编码速度的原因进行了深入的分析。然后针对 TMS320DM642 芯片的特点, 提出一些优化实现方案, 最终在 DSP 平台上实时实现了 H.264 基本档次编码器。测试结果表明, 经过优化, H.264 编码器的处理速度有了很大的提高, 对于 CIF 格式的视频序列能够满足视频编码的实时处理要求。

关键词: 数字信号处理; H.264; 优化

中图分类号: TN919.81

文献标识码: A

文章编号: 1009-5896(2007)12-2970-04

Optimization and Implementation of H.264 Encoder Based on DSP Platform

Wang Qiang Zhuo Li Shen Lan-sun

(Signal & Information Processing Lab, Beijing University of Technology, Beijing 100022, China)

Abstract: There is great complexity in H.264 encoder. Therefore, it is difficult to implement an encoder in DSP platform which can run in real-time environment. In this paper, the coding architecture of H.264 Baseline Profile is introduced first, and some reasons for limiting speed are presented according to the analysis of the coding architecture. Besides, several implementation techniques for optimization are presented based on the characteristics of TMS320DM642 chip. The H.264 Baseline Profile encoder is finally real-time implemented based on DSP platform. The testing results demonstrate that encoder has sped up remarkably after optimization, which can meet the real-time encoding requirements for the video sequences with CIF format.

Key words: DSP; H.264; Optimization

1 引言

数字视频的出现给广播电视和家庭娱乐带来了革命性变化, 视频压缩技术的标准化使得更多的技术得到了广泛的应用。新一代视频编码标准 H.264 采用了先进的编码技术, 如帧内预测、多模式运动估计、整数变换及量化、环路滤波和先进的熵编码技术等, 因此与以往的 MPEG-4、H.263 等编码标准相比, 编码性能都有了较大的突破^[1]。另外, H.264 能够对网络的丢包和无线传输的误码进行有效的处理, 而且增强了对各种不同网络的适应性。因此, H.264 标准一推出, 立刻成为业界的研究热点。

H.264 标准定义了 4 个档次(profile), 即基本档次(baseline profile), 主要档次(main profile)、扩展档次(extended profile)和高档次(high profile), 每个档次支持一组特定的编码功能。其中基本档次支持帧内和帧间编码(利用 I 分片和 P 分片), 同时熵编码采用上下文自适应变长编码(Context-Adaptive Variable Length Coding, CAVLC)^[1]。考虑到面向视频传输应用的需求, 本文仅实现了 H.264 基本档

次编码器。

DSP 实现方法具有高性能、低成本等特点, 能够满足大部分产品的要求, 是一种理想的解决方案。TMS320DM642 是 C64X 系列中比较经典的一款 DSP 芯片, 采用两级 Cache 的哈佛结构, 以及甚长指令字(Very Long Instruction Word, VLIW)和单指令多数据(Single Instruction Multiple Data, SIMD)结构, 具有独立的地址总线 and 数据总线, 使其性能超越了传统的多媒体处理器。DM642 在 C6000 公共指令集的基础上扩展了 88 条指令, 可根据数据的不同情况灵活选择最适合的指令, 使 DM642 能够更容易实现图像处理的算法。

本文首先对影响 H.264 编码速度的原因进行了深入的分析, 然后根据 H.264 的编码框架, 基于 TMS320DM642 芯片对 H.264 编码器进行了优化实现。测试结果表明, 经过优化, H.264 编码器的处理速度有了很大程度的提高, 对于 CIF 格式的视频序列能够满足视频编码的实时处理要求。

2 H.264 视频编码标准的复杂度分析

图 1 所示的是 H.264 的编码框架。与 MPEG-4, H.263 等标准类似, H.264 仍然采用的是运动补偿/分块变换的混合编码框架, 采用帧内(Intra)和帧间(Inter)两种编码模式, 编码以宏块为单位进行。接下来我们将对影响 H.264 编码速度的各个组成部分作分析, 为后面 H.264 编码器在 DSP 平台

2006-06-06 收到, 2006-11-30 改回

国家自然科学基金(90304001), 北京市教委(KM200410005022), 北京市自然科学基金(4052007), 武器装备预研基金(51434050105QT0101)和北京市科技新星计划(2005B08)资助课题

上的优化实现提供依据。

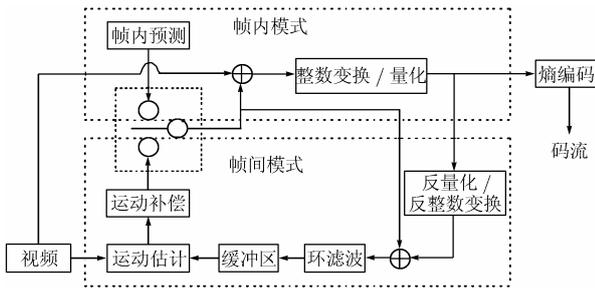


图 1 H.264 的编码框架

与以往的标准不同, H.264 标准采用多个参考帧进行预测, 在文献[2]中, 作者通过大量的实验发现, 80%的预测块来自于前一个参考帧, 20%的预测块来自于其它参考帧。因此本文采用 1 个参考帧进行预测。图 2 所示的是 H.264 基本档次编码器各部分复杂度的分析结果。从该图中可以看出, 当采用 1 个参考帧时, 运动估计占有 53%的计算量; 而当采用 4 个参考帧时, 运动估计占有 70.20%的计算量。因此, 运动估计是 H.264 编码器中运算复杂度最高的部分, 应是我们下一步算法优化的重点。

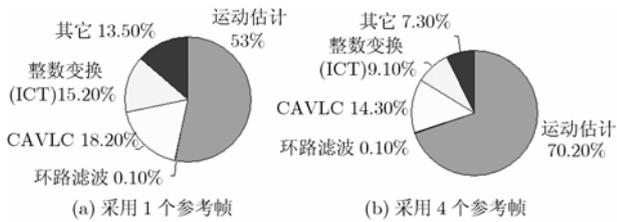


图 2 H.264 编码器各部分复杂度分析结果^[4]

文献[3]分别采用 4 种编码方法对 Foreman 视频序列进行编码, 前 3 种方法分别只采用了 16×16、8×8、4×4 等 3 种模式, 第 4 种方法则采用了所有模式, 只采用 4×4 编码模式时得到的编码器性能最差, 因此小块的 Inter 编码模式对编码器性能的贡献较小。这一实验结果对多模式运动估计的优化具有一定的指导意义。

3 基于 DM642 的 H.264 编码器的优化

目前针对 DSP 的优化方法很多, 主要包括算法优化、数据传输优化以及内存和 Cache 的优化等^[1]。本文基于 H.264 标准基本档次编码器和 DM642 的具体特点, 分别从以上 4 个方面入手, 对 H.264 编码器进行了优化。

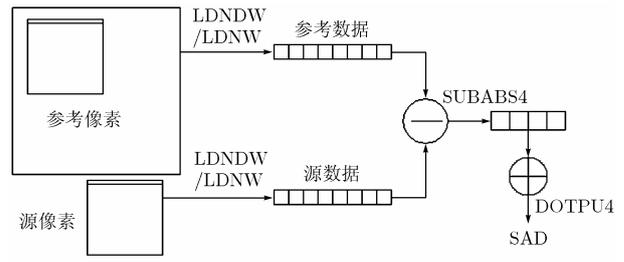
3.1 算法优化

H.264 的开放源代码有很多, 比如 JM 系列, T264。JM 系列源代码的特点是支持性好, 但是实用性较差, 而 T264 经过了一定程度的优化, 编码速度比 JM 快, 编码性能的下降有限, 比较适合 DSP 的开发, 因此本文最终选择在 T264 0.10 开放源代码的基础上进行优化。如前所述, H.264 标准中的运动估计、ICT(Integer Cosine Transform)/反 ICT 和

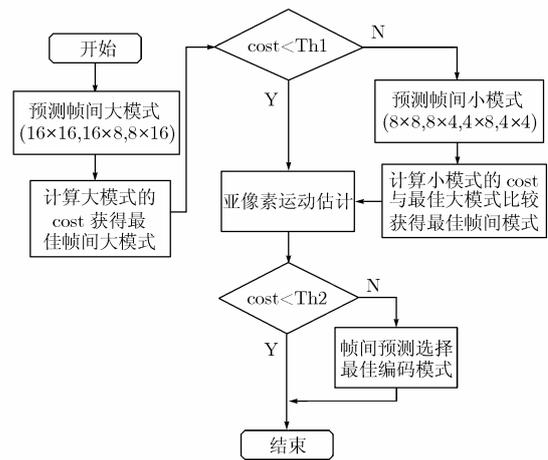
量化等部分占有很大的运算量。因此, 本文将算法优化的重点放在运动估计、ICT 和量化三个部分。

3.1.1 运动估计 本文在进行整像素运动估计时采用了小菱形搜索算法, 并且采用 SAD(Sum of Absolute Differences) 作为运动估计的匹配准则。DM642 提供了许多特殊的指令, 可以减少 SAD 计算时间。本文采用图 3(a)所示的 3 个特殊指令可以使代码的并行性有很大的提高, 经过软件流水后的 SAD 函数的执行效率非常高。

H.264 标准采用了 SKIP, 大模式和小模式 3 种帧间预测模式。SKIP 模式适合对固定背景进行编码, 大模式适合对运动简单的对象进行编码, 小模式适合对运动复杂的对象进行编码。H.264 的编码模式很多, 而且 DSP 是一种资源有限的嵌入式处理芯片, 要满足实时要求, 必须采用快速算法。借鉴现有的多种快速编码模式预测算法的思想, 并结合 DSP 的特点, 本文提出了图 3(b)所示的快速模式预测算法。该算法将 P 帧的编码模式分为大、小和帧内 3 种编码模式, 通过设定阈值, 在 3 种编码模式之间进行选择; 在大模式和小模式中, 则利用相邻宏块的相关性提前预测编码模式, 以提高算法的执行速度。



(a) SAD 计算示意图



(b) P 帧的模式预测

图 3 运动估计

考虑到编码器的性能, 本文未对该部分采用快速算法, 而主要采用编写线性汇编的优化方法, 以充分利用 DSP 指令的特点, 提高代码运行效率。

3.1.2 ICT/反 ICT 和量化 图 4(a)所示的处理流程无法充分发挥 DSP 并行处理的特点, 使得 DSP 的许多功能单元处于

闲置状态，而且重复访问内存，降低了DSP的执行效率。为了提高DSP的处理速度，本文对算法进行改进，改进后的算法如图 4(b)所示。首先将宏块中的所有 4×4 块同时进行 ICT/反ICT运算，以充分发挥DSP海量数据处理的能力。然后将量化，zig扫描和反量化 3 部分合为一个模块，减少不必要的内存访问。实践结果表明，优化后，一个ICT/反ICT 4×4 运算平均只需要十几个时钟周期，改进后的算法的执行速度得到了很大的提高，而且减少了总的代码量^[4]。

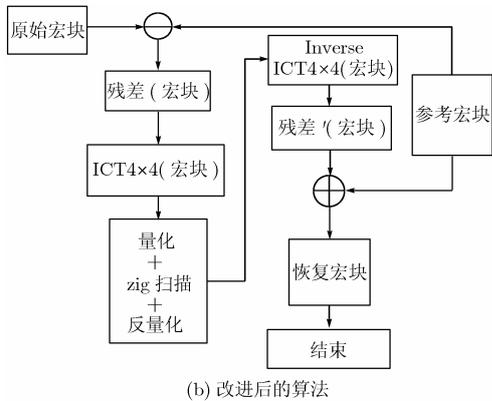
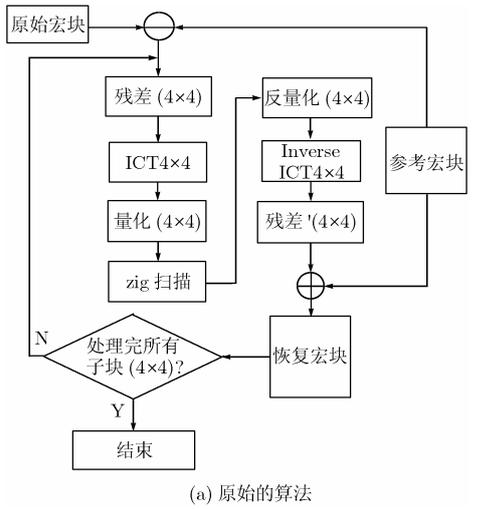


图 4 ICT/反 ICT 和量化的流程图

3.2 数据传输优化

在视频编码过程中，存储器间存在着大量的数据传输，这些数据传输占据了CPU大量的时间。直接存储器访问^[5](EDMA, Enhanced Direct Memory Access)是C6000 DSP的一种高效的数据传输方式，它可以在没有CPU参与的情况下，由EDMA控制器完成DSP存储空间内的数据搬移。通过EDMA与CPU并行工作可以大大提高DSP的处理速度，减少编码器的时间。本文采用如图 5 所示的EDMA数据传输策略，CPU对外部数据的所有访问都是通过EDMA实现的，包括宏块组，参考区域，恢复宏块组和压缩码流的传输等，而且EDMA的传输通过乒乓方式实现。这种传输策略解决了访问外部存储器所带来的延时问题。

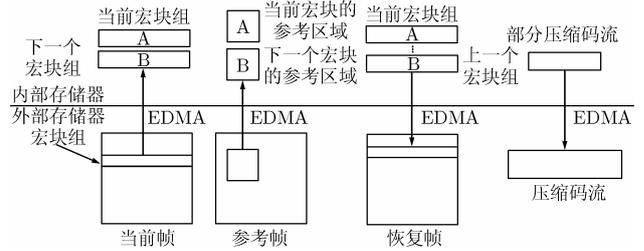


图 5 EDMA 数据传输策略

3.3 内存和 Cache 优化

DM642 具有高速的两级缓存结构，其中二级 Cache(L2) 可以设置为 Cache，SRAM，或部分 Cache 和部分 SRAM，而设置为 SRAM 的空间被映像为 DM642 的寻址空间。考虑到需要一些 SRAM 空间来存储数据，本文将 Cache 大小设置为 64kB。在视频编码中，如果将所有的程序放入外部存储器，则可以通过 L2 Cache 的使用来提高 CPU 读取程序的速度。传统的视频编码器的应用是逐个对宏块进行处理，由于视频编码器的整体代码量往往大于 L2 Cache(64kB)，每次处理一个新的宏块，代码需要在外部存储器和 L2 Cache 之间不停地交换。这样就会导致大量的 Cache miss，因此传统的逐宏块处理的编码结构存在一定的缺陷。

为了更好地发挥 L2 Cache 的作用，需要对编码器结构进行一定的改进。本文采用了如图 6 所示的结构，编码器的框架可以分为 3 个循环模块(编码模块循环,CAVLC 循环,去块滤波器循环)，每个模块的大小不超过 64kB。在每个模块中，几个宏块逐个进行处理，当前模块处理完所有的宏块后，再进入下一个循环模块进行处理。采用图 6 所示的编码结构，能够减少 L2 Cache miss 的次数，降低从外部存储器读取代码的消耗。

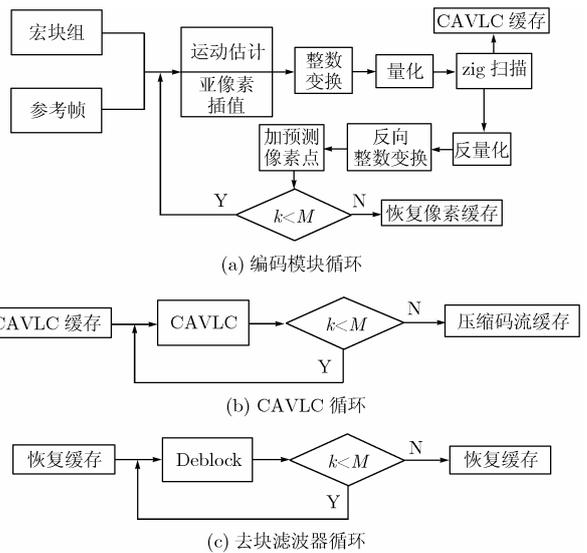


图 6 循环模块

4 实验结果

在 600MHz 时钟的 TMS320DM642 开发板上,我们对 5 个 CIF 格式的标准视频序列进行了测试,产生 profile 为 66 和 level 为 2 的压缩码流。其中, Akiyo 序列和 News 序列属于低运动复杂度的序列, Foreman 序列和 Football 序列分别属于中和高运动复杂度的序列,而 Mobile 序列具有复杂的背景,每个序列均采用 IPPP...的编码模式,30 帧为一个帧组。表 1 给出了优化前后 H.264 编码速度的比较结果,优化后的编码速度是优化前的 10 倍左右。表 2 所示的是优化前后 H.264 编码器的性能对比结果,从表 2 可以看出,优化后的 H.264 编码器的性能有所降低,对 Football 序列来说,PSNR 平均降低了 1.47dB, Mobile 序列的 PSNR 平均降低了 0.12dB。Football 序列的 PSNR 下降最多,主要原因是 Football 的运动太剧烈,为了降低 ME 的运算复杂度,对 ME 部分进行了优化,但优化后的运动估计的准确性下降,造成预测不准确,从而造成编码效率的下降。图 7 所示的是优化前后 H.264 编码器的率失真性能对比结果,从表 1、表 2 以及图 7 可以看出,本文提出的优化方法对 H.264 编码器的性能影响比较小。虽然每个序列的处理速度不尽相同,但优化后的编码速度都超过了 24fps,对于 CIF 格式的视频序列,编码器的编码速度已经满足了实时要求。

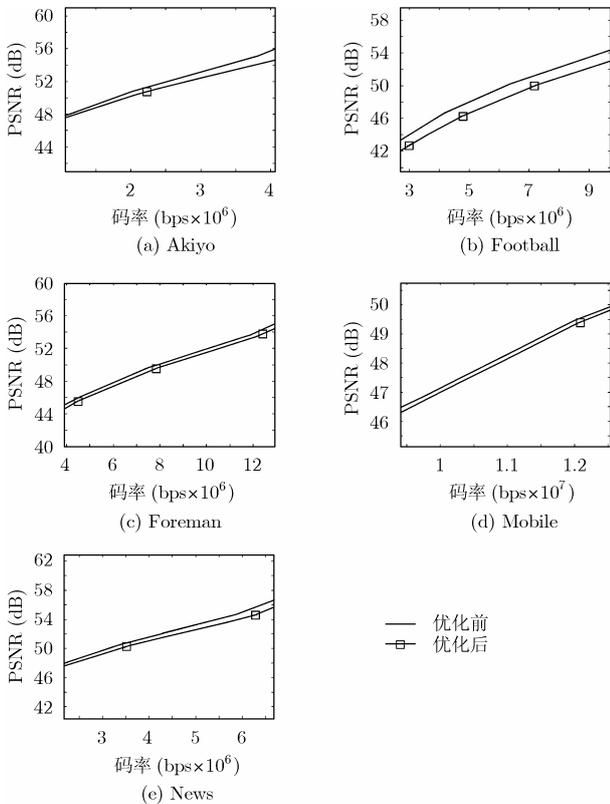


图 7 优化前后 H.264 编码器的率失真性能对比

表 1 在 QP=25 下优化前后的 H.264 编码器实验结果

	优化前 (QP = 25)			优化后 (QP = 25)			编码速度对比 (倍)
	帧率 (fps)	PSNR (dB)	码率 (kbps)	帧率 (fps)	PSNR (dB)	码率 (kbps)	
Akiyo	3.66	41.40	196.78	53.44	42.01	247.91	14.60
News	3.46	40.01	414.12	46.17	40.47	495.42	13.34
Foreman	2.77	38.09	941.85	33.55	38.64	1180.32	12.11
Football	2.58	39.68	1544.63	26.79	39.64	1905.41	10.38
Mobile	2.90	36.29	3057.21	26.07	36.57	3240.49	8.99

表 2 优化前后 H.264 编码器的性能比较

	Akiyo	News	Foreman	Football	Mobile
Δ PSNR(dB)	-0.65	-0.56	-0.43	-1.47	-0.12

5 结束语

本文在 DSP 平台上对 H.264 基本档次编码器进行了优化实现。文章首先介绍了 H.264 标准的编码框架,分析了影响 H.264 基本档次编码器速度的原因,指出影响编码速度的瓶颈,并提出了相应的优化解决方案。实验结果证明,这些优化方案可以大大提高 H.264 基本档次编码器的编码速度,对于 CIF 格式视频序列,优化后的 H.264 编码器完全可以满足实时编码的要求。

参考文献

- [1] 沈兰荪, 卓力. 小波编码与网络视频传输. 北京: 出版社, 2005, 第 10 章.
- [2] Huang Y W, Hsieh B Y, Wang T C, Chen S Y, Ma S Y, Shen C F, and Chen L G. Analysis and reduction of reference frames for motion estimation in MPEG-4 AVC/JVT/H.264. ICME'03, Hong Kong, April 2003, vol.2: 809-812.
- [3] Tu Y K, Yang J F, Shen Y N, and Sun M T. Fast variable-size block motion estimation using merging procedure with an adaptive threshold. ICME'03, Hong Kong, July 2003, vol.2: 789-792.
- [4] Choi W I, Jeon B, and Jeong J. Fast motion estimation with modified diamond search for variable motion block sizes, *IEEE Trans. on Image Processing*, 2003, 3: 371-374.
- [5] TMS320C6000 Peripherals Reference Guide, spru190, Feb. 2001.

王 强: 男, 1982 年生, 硕士生, 研究方向为视频编码与传输。
卓 力: 女, 1971 年生, 副教授, 主要研究方向为视频编码、无线 IP 视频传输技术等。
沈兰荪: 男, 1938 年生, 教授, 博士生导师, 主要研究方向为图像处理、视频编码与传输、医学图像处理等。