

用于 HDTV 视频解码器的高性能 SDRAM 控制器

赵强 罗嵘 汪蕙 杨华中
(清华大学电子工程系 北京 100084)

摘要: 该文提出了一种适用于 HDTV 视频解码器的高性能 SDRAM 控制器。通过为 SDRAM 控制器设置多个端口并集成仲裁功能, 该 SDRAM 控制器可以取代传统的总线+DMA 结构, 为解码器中的功能单元有效地分配存储器的带宽资源。该文提出的 SDRAM 控制器内建流水线式的地址和数据路径, 配合 SDRAM 本身流水处理指令的特性, 能够无延时地处理各个端口上的存储器访问请求, 从而降低了对片上缓存的需求。仿真综合结果表明, 该文设计的 SDRAM 控制器满足 HDTV 解码的性能要求, 且与总线+DMA 结构相比, 片上缓存容量减少了约 70%。

关键词: HDTV; SDRAM 控制器; 视频; 解码

中图分类号: TN919.8

文献标识码: A

文章编号: 1009-5896(2007)06-1332-06

High Performance SDRAM Controller Design for HDTV Video Decoder

Zhao Qiang Luo Rong Wang Hui Yang Hua-zhong
(Dept. of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: A high performance SDRAM controller for HDTV video decoder is proposed. Configured with multiple ports and integrated with an arbitration function, the SDRAM controller proposed can be used in place of traditional structures of bus + DMA to share the bandwidth resource of the SDRAM among several function blocks in the HDTV decoder. The SDRAM controller consists of pipelined address path and data path, which take advantage of the pipeline feature of the SDRAM to enable the controller to process access requests from each port continuously, so that the storage volume of on-chip memories is significantly reduced. The simulation results show that up to 70% of the on-chip memories could be reduced compared to the traditional bus + DMA structures, while the performance for HDTV decoding is assured.

Key words: HDTV; SDRAM controller; Video; Decoding

1 引言

视频解码器在对视频流进行解码时要将大量帧图像数据存储在片外存储器 SDRAM 中。随着视频分辨率越来越高, 解码器与片外存储器间的数据吞吐量也越来越大。在清晰度电视 HDTV(MPEG-2 MP@HL)的视频解码中, 数据吞吐量可高达 3Gb/s, 因此解码器与片外存储器间的数据带宽及带宽效率往往决定了视频解码器的整体性能。

在 HDTV 视频解码器中, 通常有多个功能单元需要从片外存储器读取或向其写入数据^[1]。许多现有的解码器使用片上总线+DMA 来实现多个单元对带宽资源的共享^[2,3], 而为了提高总线利用效率和带宽资源的合理分配, 文献[4-6]对各种总线仲裁算法做了详细的讨论, 文献[7,8]则提出了帧图像在存储器中的存储映射结构的改进方法。总线+DMA 的结构通常需要较大的片上缓存来储存数据; 复杂的总线仲裁算法除了要占用较多的硬件资源外, 还会引入时序上的额外开销, 导致总线效率降低。此外, SDRAM 本身的技术特性,

比如读写延时等^[9], 也是造成片上总线响应延时过长的重要原因, 但很少有人从与 SDRAM 直接交互的控制器入手提出改进方法, 即使有一些文献提及 SDRAM 控制器的设计, 也并没有充分考虑 SDRAM 的工作特性^[10]。

本文提出了一种多端口的 SDRAM 控制器。该控制器为共享 SDRAM 数据带宽资源的各个功能单元设置了独立的端口, 各端口拥有独享的读写 FIFO, 控制器中集成了仲裁功能及独立的流水线式数据、地址路径。在控制器的设计中充分考虑了 SDRAM 能够流水处理指令的性能特点, 流水线式地处理来自解码器功能单元的存储器访问请求, 从而降低了对存储器访问请求的响应延时和仲裁延时。这种 SDRAM 控制器相比总线+DMA 的结构大大减少了缓存的大小。

本文第 2 节介绍 SDRAM 的技术特性及帧图像在存储器中的存储映射结构; 第 3 节详细说明 SDRAM 控制器的结构设计; 第 4 节描述 SDRAM 控制器的工作过程; 第 5 节给出系统仿真结果; 第 6 节进行总结。

2 SDRAM 技术特性及帧图像存储映射结构

SDRAM 具有 3 项关键特性: 分行读写模式、多存储块结构以及指令流水线^[9]。图 1 示出了一种典型的 SDRAM 结

2006-04-06 收到, 2006-07-07 改回

国家自然科学基金(90307016)和广东省关键领域重点突破项目资助课题

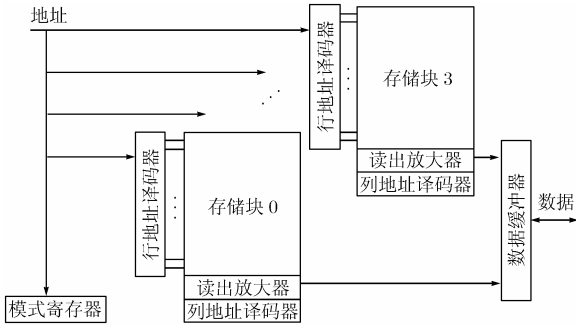
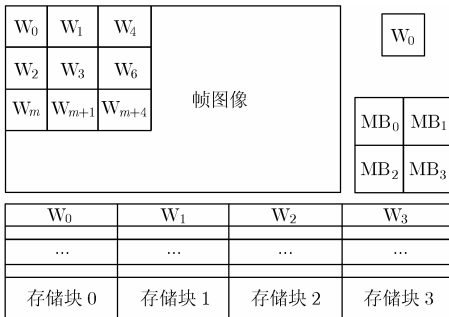


图1 典型的 SDRAM 结构

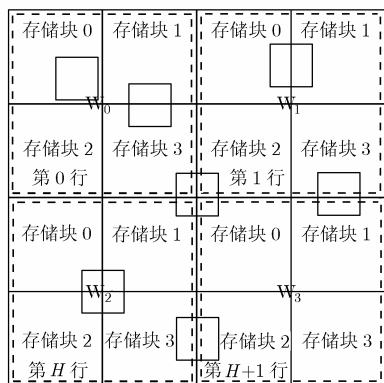
构, 其中包括 4 个独立的存储块 Bank₀~Bank₃, 它们共享一组地址与数据总线, 并各自拥有独立的行、列地址译码单元和读出放大器。对存储器的访问通常分 3 个步骤: 行激活, 读写操作以及预充电。

由于 SDRAM 中的存储块可以彼此独立地工作, 且 SDRAM 能够对送往不同存储块的指令做流水线处理, 因此对某存储块的读写操作可以与对另一存储块的行激活操作重叠, 而对相同存储块中不同行数据的操作则会产生额外的行激活等待时间。在 HDTV 视频解码器中, 读取视频参考帧与回写解码帧需要频繁地对 SDRAM 进行读写操作, 而且通常要连续读写整个宏块的视频数据。为了避免读写宏块数据时在同一存储块内频繁换行, 系统中采用了分块存储的映射结构来提高 SDRAM 的数据带宽利用效率。

如图 2(a)所示, 以帧图像中 4 个相邻的宏块为一个存储单元, 例如存储单元 W₀由宏块 MB₀, MB₁, MB₂和 MB₃组成, 每个存储单元占用 SDRAM 中一个存储块的一行, 且



(a) 帧图像数据在 SDRAM 中的存储结构



(b) 可能出现的被读取宏块位置

图2 帧图像存储映射结构

每 4 个相邻的存储单元必须存储在 SDRAM 中不同的存储块内。在这样的分块存储结构中, 任何一个完整宏块的数据都存储在存储块的同一行上, 在写入整个宏块数据时不存在换行问题。在读取参考帧数据时, 即使要读取的宏块不是完整的一个宏块而是由 4 个相邻宏块的数据拼成, 这些数据也不会位于同一存储块的不同行上, 如图 2(b)所示。这样就消除了读写数据时因换行而引起的时序开销。

3 多端口 SDRAM 控制器设计

在 HDTV 视频解码器中, 有 4 个主要功能单元对 SDRAM 进行读写操作, 它们分别是: 解码控制单元读写视频码流数据, 运动补偿单元读取参考帧数据, 帧重建单元写入完成解码的帧数据, 以及显示单元读取显示帧数据。针对这种多个功能模块共享片外存储器资源的情况, 现有的解码系统大都采用总线+DMA 的结构来满足数据吞吐量要求。根据总线的工作协议, 在响应多次连续的总线请求之间会有一些的延时^[11]。在采用总线结构的解码器中往往一次读取或写入大量数据以避免多次请求引起的延时, 因此需要较大的片上存储器作数据缓存, 且这种结构中的仲裁算法通常要通过比较缓存数据量决定总线请求的优先级, 仲裁单元需要占用较多的硬件资源并引起仲裁延时。

3.1 SDRAM 控制器总体结构

本文提出的 SDRAM 多端口控制器由 8 个主要功能模块组成: 数据路径、地址路径、仲裁单元、SDRAM 控制逻辑以及 4 个接口单元, 如图 3 所示。4 个接口单元分别分配给 4 个需要访问 SDRAM 的解码器功能模块。由于其他端口与 P₀ 的工作原理相同, 下面仅以端口 P₀ 为例对数据路径和地址路径进行说明。

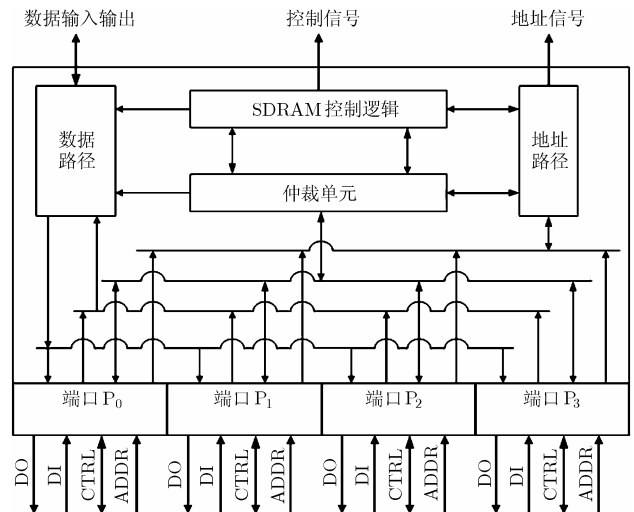


图3 多端口 SDRAM 控制器总体结构

3.2 数据路径

图 4 示出了数据路径的结构示意图, 每个端口都拥有独立的 64 bit 读/写数据总线, 以及独享的深度为 16 的读/写 FIFO(64-bit×16 deep FIFO)。

在端口 P₀ 进行写入操作时, 提出访问请求的解码器功

能单元在得到端口单元发出的访问请求确认信号后，给出写入数据确认信号将待写入的数据压入P₀的写FIFO中。写FIFO能容纳 16 个 64bit数据，这也就是SDRAM控制器所能接受的最大一次写入长度。根据控制器的仲裁算法，压入FIFO的数据不一定会立刻被写入SDRAM，而是在FIFO中暂存等待控制器对该端口的处理。在当前写请求的数据被处理之前或当写FIFO存满时，控制器将不再接受来自该端口的写入请求，直到写FIFO中的已有数据开始被处理为止。当仲裁单元判断应当开始处理端口 P₀ 的写入操作后，仲裁单元中的端口选择逻辑产生选择信号，控制多路选择器选取 P₀ 的数据路径，SDRAM控制逻辑产生控制信号，将写FIFO中的数据逐一弹出，并通过写入数据路径最终送达SDRAM的数据端口。

读数据路径与写数据路径非常相似。当 SDRAM 控制器接收到来自数据端口的输入数据，首先由寄存器寄存以便与片内时钟同步，然后由控制逻辑产生的控制信号压入端口 P₀ 的读 FIFO，端口单元根据读 FIFO 的状态送出状态信号，通知外部的功能单元读取数据已经就绪，由外部的功能单元控制将数据弹出 FIFO。

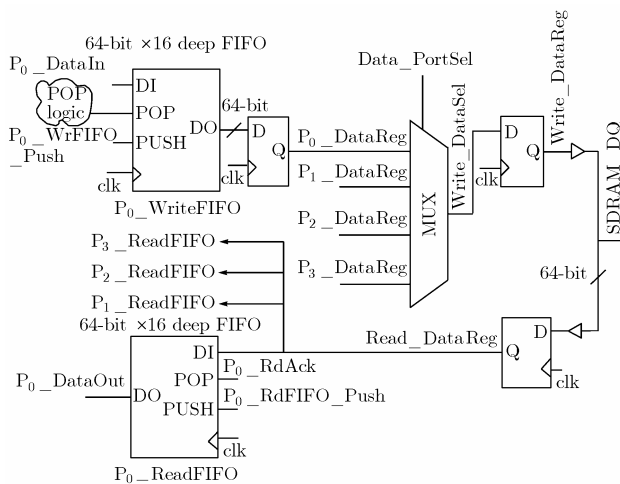


图 4 SDRAM 控制器读写数据路径

3.3 地址路径

SDRAM 控制器中的地址路径为 3 级流水线，如图 5 所示。第 1 级流水线由端口单元控制，在响应外部功能单元的访问请求时锁存访问地址，该级流水线使用双寄存器轮流锁存地址信号，可以保证连续地为下一级流水线提供地址信号，不会受到仲裁延时的影响。第 2 级流水线由仲裁单元控制，由端口选择逻辑控制多路选择器选取并锁存得到访问权的端口上送入的地址，并释放上一级流水线中的一个寄存器，使其可以继续锁存下一访问请求送入的地址。第 3 级流水线由 SDRAM 控制逻辑控制，用以锁存最终送到 SDRAM 地址端口上的地址信号，该级流水线之前的多路选择器的作用是在端口输入的原始地址信号与经加法器递增的地址信号中选取一个输出，便于自动进行连续地址的读写操作。

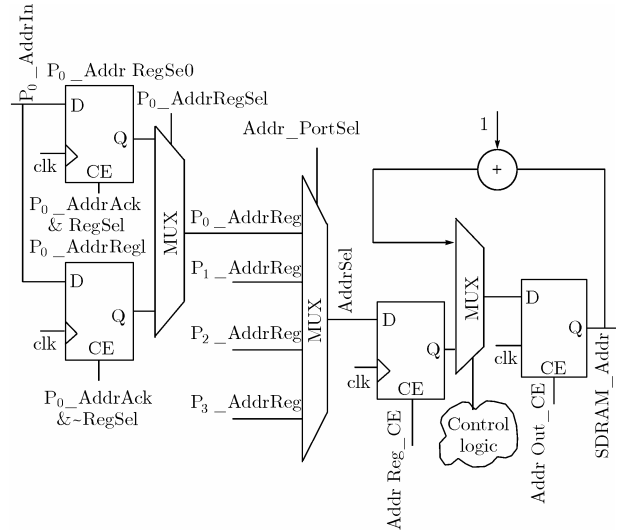


图 5 SDRAM 控制器地址路径

3.4 控制逻辑单元

SDRAM 控制器发送给 SDRAM 的控制信号由控制器内的控制逻辑单元产生。控制逻辑单元接收来自仲裁单元的指令，通过状态机的状态变换来输出相应的 SDRAM 控制信号以及返还给仲裁单元的状态信号。控制逻辑单元的简化状态图如图 6 所示。控制逻辑单元保存了 SDRAM 各个存储块中当前被激活行的信息，因此，控制逻辑中的读、写状态与行激活、预充电状态都是独立的。即在实际操作中，只有需要访问当前未被激活的行或是要对 SDRAM 进行刷新时，才对 SDRAM 进行预充电和行激活，而不必在每次读写操作完毕后都对 SDRAM 进行预充电，也不必在每次新的读写操作开始前进行行激活，从而减少了时钟消耗。

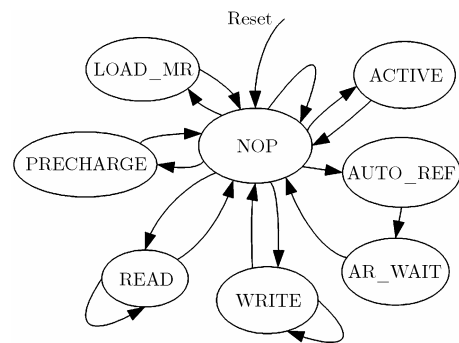


图 6 控制逻辑单元的状态图

另外，控制逻辑还负责在连续地址的阵发式读写中控制地址路径，完成访问地址的递增，可在不改变 SDRAM 的模式寄存器内容的情况下实现任意长度的连续读写。

3.5 仲裁单元

为了适应以宏块为单位的解码流水线需要，本文提出的 SDRAM 控制器中采用先到先服务 (FCFS) 及优先处理同向请求 (即同为读取或写入请求) 的仲裁算法来处理各个端口提出的访问请求：具体来说，在每次开始解码一个新的宏块后，首先处理最先提出的访问请求；处理完上一请求之后，若提

出上一访问请求的端口上仍有访问请求,则继续处理该端口上的请求,否则处理与上一访问请求同向的其他端口的访问请求。仲裁算法的简化状态图如图 7 所示。

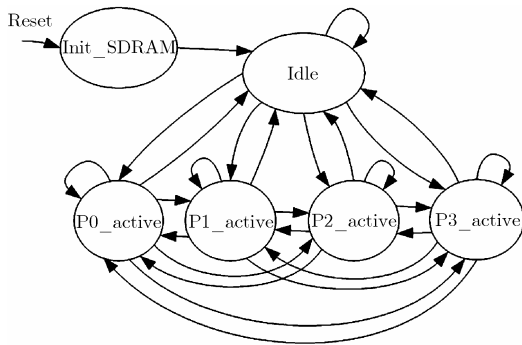


图 7 仲裁单元的状态图

由于解码系统以宏块为单位对整个解码流水线做同步,因此这样的仲裁算法能够在保证满足流水线的要求的同时,最大程度地优化数据带宽的效率。为了减小仲裁延时,仲裁单元采用组合逻辑来产生仲裁信号。

当仲裁单元选定得到访问权的端口后,即将该端口上的访问地址锁存到地址路径的第 2 级流水线,从而该端口上的第 1 级地址流水线可以缓存下一访问请求的地址,保证了对各端口访问请求处理的连续性。

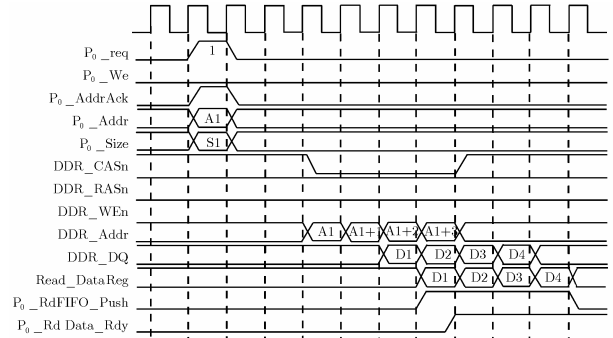
此外,仲裁单元还负责 SDRAM 刷新时间的计时,在指定间隔内向控制逻辑发出信号,指示其向 SDRAM 发出刷新指令。本控制器采用阵发刷新方式,即每隔 64ms 一次连续发出 8192 条刷新指令,指令数与所使用的 SDRAM 的行数相等,而不是每间隔 7.81μs 发出一条刷新指令。尽管两种方式都能达到 SDRAM 的刷新要求,但是由于在执行刷新前要对 SDRAM 的每个存储块进行预充电,并在刷新后进行行激活,采用阵发刷新方式大大减少了预充电与行激活操作的次数。

4 SDRAM 控制器的工作过程

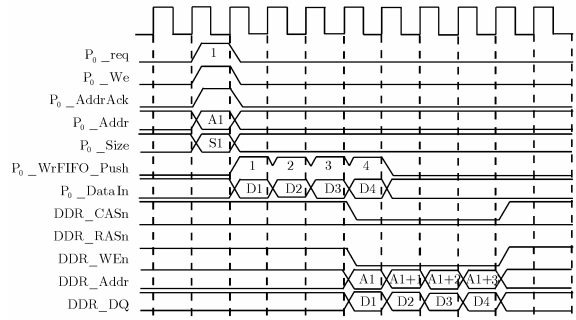
4.1 连续地址阵发式读写

由于采用分块映射的存储结构,一个宏块的数据被连续地存储在 SDRAM 中的一行上,因此在从 SDRAM 读取参考帧或向 SDRAM 写回解码帧时,经常要连续读写同一行中连续列地址上的数据。以回写解码帧为例,一个宏块的亮度数据为 16×16×8bit,即要向 SDRAM 写入 32 个 64 bit 数据,且这 32 个数据存储在 SDRAM 的某一行中连续的 32 个列地址上。在本文提出的 SDRAM 多端口控制器中,为每个端口设置了连续读写数据量的控制信号,需要访问 SDRAM 连续地址上的数据的功能单元只需提供初始地址信号和读写数据量的控制信号,控制器即可自行控制地址信号的递增以实现连续读写 SDRAM 的功能。

图 8 示出了连续读取和写入 4 个 64 bit 数据的时序示意图。



(a) 连续读取 4 个 64bit 数据



(b) 连续写入 4 个 64bit 数据

图 8 连续地址阵发式读写数据的时序图

4.2 非连续地址读取

在从 SDRAM 读取参考帧进行运动补偿时,所需读取的参考宏块在很多情况下并非位于整 16 像素边界上的完整宏块,而是相邻 4 个完整宏块中各出一部分拼凑而成,这就意味着所要读取的数据并不在 SDRAM 同一行的连续列地址上,这些数据可能分散在同一行的间隔列地址上,甚至可能在不同存储块的不同行上。在访问 SDRAM 中不连续地址的情况下,控制器不能像连续地址读写那样通过递进来自动生成访问地址,而必须由需要访问 SDRAM 的功能单元向控制器连续发出访问请求,并提供访问地址。

常用的片上总线系统会在前后两次访问请求间产生总线响应延时和仲裁延时。当被访问对象是 SDRAM 时,由于它在接收读写指令与输入/输出数据之间有较大延时,会对总线效率产生严重的负面影响。图 9 示出了一种典型的片上总线响应连续读请求的时序图^[11],在第 1 次请求读出的数据送上数据总线前一个时钟周期,总线才能对第 2 次请求作出响应,于是,在第 1 次与第 2 次请求响应间产生 3 个时钟周期的延时。

为了提高 SDRAM 带宽的利用效率,本文提出的

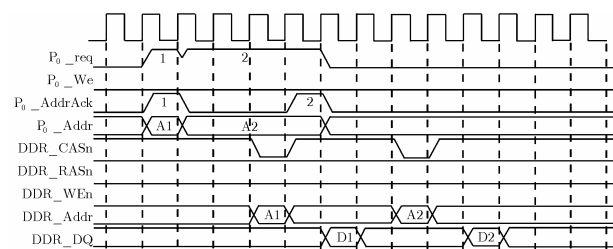


图 9 典型片上总线响应连续读请求的时序图

SDRAM 控制器充分考虑了 SDRAM 能够流水线处理读写指令这一功能特性，在控制器中设置独立非相关的流水线数据、地址路径，使得地址和数据路径的使用权在同一时间可以分属两次不同的访问请求，而不必被同一次访问操作占用，对 SDRAM 的同向访问就能够不间断地连续进行。图 10 示出了连续 3 次读取 SDRAM 的时序图，其中第 1 次和第 3 次请求均读取 1 个 64 bit 数据，第 2 次请求读取 4 个 64 bit 数据。于是，解码器功能单元可以在任何时候发出读写存储器的请求，而不必为了避免总线延时而一次读写大量数据，从而节省了片上缓存。

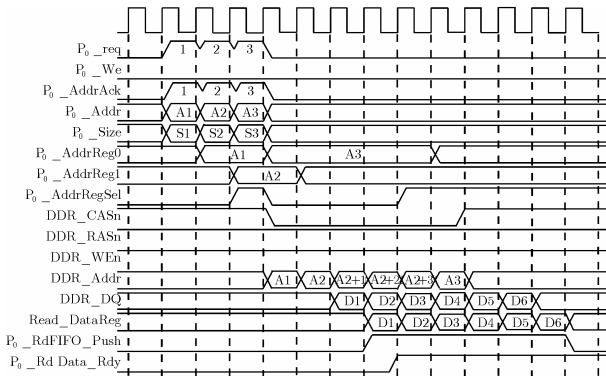


图 10 连续读取非连续地址上数据的时序图

5 仿真结果

本文采用硬件描述语言 Verilog HDL 设计了整个视频解码器，并建立了 SDRAM 控制器的寄存器传输级(RTL)模型，然后在 Modelsim SE 上进行了仿真。仿真输入为一些典型的 MPEG-2 MP@HL(1920×1080@30Hz)视频码流。解码器系统与 SDRAM 控制器的工作频率均为 108MHz。

表 1 列出了在解码不同类型的帧图时，解码器的 3 个主要功能单元在处理一个宏块期间读写 SDRAM 平均使用的时钟数。压缩视频码流中对应各宏块的数据量波动较大，表中未计入解码控制单元读写视频码流数据所需的时钟数。由于采用 108MHz 时钟，分配给每帧图像的解码时钟周期数为 3600000，每个宏块分配到的时钟数约为 444。从表 1 中可见，即使加入解码控制单元读写视频码流数据所需的时钟数(平均在 30 至 50 个时钟周期的范围内)，本文提出的 SDRAM 控制器也完全能满足解码系统对数据带宽的要求。

在硬件资源上，本文提出的 SDRAM 控制器在每个端口模块中都需要独立的数据路径读写 FIFO，占用片上缓存资源为 4×2×16×64 bit，即 1024 byte。但是，除了解码控制单元读写视频码流数据的端口需要读写双向数据路径外，其他端口都只需要单向数据路径(或读或写)，因此可将片上缓存资源缩减到 640 byte。表 2 对比了本文提出的 SDRAM 控制器与总线+DMA 结构所需缓存容量的对比，可见缓存容量减少了约 70%。

表 1 解码器各功能模块读写 SDRAM 的平均时钟数

	I 帧	P 帧	B 帧
读取参考宏块	0	126	255
写回解码宏块	64	64	64
读取显示数据	96	96	96
合计	160	286	415

表 2 与总线+DMA 结构的缓存容量对比(byte)

	本文提出的 SDRAM 控制器	总线+DMA 文献[3]
读取参考宏块路径	128	40
写回解码宏块路径	128	400
读取显示数据路径	128	1280
读写视频码流路径	256	400
合计	640	2120

在针对 Spartan3(-4 速度等级)^[12]的设计中，本文提出的 SDRAM 控制器经过 Synplify Pro 的综合及 ISE 的布线，能够达到 130MHz 的工作频率。

6 结束语

本文提出了一种适用于 HDTV 视频解码系统的多端口 SDRAM 控制器。该控制器充分利用了 SDRAM 本身能够流水线执行操作指令的特点，通过设计独立的流水线地址路径与数据路径以及优化 SDRAM 控制逻辑，从而流水线处理来自各个端口的 SDRAM 访问请求，有效地提高了存储器带宽的利用效率，并达到了减少片上缓存的效果。仿真结果表明，本文提出的 SDRAM 控制器完全满足 HDTV 视频解码器的性能要求，与总线+DMA 结构相比，片上缓存容量可减少近 70%。

参考文献

- [1] Yamauchi H, Okada S, Taketa K, Mihara Y, and Harada Y. Single chip video processor for digital HDTV. *IEEE Transactions on Consumer Electronics*, 2001, 47(3): 394-404.
- [2] Lee K B, Lin C H, and Jen C W. Bus buffer modeling and optimization in video processing IP. Proceedings of ICECS '99, The 6th IEEE International Conference on Electronics, Circuits and Systems, Pafos, Cyprus, 5-8 Sept. 1999, vol.3: 1779-1782.
- [3] 李东晓, 姚庆栋, 刘鹏, 周莉. HDTV 集成解码芯片的一种总线设计. *电路与系统学报*, 2003, 8(3): 81-86.
- [4] Lin C H and Jen C W. On the bus arbitration for MPEG-2 video decoder. Proceedings of Technical Papers, International Symposium on VLSI Technology, Systems, and Applications, Taiwan, 31 May- 2 June 1995: 201-205.
- [5] Ling N and Li J H. A bus-monitoring model for MPEG video

- decoder design. *IEEE Trans. on Consumer Electronics*, 1997, 43(3): 526-530.
- [6] Li J H and Ling N. Architecture and bus-arbitration schemes for MPEG-2 video decoder. *IEEE Trans. on Circuits and Systems for Video Technology*, 1999, 9(5): 727-736.
- [7] Panda P R and Dutt N D. Low-power memory mapping through reducing address bus activity. *IEEE Trans. on VLSI Systems*, 1999, 7(3): 309-320.
- [8] Kim H and Park I C. High-performance and low-power memory-interface architecture for video processing applications. *IEEE Trans. on Circuits and Systems for Video Technology*, 2001, 11(11): 1160-1170.
- [9] Micron Technology, Inc.. Synchronous DRAM (MT48LC64) Data Sheet. 2003.
- [10] Zhu Jiahui, Hou Ligang, Wu Wuchen, Wang Ronggang, Huang Chao, and Li Jintao, *et al.*. High performance synchronous DRAMs controller in H.264 HDTV decoder. Proceedings of 7th International Conference on Solid-State and Integrated Circuits Technology, Beijing, China, 18-21 Oct. 2004, vol.3: 1621-1624.
- [11] IBM Corporation. 32-bit Processor Local Bus Architecture Specification Version 2.9. 2001.
- [12] Xilinx Inc.. Spartan-3 Family: Complete Data Sheet. Aug. 2005: 5-6.
- 赵 强: 男, 1981 年生, 硕士生, 研究方向为视频信息处理以及数字集成电路设计.
- 罗 嵘: 女, 1970 年生, 副教授, 研究方向为多媒体处理技术, 嵌入式片上系统设计技术、系统集成以及电子设计自动化.
- 汪 蕙: 女, 1947 年生, 教授, 研究方向为集成电路设计以及计算机辅助设计.
- 杨华中: 男, 1967 年生, 教授, 研究方向为大规模集成电路设计技术及通信电路设计技术.