

基于物理 α 指数 MOSFET 模型的 SRAM 存储体单元优化

顾明 杨军

(东南大学国家专用集成电路系统工程技术研究中心 南京 210096)

摘要: 存储体单元是静态随机存储器(SRAM)最基本、最重要的组成部分,它在改善系统性能、提高芯片可靠性、降低成本与功耗等方面都起到了积极的作用。该文采用物理 α 指数 MOSFET 模型建立了与 SRAM 存储体单元相关的功耗,延迟的性能模型,并结合存储体单元面积模型以及可靠性分析,提出了一种存储体单元结构优化方法。实验结果表明采用此优化方法得出的存储体单元结构降低了功耗,访问时间以及面积,与仿真结果相比误差小于 10%,实验仿真结果证明了性能模型和优化方法的有效性和正确性。

关键词: 静态随机存储器(SRAM); 物理 α 指数 MOSFET 模型; 存储体单元

中图分类号: TN47

文献标识码: A

文章编号: 1009-5896(2007)01-0223-04

Optimization of SRAM Memory Cell Based on Physical Alpha-Power Law MOSEFT Model

Gu Ming Yang Jun

(National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China)

Abstract: Memory Cell is a basic and important macro block of SRAM. It has played a positive role in improving performance and reliability, lowering cost and power consumption. In this paper a new physical alpha-power law MOSEFT model is used to establish power and delay model related with SRAM memory cell. Adopting those performance models, memory cell area model and reliability analysis, a new memory cell structure optimization method is proposed. Experimental result shows SRAM power, access time and area are reduced by adopting this method, and computed performance parameter varies less than 10% compares with simulation result. Experiment results indicate the effectiveness and validity of the performance model and optimization method.

Key words: SRAM; Physical alpha-power law MOSEFT model; Memory cell

1 引言

由于数字集成电路的功能越来越复杂,规模越来越大,片上集成的存储器已成为数字系统中非常重要的组成部分。嵌入式静态随机存储器(Static Random Access Memory, SRAM)以其低功耗、高速的优点而成为片上存储器中不可或缺的重要组成部分,设计高性能嵌入式 SRAM 是目前研究的热点。

存储体单元是 SRAM 最基本,最重要的组成部分,它直接影响到 SRAM 的速度、功耗、面积等性能指标。本文采用物理 α 指数 MOSFET 模型,推导出与存储体单元相关的字线、位线功耗模型以及延迟模型,结合存储体单元面积模型以及读写可靠性分析,提出了一种优化存储体单元结构的方法。实验仿真结果也证明了该方法的正确性,具有良好的理论价值和现实意义。

2 性能模型

2.1 物理 α 指数 MOSFET 模型

CMOS 倒相器是 VLSI 电路中使用最普遍的单元器件,

精确而高效地计算 CMOS 倒相器延迟在 VLSI 系统设计中至关重要。为了快速估算延迟, Burns 推导出针对阶梯输入的延迟解析表达式^[1], 随后 Hedenstierna 以及 Vernuru 等人扩展了这一理论^[2,3], 分别推导出斜坡输入下的延迟解析模型。但这些模型都是基于缓变沟道近似的 Shockley MOSEFT 模型, 该 MOSEFT 模型未考虑载流子速度饱和效应, 迁移率同电场的关系等短沟道效应, 计算精度已无法满足要求。Sakurai 等人考虑了速度饱和效应, 在 Shockley MOSEFT 模型基础上进行修正, 提出了 α (Alpha-Power Law)指数 MOSFET 模型, 并基于该模型推导出了 CMOS 倒相器延迟解析模型^[4]。随后 Bowman 等人提出了物理 α 指数 MOSFET 模型^[5], 这种 MOSFET 模型同时考虑了阈值电压偏离(Roll-off)效应以及寄生电容的影响, 计算精度高。因此本文采用物理 α 指数 MOSFET 模型, 建立与存储体单元相关的功耗、延迟模型。

2.2 字线, 位线性能模型

SRAM 整体结构可以划分为存储体阵列与外围电路两部分。存储体阵列由预充电电路和存储单元阵列组成; 外围电路由行列地址译码器、读写控制单元、输入数据处理单元以及灵敏放大器组成, 它们分别实现对存储单元寻址、数据

2005-10-18 收到, 2006-04-06 改回

国家 863 计划个人信息处理终端 SoC 专项(2003AA1Z1340)和国家自然科学基金: 基于测试压缩和 LBIST 的系统芯片低成本测试技术研究(90407009)资助课题

写入、读出等操作。存储体阵列里的存储体单元大多采用静态 CMOS 6 管单元结构,其电路结构如图 1 所示。静态 6 管单元通过一对交叉耦合的倒相器来锁存一位数字信号(图 1 中的 MN1, MN2, MP3 与 MP4 组成)。MN1 和 MN2 称为驱动管,MP3 与 MP4 称为负载管,MN5 和 MN6 称为存取管。

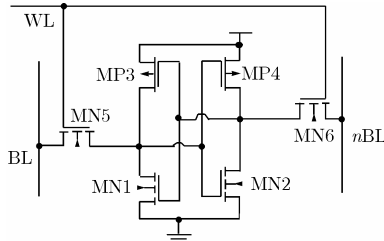


图 1 CMOS 静态存储体单元

存储体单元存取管栅极与字线相连,漏极与位线相连,存取管栅极电容和寄生电容是字线和位线容性负载的主要组成部分。通常字线驱动由 CMOS 倒相器组成,字线负载电容 C_{load} 由式(1)表示。

$$C_{load} = 2(2^n \text{ bytes})(C_G + C_{GD} + C_{GS}) \quad (1)$$

式(1)中 C_G 、 C_{GD} 、 C_{GS} 分别是静态 6 管单元存取管的栅端电容,栅端与漏端和源端的寄生电容,bytes 表示存储体阵列输出的位数,一般为 4、8、16、32。采用物理 α 指数 MOSFET 模型以及 Sakurai 提出的 CMOS 倒相器以及互连延迟模型^[6],字线延迟模型由式(2)表示。

$$T_{wl} = 0.377R_{wire}C_{wire} + 0.693R_{wire}C_{load} + \frac{(C_{DG} + C_{DB} + C_{wire} + C_{load})V_{DD}}{2I_D} + \left(\frac{(V_T/V_{DD}) + \alpha}{1 + \alpha} \right) T_S \quad (2)$$

式(2)中 V_T 是 MOS 管阈值电压, α 由物理 α 指数 MOSFET 模型推导, T_S 是输入信号过渡区时间, C_{DG} 、 C_{DB} 分别是 CMOS 倒相器栅漏寄生电容,漏结寄生电容, C_{load} 是负载电容, C_{wire} 是互连线上电容, R_{wire} 是互连线上电阻, I_D 是 CMOS 倒相器 PMOS 管导通电流。字线动态功耗可以由式(3)表示。

$$P_{wl} = (C_{DG} + C_{DB} + C_{load})FV_{DD}V_{swing} \quad (3)$$

式(3)中 F 表示 SRAM 的工作频率, V_{swing} 表示字线的电压摆幅,通常字线摆幅为 V_{DD} 。位线负载电容 C_{bl} 由式(4)表示。

$$C_{bl} = 2^m(C_{DB} + C_{DG}) + C_{wire} \quad (4)$$

式(4)中 C_{DB} 、 C_{DG} 分别表示存储体单元存取管的漏结寄生电容,漏栅寄生电容, m 是 SRAM 列地址线数目。位线延迟由式(5)表示。

$$T_{bl} = C_{bl}(\Delta V_{SA} / I_{cell}) \quad (5)$$

式(5)中 ΔV_{SA} 是灵敏放大器正常工作时的输入电压摆幅, I_{cell} 是 SRAM 读操作时静态 6 管单元存取管导通电流。当字线使能时,每 2^m 个存储体单元中只有一个被选中进行操作,其余 $2^m - 1$ 个存储体单元位线电压虽然也有摆幅,但不参与

写操作。这种情况下位线动态功耗由式(6)表示,其中假设未选中单元的位线电压摆幅为 $V_{DD}/2$ 。

$$P_{bl} = (C_{bl}FV_{DD}V_{swing} + (2^m - 1)FV_{DD}V_{swing}) \text{ bytes} = (C_{bl}FV_{DD}^2 + (2^m - 1)FV_{DD}^2/2) \text{ bytes} \quad (6)$$

2.3 存储体单元面积模型

存储体单元矩阵面积占据了绝大部分版图面积(约占 70%),节省存储体单元版图面积意味着成本的降低和竞争力的提高,存储体单元的版图布局图如图 2 所示。单元比率 R_1 定义为驱动管宽长比与存取管宽长比之比,单元比率 R_2 定义为负载管宽长比与存取管宽长比之比,如图 2 所示。

$$R_1 = (W_1/L_1)/(W_5/L_5) \quad (7)$$

$$R_2 = (W_4/L_4)/(W_6/L_6)$$

存储体单元面积与存取管宽 W 、 R_1 、 R_2 有关,本文采用多元线性回归拟合方法建立存储体单元面积模型,基于 SMIC 0.18 μm 工艺设计的存储体单元的面积模型如图 2 所示,其中设定自变量 x_1 为单元比率 R_1 ,自变量 x_2 为单元比率 R_2 ,自变量 x_3 为存储体单元存取管栅宽 W 。

$$\text{Area}_{cell} = 0.8005 + 0.8848x_1 + 0.87774x_2 + 12.5348x_3 \quad (8)$$

图 3 是不同尺寸存储体单元面积的真实测量值和根据式(8)计算值比较,采用面积模型的计算值与实际测量值基本符合(误差均小于 10%),可以满足分析的需要。

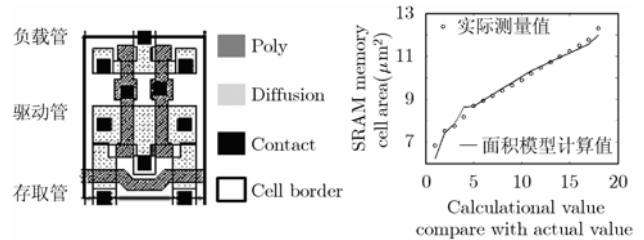


图 2 存储体单元版图布局图

图 3 拟合的数值与实际测量值对比

3 SRAM 可靠性分析

从第 2 节性能模型和面积模型分析可以看出,为了减少 SRAM 面积,提高其性能指标一个快速有效的方法是降低静态 CMOS 6 管单元中各个 CMOS 管的宽长比。但为了保证存储体单元正确写入和非破坏性读出, MOS 管宽长比不能无限制的缩小,本文采用物理 α 指数 MOSFET 模型,针对在不同工作状态下 MOS 管宽长比对性能的影响做了研究^[7]。

读操作时存储体单元简化模型如图 4 所示。图 4 中假设存储体单元内部 V_L 为“0”节点, V_R 为“1”节点,进行读操作时,存储节点 V_L 的电压由于位线 BL 的充电作用会升高,为了保持 SRAM 非破坏性读出的特性, V_L 的电压应低于 NMOS 管的阈值电压,这样不会引起存储体单元内部状态的变化。根据串联电路电流相等,求解存储体单元内部的电压 V_L 的上升幅度如式(9)所示。由式(9)可以看出,当单元比率 R_1 大于一定的数值,存储体单元内部 V_L 电压上升的幅度就会小于阈

值电压,保证了 SRAM 读取的可靠性。

$$\Delta V_L = (V_{DD} - V_{TN}) \cdot \left(1 - \sqrt{1 - \frac{2k_1[(V_{DD} - V_{TN})V_{D\text{SAT}MN5} - V_{D\text{SAT}MN5}^2/2]}{R_1k_2(V_{DD} - V_{TN})^2}} \right) \quad (9)$$

静态噪声容限(SNM)也是衡量存储体单元抗干扰能力的一个重要参数,SRAM 存储体的 SNM 被定义成在可以引起状态翻转的最小干扰电压 V_n , Bhavnagarwala 给出了基于物理 α 指数 MOSFET 模型的 SNM 解析模型^[8],当 R_1 越大,SNM 越大,SRAM 越稳定。反之当 R_1 越小,SNM 越小,SRAM 稳定性变差。

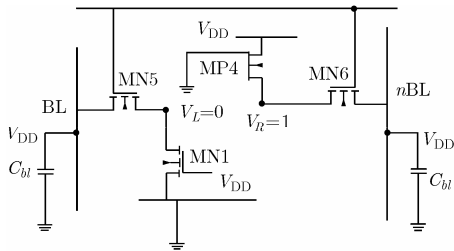


图 4 读操作存储体单元简化模型

写操作时存储体单元简化模型如图 5 所示,图 5 中假设存储体单元中存储的是“1”信号,将要写入的是“0”信号,写操作将引起存储体单元存储节点状态的翻转。由读操作可靠性分析可知,在满足非破坏性读出的条件下,存储单元存储节点 V_L 的电压始终低于 MOS 管的阈值电压,不会造成存储单元状态翻转。为了正确写入数据,存储节点 V_R 的电压需要降低到 MOS 管的阈值电压以下,最终促使存储单元状态翻转,完成写操作。根据串联电路电流相等,推导出 SRAM 读操作下的 V_R 电压方程如下所示。

$$V_R = (V_{DD} - V_{TP}) \cdot \left(1 - \sqrt{1 - \frac{2R_2k_1[(V_{DD} - V_{TN})V_{D\text{SAT}MP4} - V_{D\text{SAT}MP4}^2/2]}{k_2(V_{DD} - V_{TN})^2}} \right) \quad (10)$$

由式(10)可以看出,当单元比率 R_2 小于一定的数值,存储单元内部 V_R 电压就会下降到 MOS 管阈值电压以下,确保了 SRAM 的正确写入。

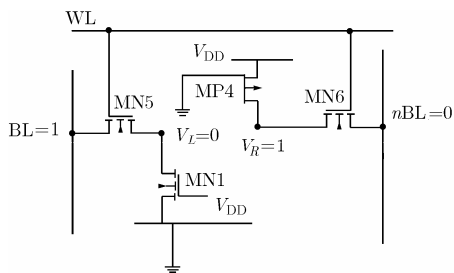


图 5 写操作存储体单元简化模型

4 存储体单元优化

综上所述,嵌入式 SRAM 存储单元的设计,一方需要在存储单元面积、功耗和速度之间进行折衷;另一方面,需要对晶体管尺寸进行优化,提高 SNM,从而提高存储单元稳定性。具体设计中,在兼顾速度和功耗的前提下,尽量减小存取管的沟道宽度,这样才能设计出高性能、高可靠性以及存储单元面积尽量小的存储单元。根据以上推导的面积、功耗、速度以及可靠性等方程,本文提出了一种存储体单元结构的优化方法,优化方法由以下几步组成:

- (1) 在给定工艺参数条件下,根据式(9),式(10)得出确保正确读写时存储单元比率 R_1 、 R_2 的取值范围。
- (2) 根据功耗,延迟模型以及存储体单元面积模型,计算不同尺寸的存储体单元的功耗,延迟以及面积。
- (3) 计算各个性能指标相对与最大值的比例,得出 3 个性能参数的比例和。
- (4) 设定比例和门限,选出功耗,延迟,面积比例和小于门限值的一组存储体单元尺寸。
- (5) 考虑静态噪声容限(SNM)影响,从满足条件的范围内选择存储体单元静态噪声容限最大所对应的存储体单元尺寸。

采用以上的优化方法设计存储体单元,不仅在功耗,延迟以及面积之间进行了折衷,而且考虑了 SNM 的影响,是一种实用的优化方法。

5 实验仿真

采用 SMIC 0.18 μm CMOS 工艺,全定制方法设计容量为 128 字节的 8 位嵌入式 SRAM,其中 SRAM 行地址线数为 4,列地址线数为 3。存储单元驱动管栅宽 600nm,负载管栅宽 500nm,存取管栅宽为 450nm,工作频率为 100MHz。采用 SMIC 0.18 μm CMOS 工艺参数(MOS 管的阈值电压为 0.4V),不考虑衬底偏移的影响,计算 ΔV_L 与 R_1 的关系以及 V_R 与 R_2 的关系,如图 6 所示。从图中可知,当 R_1 大于 1.1 时, ΔV_L 小于 0.4V, SRAM 可以非破坏性读出;当 R_2 小于 2.2 时, V_R 小于 0.4V, SRAM 可以正确写入。另外单元比率 R_1 越大,其内部节点 V_L 上升的幅度越小,这一结论也同 SNM 的分析一致,即 R_1 越大存储单元越稳定。

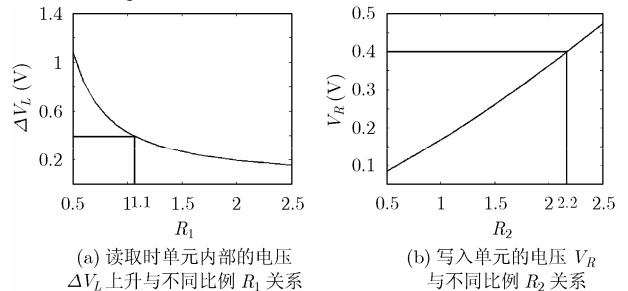


图 6 存储单元比率 R_1 、 R_2 与读写可靠性的关系

采用字线和位线性模型以及存储单元面积模型,得出

存储单元尺寸优化前存储体阵列性能指标如表 1 所示。

表 1 性能指标

存储单元面积(μm^2)	延时(ns)	功耗(mW)	SNM(v)
8.6	0.58	0.25	0.23

根据得出的单元比率取值范围,采用本文提出的存储单元尺寸优化方法,得到驱动管栅宽 530nm,负载管栅宽 420nm,存取管栅宽为 245nm,存储单元尺寸优化后存储体阵列性能指标如表 2 所示。

表 2 优化后的性能指标

存储单元面积(μm^2)	延时(ns)	功耗(mW)	SNM(v)
7.3	0.51	0.18	0.29

比较表 1 和表 2 的性能指标可以看出表 2 中所得到的优化的存储体单元不仅降低了功耗,延迟以及面积,而且增强了存储体单元的抗干扰能力。采用表 2 中的存储体单元结构,实验仿真结果与计算推导(表 2 所附数值)比较如表 3 所示,从下表可以看出两者之间的误差小于 10%,实验仿真结果证明了性能模型和优化方法的有效性和正确性。

表 3 实验仿真结果与计算推导结果比较

面积(μm^2)	误差	延时(ns)	误差	功耗(mW)	误差	SNM(v)	误差
7.5	4%	0.55	8%	0.196	8%	0.27	7%

6 结束语

本文介绍了一种存储体单元结构的优化方法,通过理论分析证明了这种方法是可行的。实验结果也证明了方法的有效性和正确性。以后我们还将继续深入研究有关 SRAM 高层建模方法,并对提出的结构进行进一步的优化。

参考文献

- [1] Burns J R. Switching response of complementary symmetry MOS transistor logic circuits[J]. *RCA Rev*, 1964, 25(12): 627–661.
- [2] Hedenstierna N and Jeppson K O. CMOS circuit speed and buffer optimization[J]. *IEEE Trans. on CAD*, 1987, 6(2): 270–281.
- [3] Vemuru S R. A model for delay evaluation of a CMOS inverter[C]. Proceeding of the ISCAS, New Orleans, USA, 1990: 89–92.
- [4] Sakurai T and Newton A R. Alpha-Power law MOSEFT model and its applications to CMOS inverter delay and other formulas[J]. *Solid State Circuits*, 1990, 25(2): 584–594.
- [5] Bowman K A and Austin B L, et al. A physical Alpha-power law MOSEFT model[J]. *Solid State Circuits*, 1999, 34(10): 1410–1414.
- [6] Sakurai T. Closed form expressions for interconnection delay, coupling and crosstalk in VLSI's [J]. *IEEE Trans. on Electron Devices*, 1993, 40(1): 118–124.
- [7] Rabaey J M, et al. Digital integrated circuits: A design perspective[M]. New Jersey: Prentice-Hall, 2003: 657–661.
- [8] Bhavnagarwala A J. The impact of intrinsic device fluctuations on CMOS SRAM cell stability[J]. *Solid State Circuits*, 2001, 36(4): 658–665.

顾明: 男, 1977 年生, 博士生, 研究方向为嵌入式存储器设计和优化技术。

杨军: 男, 1976 年生, 讲师, 研究方向为低成本 SoC 测试和优化技术。