

实现折叠共栅共源运放 MST 的时钟馈通频率补偿方法

王向展 宁宁 于奇 戴广豪 杨谟华
(电子科技大学微电子与固体电子学院 成都 610054)

摘要: 该文基于二阶系统最小建立时间(MST)理论和阶跃响应分析,提出了一种新型的时钟馈通频率补偿方法。该方法通过 MOS 电容引入时钟馈通进行频率补偿,无需对运放结构和参数进行调整。在 Cadence ADE 仿真环境下运用 SMIC 0.35 μm 2P3M Polyside Si CMOS 模型参数,对折叠共源共栅放大器进行了模拟分析。结果表明,补偿后的运放实现了 MST 状态,并缩短了建立时间 22.7%,提高了其响应速度。在 0.5pF-2.5pF 负载电容范围内,其建立时间近似线性变化,且对应每一负载电容值均达到 MST 状态。该方法可望应用于高速有源开关电容网络及其相关领域。

关键词: 最小建立时间; 时钟馈通; 快速建立; 折叠式共源共栅运放; 开关电容网络

中图分类号: TN722

文献标识码: A

文章编号: 1009-5896(2007)03-0743-04

Implementation of Folded-Cascode OTA's MST State via Clock Feedthrough Frequency Compensation

Wang Xiang-zhan Ning Ning Yu Qi Dai Guang-hao Yang Mo-hua
(University of Electronic Science & Technology of China, Chengdu 610054, China)

Abstract: In this article, a novel Clock Feedthrough Frequency Compensation (CFFC) method based on the Minimum-Settling-Time (MST) theory and step-response analysis of a second order system is presented. Cadence ADE simulation results of a folded-cascode OTA with CFFC designed with SMIC 0.35 μm 2P3M Polyside Si CMOS models show that the settling time of the CFFC compensated cascode OTA is reduced by 22.7%, MST state is obtained as well. With the capacitor load varies from 0.5pF to 2.5pF, the settling time changes linearly from 3.62ns to 4.46ns, and the circuit achieves MST state at each load value. This method can be applied to high-speed active switched capacitor networks and its related fields.

Keywords: Minimum Setting time; Clock feedthrough; Fast settling; Folded-cascode OTA; Switched capacitor networks

1 引言

随着 CMOS 工艺的飞速发展,有源开关电容(SC)技术已广泛应用于模数转换和滤波器等通信系统中^[1]。SC 网络的响应速度是决定系统时钟频率的重要指标,它与运放的建立特性密切相关。折叠式共源共栅(Folded-Cascode)放大器以其高增益和快速建立的特性,已成为 SC 网络的主要基本单元之一。在确定的单位增益带宽和增益误差下,运放只有处于最小建立(MST)状态,得到的建立时间才能最短^[2]。

传统的实现 MST 状态的方法,如调节负载电容大小以及运算放大器自身功耗^[2,3],增加复杂的补偿电路^[4]等措施,往往是以改变负载电容或偏置电流、牺牲电路其他性能指标和提高电路设计难度为代价,进而将影响系统其他单元甚至系统的性能,其应用有局限性。

本文从二阶系统 MST 理论出发,提出了一种适用于折叠式共源共栅放大器的 CFFC(Clock Feedthrough Frequency Compamsation)补偿方法,并通过模拟证实,在

确保电路其他性能指标的前提下实现 MST 建立状态,大幅度降低了运放的建立时间,提高了 SC 网络响应速度。

2 理论分析

对于一个二阶系统,其开环传输函数为

$$H_{\text{open}}(s) = \frac{A_0}{(1 + s/\omega_1)(1 + s/\omega_2)} \quad (1)$$

其中 A_0 为低频增益, ω_1 和 ω_2 分别为系统的左半平面主极点和次主极点。

图 1 是此二阶系统的闭环反馈结构,该系统的传输函数为

$$H_{\text{closed}}(s) = -\frac{C_1}{C_2} \cdot \frac{A_0/(1 + A_0\beta)}{m^2 \cdot s^2 + n \cdot s + 1} \quad (2)$$

式中

$$\beta = \frac{C_2}{C_1 + C_2 + C_{\text{in}}} \quad (3)$$

$$m = [\omega_1\omega_2(1 + A_0\beta)]^{-1/2} \quad (4)$$

$$n = m^2 \cdot (\omega_1 + \omega_2) \quad (5)$$

其中 β 为系统反馈因子, C_{in} 为输入端的寄生电容。

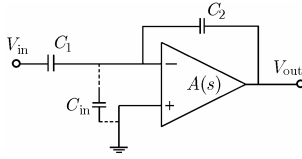


图1 二阶反馈系统结构图

此二阶反馈系统的阻尼因子 η 为

$$\eta = \frac{\omega_1 + \omega_2}{2\sqrt{\omega_1\omega_2(1 + A_0\beta)}} \quad (6)$$

式(6)中分子分母同时除以 ω_2 得

$$\eta = \frac{1}{2\sqrt{1 + A_0\beta}} \cdot \frac{\omega_1/\omega_2 + 1}{\sqrt{\omega_1/\omega_2}} \quad (7)$$

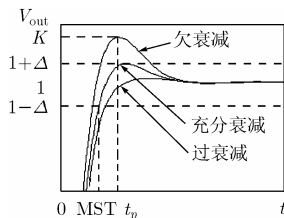
令 $x = (\omega_1/\omega_2)^{1/2}$, 式(7)两边同时对 x 求导。当 $A_0\beta$ 值一定时, 得

$$\frac{\partial \eta}{\partial x} = \frac{\partial \left(\frac{1}{2\sqrt{1 + A_0\beta}} \cdot \frac{x^2 + 1}{x} \right)}{\partial x} = \frac{1}{2\sqrt{1 + A_0\beta}} \cdot \left(1 - \frac{1}{x^2} \right) \quad (8)$$

因为 ω_1 和 ω_2 都是正数, 且 $\omega_1 \ll \omega_2$, 所以 x 的变化范围为 $0 < x < 1$ 。由此可得, 在 x 定义域内, 式(8)右边始终是负数, 即 $\partial \eta / \partial x < 0$ 。可见, 随着 x 减小, η 呈现增大趋势。

依据MST理论^[2]可知, 当系统处在欠阻尼情况下, 如图2所示, 系统可能产生3种阶跃响应: 欠衰减(less damped), 对应过冲点过高的情况, 设为A状态; 最优衰减(optimally damped), 设为B状态, 对应MST建立情况; 过衰减(more damped), 指过冲点过低, 设为C状态。其中, K 为过冲点 t_p 对应的归一化电压, 可通过改变 η 值调整其大小; Δ 为系统所允许的增益误差。当 K 为 $(1 + \Delta)$ 时, 对应MST状态, 系统建立时间最短。

由式(7)知, η 值与 ω_1 , ω_2 和 $A_0\beta$ 有关。在给定增益误差的前提下, $A_0\beta$ 为常数。因此, 可引入适当的频率补偿, 以改变 ω_1/ω_2 大小, 从而调整 η 值, 进而优化 K 值, 缩短建立时间。

图2 二阶反馈系统快速建立原理图^[2]

3 时钟馈通频率补偿(CFFC)方法

基于上述理论分析, 本文针对折叠式共源共栅放大器提出了一种新型的时钟馈通频率补偿方法。如图3所示, 通过MOS电容 MC_1 和 MC_2 引入时钟馈通, 改变 M_0 , M_7 和 M_8 的栅极偏置电压, 进而改变支路电流, 从而获得MST状态。其中 CLK_1 和 CLK_2 是一对反相互补时钟, $V_{b1} \sim V_{b5}$ 是偏置电压。

运放的总电流, 即流过 M_9 和 M_{10} 的电流, 在整个时钟周期内恒定不变。该放大器的低频电压增益为

$$A_0 \approx g_{m1,2} \{ [g_{m3,4} r_{o3,4} (r_{o1,2} // r_{o9,10})] / (g_{m5,6} r_{o5,6} r_{o7,8}) \} \quad (9)$$

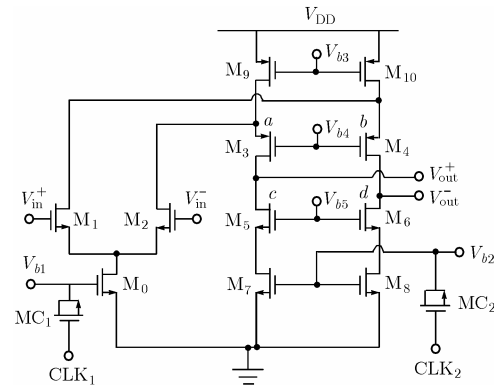


图3 采用CFFC方法的Folded-Cascode放大器

其主极点和次主极点分别位于 c (或 d) 点与 a (或 b) 点, 即 $\omega_{c,d}$ 和 $\omega_{a,b}$ 。由系统传输函数可得两个极点的表达式, 分别为

$$\omega_{c,d} \approx [(g_{ds1,2} + g_{ds9,10})(g_{ds3,4} / g_{m3,4}) + (g_{ds7,8} g_{ds5,6} / g_{m5,6})] / C_{c,d} \quad (10)$$

$$\omega_{a,b} \approx g_{m3,4} / C_{a,b} \quad (11)$$

其中 $C_{c,d}$ 为 c (或 d) 点总电容。 $C_{a,b}$ 为 a (或 b) 点的总电容。

运放的 $\omega_{c,d}$ 和 $\omega_{a,b}$ 分别对应式(1)中的 ω_1 和 ω_2 。下文将用 ω_1, ω_2 替代 $\omega_{c,d}$ 和 $\omega_{a,b}$ 。将 $g_{ds1-10} = \lambda_{1-10} \cdot I_{1-10}$, $g_{m1-6} = (2\alpha_{1-6} \cdot I_{1-6})^{1/2}$ (α_{1-6} 为 M_{1-6} 管的跨导系数, λ_{1-10} 为 M_{1-10} 管的沟道调制系数), 代入式(10)、式(11)中, 并用 ω_1 除以 ω_2 , 得

$$\frac{\omega_1}{\omega_2} = \frac{1}{2} \frac{C_{a,b}}{C_{c,d}} \frac{1}{\sqrt{\alpha_{3,4}}} \left[\left(\frac{\lambda_{1,2} \lambda_{3,4}}{\sqrt{\alpha_{3,4}}} - \frac{\lambda_{5,6} \lambda_{7,8}}{\sqrt{\alpha_{5,6}}} \right) I_{1,2} + \left(\frac{\lambda_{3,4} \lambda_{9,10}}{\sqrt{\alpha_{3,4}}} + \frac{\lambda_{5,6} \lambda_{7,8}}{\sqrt{\alpha_{5,6}}} \right) I_{9,10} \right] \quad (12)$$

在电压 V_{b3} 偏置下, $M_{9,10}$ 的电流 $I_{9,10}$ 恒定, 根据MOS晶体管的 $I-V$ 特性可知, a, b 两点的电压不变。因而, $C_{a,b}$ 的值恒定。由于在输出端负载电容远大于该端的寄生电容, 则 $C_{c,d}$ 近似为输出端的负载电容。从而, 式(12)中 $C_{a,b} / C_{c,d}$ 的比值恒定。结合MOS晶体管的特性和 $\lambda \propto L^{-1}$ 关系, 适当调整器件参数, 确保不等式 (13) 成立

$$\frac{\lambda_{1,2} \lambda_{3,4}}{\sqrt{\alpha_{3,4}}} > \frac{\lambda_{5,6} \lambda_{7,8}}{\sqrt{\alpha_{5,6}}} \quad (13)$$

再由式(12)得出, (ω_1/ω_2) 随 $I_{1,2}$ 增加而增大。

下面以电路初态是A状态为例, 分析该方法的补偿机理。

图3中, MC_2 将时钟跳变耦合到 V_{b2} 端, 产生一个上升脉冲, 使流过 M_7, M_8 的电流增加; 同时, 电容 MC_1 将时钟跳变耦合到 V_{b1} 端, 产生一个下降脉冲, 使流过 M_0 的电流减小。

而此过程中,恒流源 $M_{0,10}$ 的电流 $I_{0,10}$ 不变,而流过 M_1, M_2 的电流减小。由式(12)可得, ω_1/ω_2 的值降低, η 增大,从而优化 K 值,达到 B 状态,实现 MST。

针对 C 状态的情况,可以采用以上同样的分析方法,获得 MST 状态,缩短建立时间。

4 模拟仿真与结果分析

在 Cadence ADE 仿真环境下运用 SMIC 0.35 μm 2P3M Polyside Si CMOS 模型参数,对图3所示运放的主要参数进行了模拟仿真,仿真结果如表1所示。负载电容, C_1 和 C_2 均取 1.5pF, 输入为幅值 1V 的阶跃信号。在此,系统增益误差设定在 $\pm 0.1\%$ 之内。

表1 补偿前后运放参数变化

运放性能	模拟结果	
	CFFC 补偿前	CFFC 补偿后
主极点 ω_1 (Hz)	163.61k	179.59k
次主极点 ω_2 (Hz)	491.32M	584.26M
$A_0 \beta$ (dB)	63.74	63.95
阻尼因子 η	0.699	0.718
开环增益(dB)	71.35	71.91
相位裕度($^\circ$)	58.47	61.92
单位增益带宽(MHz)	462.72	551.35
建立时间(精度 0.1%, ns)	5.12	3.96
输出 FFT 分析(2048 点, dB)	76.23	80.51
功耗(mW)	19.83	19.84

4.1 负载一定情况下建立时间的改善

补偿前、后的主极点 ω_1 和次主极点 ω_2 值的大小如表1所示。补偿前 ω_1/ω_2 值为 0.333×10^{-3} , 补偿后降为 0.307×10^{-3} 。可以看出,引入时钟馈通频率补偿后, ω_1/ω_2 降低。

补偿前后系统的阶跃响应,如图4所示。其中,虚线为系统增益误差边界。可见,通过 CFFC 补偿,运放可达到 MST 建立状态,建立时间缩短了 1.16ns,即 22.7%。

4.2 改变负载条件下补偿后的建立特性

在不改变电路其他参数的前提下,将负载电容值从 0.5pF 到 2.5pF 的范围内变动,仿真得到引入 CFFC 前后所对应的建立时间点拟合变化曲线如图5所示。

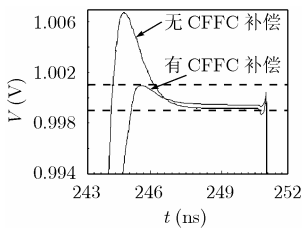


图4 补偿前后运放的阶跃响应

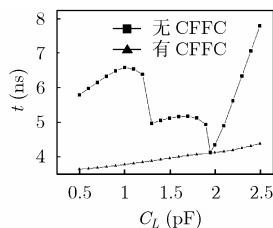


图5 引入CFCC前后电路建立时间随负载变化的情况

可以看出,在保持总电流恒定前提下未引入 CFFC 的电路只有在负载电容取值为 1.95pF 时,才处于 MST 状态,建立时间为 4.17ns。而采用 CFFC 的电路,通过调整支路电流分配,以改变系统阻尼因子 η 值,当负载电容取 2.5pF 和 0.5pF 时,引入 CFFC 前后的建立时间分别为 7.82ns, 5.75ns 和 4.46ns, 3.62ns, 建立时间得到了明显改善。且对比无 CFFC 电路,建立时间没有出现阶跃式跳变,而是随着负载电容值减小呈线性降低。该特性在有负载电容变化的高速 SC 电路中有着较高的应用价值。

4.3 引入 CFCC 后运放的非线性特性

通常开关馈通效应会在电路中引入非线性。而 CFFC 恰利用了开关馈通效应,在运放建立期间将存储在 MOS 电容中的电荷泄放入运放电路,调整其偏置电压以增加/减少两臂电流,从而加速了运放建立的过程。

由于 CFFC 所用 MOS 电容不在信号通路中,时钟馈通是在运放建立期间引入的,此时运放的输出对 SC 系统来说不重要,而且在高速 SC 系统中,减小电路的建立时间可以降低电路的非线性^[5]。因此,引入 CFFC 改善了运放非线性特性,这与表1所示的 FFT 分析结果相吻合。

5 结束语

本文通过二阶系统 MST 理论和阶跃响应分析,提出了一种新型 CFFC 补偿方法,并以 Folded-Cascode 放大器为例,详细分析了该补偿的工作机理,并进行了模拟验证。

模拟结果显示,CFFC 方法使系统在不牺牲电路增益、带宽、线性度等性能指标的前提下,建立时间缩短 1.16ns,实现了 MST 状态,改善了运放频响特性;随着负载电容值减小,建立时间近似线性降低,并且在不同负载值下,都能获得 MST 状态,从而提高了 SC 系统响应速度和对负载变化的适应能力。

对比其他补偿方法,CFFC 补偿无需改变运放的核心放大单元结构与参数配置,而只需通过调整 MC_1 、 MC_2 两电容进行时钟馈通补偿,就可改善运放频率特性,提高响应速度,且增强了运放可复用性,降低了电路复杂度和设计难度。

参考文献

- [1] 于奇,杨谟华等. 80MSPS 双采样 0.34 μm 硅 CMOS 开关电容滤波器[J], 电子学报, 2004, 32(2): 259-263.
Yu Qi, Yang Mo-hua, et al. An 80MSPS dual-rate sampling 0.34 μm Si CMOS switched-capacitor filter. *Acta Electronica Sinica*, 2004, 32(2): 259-263.
- [2] Yang H C and Allstot D J. Considerations for fast settling operational amplifiers [J]. *IEEE Trans. on Circuits and Systems*, 1990, 37(3): 326-334.
- [3] Yao Libin, Steyaert M, and Sansen W. Fast-settling CMOS

- two stage operational transconductance amplifiers and their systematic design [A]. Proceedings of IEEE ISCAS [C]. Phoenix, AZ, 2002: 839–842.
- [4] Martinez J S and Castro F C. Improving the high-frequency response of the folded-cascode amplifiers [A]. Proceedings of IEEE ISCAS [C]. Atlanta, GA, 1996: 500–503.
- [5] Willy M C Sansen, Qiuting H, and Halonen K. Transient analysis of charge transfer in SC filters-gain error and distortion [J]. *IEEE J. of SSC*, 1987, 22(2): 268–276.
- 王向展: 男, 1974年生, 讲师, 研究方向为高速数据转换技术、RF集成技术.
- 宁宁: 男, 1981年生, 博士生, 从事高速A/D系统结构与建模方面的研究工作.
- 于奇: 男, 1972年生, 副教授, 研究方向为数模混合集成电路设计技术.
- 戴广豪: 男, 1980年生, 研究生, 研究方向为GeSi功率放大器.
- 杨谟华: 男, 1945年生, 教授, 主要从事超深亚微米Si器件建模研究.