

# 面向商业航天卫星成本效益的三模冗余软错误防护技术：近似计算的实践

李炎 胡岳鸣 曾晓洋\*

(复旦大学集成芯片与系统全国重点实验室 上海 201203)

**摘要：**三模冗余(TMR)作为如今集成电路可靠性领域中最常用且有效的软错误加固技术，在满足高容错要求之时，不可避免地牺牲了庞大的硬件损耗。为实现面积、功耗等硬件性能和容错电路加固能力的折中考虑，适应低成本高可靠性加固的时代需求，针对基于近似计算的三模冗余加固技术(ATMR)进行研究，该文提出一种基于近似门单元(ApxLib)的动态调整多目标优化框架(ApxLib+DAMOO)。首先，其基本优化框架采用非支配排序遗传算法(NSGA-II)实现，通过极性分析与预创建的近似库对电路实现快速近似。随后，该框架提出动态概率调整和极性扩张两种创新机制，根据可测性分析对遗传算法中门单元的突变概率进行动态更新，对双向门单元进行定向识别和重构，以实现寻优效率和寻优效果的双重优化。实验结果表明，该文提出的优化框架与传统NSGA-II相比，在相同硬件损耗下可实现最大10%~20%的额外软错误率(SER)降低，且其执行时间平均降低18.7%。

**关键词：**容软错误加固；三模冗余；近似计算；多目标优化

中图分类号：TN492

文献标识码：A

文章编号：1009-5896(2024)05-1604-09

DOI: 10.11999/JEIT231288

## Cost-Effective TMR Soft Error Tolerance Technique for Commercial Aerospace: Utilization of Approximate Computing

LI Yan HU Yueming ZENG Xiaoyang

(Fudan University State Key Laboratory of Integrated Chips and Systems, Shanghai 201203, China)

**Abstract:** Triple Modular Redundancy (TMR), as the most prevalent and effective technique for soft error mitigation technique, inevitably incurs substantial hardware overhead while meeting high fault-tolerance requirements. To achieve the trade-off between area, power and fault coverage and meet the requirement of low-cost and high-reliability circuit design, Approximate Triple Modular Redundancy (ATMR) is investigated and a Dynamic Adjustment Multi-Objective Optimization Framework based on Approximate Gate Library (ApxLib+DAMOO) is investigated. The basic optimization framework employs Non-dominated Sorting Genetic Algorithm II (NSGA-II), achieving rapidly approximation through parity analysis and the pre-established ApxLib. Subsequently, the framework introduces two novel mechanisms: dynamic probability adjustment and parity expansion. The first mechanism dynamically updates the mutation probability of gates in the genetic algorithm based on testability analysis, while the second mechanism performs recognition and reconstruction for binate gates to achieve dual optimization of efficiency and effectiveness in optimization. Experimental results indicate that the proposed optimization framework achieves an additional Soft Error Rate (SER) reduction of up to 10%~20% compared to traditional NSGA-II with the same hardware overhead, while reducing 18.7% of execution time reduction averagely.

**Key words:** Soft error tolerance; Triple modular redundancy; Approximate computing; Multi-objective optimization

收稿日期：2023-11-21；改回日期：2024-04-08；网络出版：2024-05-07

\*通信作者：曾晓洋 xyzeng@fudan.edu.cn

基金项目：国家自然科学基金(62204045)，上海市浦江人才计划(22PJD005)

Foundation Items: The National Natural Science Foundation of China (62204045), Shanghai Pujiang Program (22PJD005)

## 1 引言

近年来，随半导体产业的膨胀式发展，集成电路技术节点持续推进。纳米级工艺的出现大幅度降低了晶体管尺寸与供电电压，增进了集成电路的工作频率与晶体管密度，实现芯片性能的提升，有助于设计更为复杂且高效的电路系统。然而，这也加剧了集成电路对辐射现象的敏感程度，对可靠性设计领域发起严峻的挑战。

其中，由高能粒子辐射引起的单粒子效应(Single Event Effect, SEE)是导致可靠性故障的主要原因之一<sup>[1]</sup>。SEE指高能粒子入射至集成电路敏感区域时，通过沉积电荷最终在对应节点产生电压脉冲或毛刺的一种辐射效应<sup>[2]</sup>。根据高能粒子入射区域属于时序单元还是组合单元，又可分为单粒子翻转效应(Single Event Upset, SEU)和单粒子瞬态效应(Single Event Transient, SET)。由于这两种辐射效应引发的错误可以纠正恢复，将其统称为软错误。注意，组合电路中产生的SET可以沿逻辑路径向下传播，若恰好被触发器等时序单元捕获，最终转变为SEU。单粒子软错误效应导致了电路的错误输出和存储单元信息的意外改变，若发生于对可靠性和安全性要求较高的电路设备中，如航天器操作控制台，可能引发严重安全事故。因此，近年来国内外集成电路研究人员提出了多种单粒子软错误加固技术，包括绝缘体上硅(Silicon on Insulator, SOI)<sup>[3]</sup>、纠错码(Error Correcting Code, ECC)<sup>[4]</sup>和门尺寸调整(Gate Sizing, GS)<sup>[5]</sup>等，可按照应用层级分为工艺级加固和电路级加固。其中，三模冗余(Triple Modular Redundancy, TMR)<sup>[6]</sup>因其极高的故障覆盖率与通用能力成为目前最为流行的电路级加固技术。图1(a)展示了TMR的电路结构，其对硬件进行冗余设计，将关键电路复制成3份，并通过多数表决器得到最终结果。当只有1个副本发生软错误时，其他2个副本的正确输出和多数表决器可以锁定最终输出，实现100%的故障覆盖率。

然而，冗余也引入了庞大的硬件损耗，额外电路面积超过200%。这对于低成本近似轨道卫星等

预算有限的商用领域而言极不友好。实际上，不仅在可靠性设计领域，随集成电路的飞速发展，根据摩尔定律，芯片各模块的功耗、延时都呈指数级上升，难以满足设计需求。针对上述问题，近年来最为流行的方法之一当属“近似计算”。近似计算的基本理念是在可接受范围内通过牺牲部分精度进行电路简化，以实现硬件性能的提升<sup>[7]</sup>，即追求足够的计算结果而不是准确结果。从应用层级角度，也可以将其分为3类：架构近似，算法近似和电路近似。其中，电路近似旨在对电路结构或其逻辑函数进行近似替换，直接简化电路。这为前述三模冗余加固面临的困境提出了巧妙的解决思路，对复制副本进行近似，以牺牲一定的故障覆盖率为代价，换取面积和功耗等硬件成本的降低。

由于工艺尺寸和时钟频率的不断推进，组合电路中SET被捕获为SEU并引发故障的情况越来越严重<sup>[8]</sup>。因此，本文针对组合电路的近似三模冗余(Approximate Triple Modular Redundancy, ATMR)进行研究，并提出一种基于近似库的动态调整多目标优化框架，对设计过程中面临的面积、功耗和软错误率进行多目标折中考虑，以图高效生成更低成本的高可靠性加固方案。基于此，本文第2节对ATMR的工作原理和现有设计方法进行概述；第3节详细介绍本文提出的创新优化框架；第4节基于ISCAS'85基准电路对创新框架与现有方法进行实验比较与分析；最后，第5节进行总结。

## 2 近似三模冗余工作原理与设计方法概述

近似计算作为近年来热门的硬件友好设计理念，已在可靠性设计领域展现出了良好前景。TMR作为最常用的电路级加固技术，理所当然成为重点优化对象。本节对ATMR的电路结构和基本工作原理进行讲解，并对当下流行的ATMR设计方法进行总结分析，引出本文提出的创新多目标优化框架及其重要性。

### 2.1 近似三模冗余电路工作原理

如图1(b)所示，ATMR将TMR的两个准确复制副本替换为近似副本，实现电路简化，降低面积

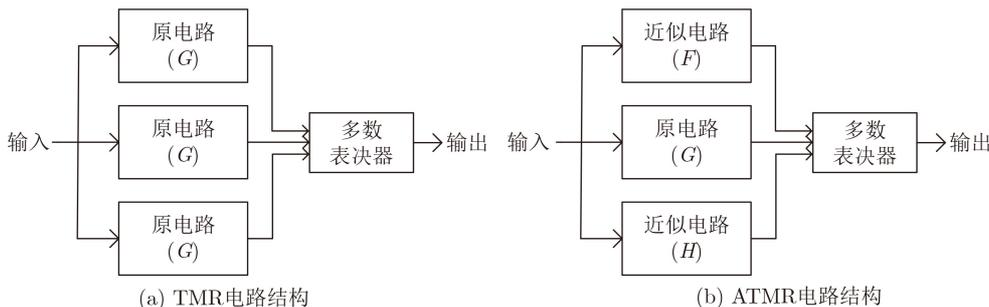


图1 TMR与ATMR电路结构

等损耗<sup>[9]</sup>。然而,由于近似副本的存在,即使没有发生软错误,ATMR的3个副本在某些输入向量下也可能产生不同输出。这引出了ATMR的基准法则:对于任意输入向量,至多只有1个近似副本的输出结果与原电路不同。这保证了多数表决器的正确匹配,即ATMR的正确输出。为满足该准则,常用的ATMR满足

$$F \subseteq G \subseteq H \quad (1)$$

其中, $G$ 表示原函数, $F$ 和 $H$ 表示近似函数。包含关系指逻辑函数以最小项之和(Sum of Products, SOP)形式表达时其最小项集合的包含,如图2所示。 $F$ 函数的任意最小项包含于 $G$ 函数的最小项集,且选取部分1-最小项翻转为0; $H$ 函数的最小项集包含 $G$ 函数的所有最小项,且选取部分0-最大项翻转为1。因此, $F$ 函数也称为 $G$ 函数的向下近似(under-approximation)或1-近似;相反, $H$ 函数为向上近似(over-approximation)或0-近似<sup>[10]</sup>。如 $F$ 和 $H$ 函数这类只对原函数的某一种逻辑值(0 or 1)翻转的近似称为单向近似,反之则称为双向近似。因此,公式(1)中两个近似副本朝不同方向进行单向近似,简单有效地保证了其不会在同一输入向量下同时近似。

此外,图2还阐述了ATMR的容错原理。灰色区域与白色区域分别表示未近似输入向量空间和近似输入向量空间。未发生软错误时,未近似输入向量空间3个副本对应输出相同( $F=1, U=0$ )。此时,ATMR容错能力与TMR相同,可以通过多数表决器和冗余副本对单个SET进行100%覆盖。对于白色区域而言,任一输入向量下,有且仅有1个近似副本输出与原函数不同。此时,若 $G$ 电路中产生SET且导致错误输出,则ATMR无法掩蔽。因此白色区域也称为非保护子空间(unprotected subspace)。注意,若SET发生于非保护子空间内当下输入向量对应的输出近似副本,ATMR仍能成功容错。

## 2.2 近似三模冗余电路设计方法概述

ATMR通过近似副本简化电路,降低TMR引

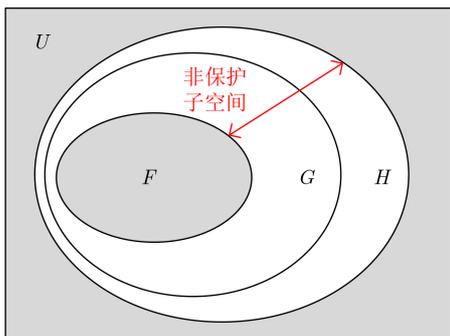


图2 近似三模冗余副本包含关系

入的庞大硬件损耗。然而,这难免会对其容错能力造成不良影响。如2.1节所述,ATMR中存在非保护子空间,不再能对单个SET进行完全覆盖。因此,在设计过程中,需要对ATMR的硬件节省和加固能力牺牲进行折中考虑,引入面积、功耗和软错误率的多目标优化问题。此外,设计效率也应作为自动化设计的优化考虑目标。文献[11]对目前流行的ATMR设计方法进行综述报告,本小节选取其中常见的几种方法进行简介,并分析其优缺点。

文献[12]提出了一种穷尽的近似三模冗余搜索算法与改良技术,即布尔分解算法(boolean factoring algorithm)与结构重排序技术(structural reordering technique)。布尔分解算法通过原电路的布尔函数进行因子分解与重组,按照函数文字量对重构后的子函数进行分组。随后,按照近似方向筛选出符合要求的向下近似函数与向上近似函数,对其进行枚举组合,选取文字量和汉明距离综合考虑最优的子函数组合作为最终的ATMR加固方案。当ATMR的副本函数确定后,结构重排序技术针对非保护子空间的特定输入向量定制化改变电路结构,通过晶体管重排序和输入重排序操作减小对应的敏感区域占比,进一步实现软错误率降低。

质蕴涵增减法(PI expansion/reduction)<sup>[13]</sup>与布尔分解算法类似,通过修改卡诺图近似原函数,遍历副本组合进行综合比较。这类方法通常可以得到预设非保护向量比例阈值内,面积缩减最大化的结果。然而,它们必须事先提取原电路的精确逻辑函数,并进行穷尽的整体近似,设计复杂度极高,通常只能应用于输入数小于15的逻辑电路。

为突破该局限,文献[14]提出近似门单元库(Approximate gate Library, ApxLib),包含加固目标电路中各基本门单元的向上近似和向下近似版本。通过预建立的近似库,略过电路整体约束,根据门单元极性直接对其进行局部近似,从而显著降低了计算复杂度。极性(Parity)于文献[15]中首次出现在近似加固领域,用以表示电路节点与主输出之间的近似方向关联性。以逻辑函数为例,若函数 $F(x_1, x_2, \dots, x_n)$ 以积之和(Sum of Products, SOP)形式表达时,其内部变量 $x_i$ 只存在原变量(反变量),则称 $x_i$ 对于 $F$ 呈正(负)极性。扩展至电路层面,即电路内部节点到达主输出的路径上存在偶数或奇数个反相。注意,对于多输出电路而言,为保证门单元近似对所有输出影响方向相同,要求正(负)极性门单元输出节点到所有主输出的所有路径上都存在偶数(奇数)个反相,否则即为无极性门单元。因此,根据门单元具体极性和近似需求选择近似库中

的对应近似版本，若为正极性，则应在相同类型近似库中进行选择；若为负极性，则应搜寻相反类型的近似库。图3表示了一个小型电路G的近似库信息。若对负极性门单元 $g_1$ 近似生成ATMR中的向下近似副本，则应在与门对应的向上近似库中挑选，包括line和constant 1。

据此，文献[14]提出一种多目标优化遗传算法(Multi-Objective Optimization Genetic Algorithm, MOOGA)，基于近似库与极性分析随机选取门单元进行近似替换，并通过非支配排序遗传算法(Non-dominated Sorting Genetic Algorithm II, NSGA-II)对得到的ATMR进行多目标优化，搜寻帕累托最优解<sup>[16]</sup>。帕累托最优是资源分配的一种理想状态，即对于多目标优化问题而言，存在1组解，对其中任何一个解而言，在解空间中无法找到另一个解在其余目标不劣化的前提下实现某一目标的优化。这组解集即帕累托最优解，也称为帕累托前沿(Pareto Front, PF)。因此，对于ATMR的多目标优化就是搜寻面积、功耗和软错误率3个指标的PF。

MOOGA可以对近似三模冗余电路设计进行穷尽探索，然而，该算法的计算复杂度与种群代数和容量呈正相关，随电路规模指数增加。实验表明，数百门单元的电路就需要几周的设计时间。为提升设计效率，文献[17]基于可测性分析提出启发性算法(Heuristic)，可以极短时间内生成一系列加固方案。由于该过程中只涉及可测性1个指标，未进行多目标优化，最终加固结果较为单一，劣于上述穷尽算法。

对比发现，目前ATMR设计方法存在的问题本质为设计效率和优化效果的冲突。因此，受文献[14]和文献[17]启发，本文在第3节提出一种基于近似库的动态调整多目标优化框架(Dynamic Adjustment Multi-Objective Optimization Framework, DA-MOO)，根据可测性动态调整门单元的近似概率，并定向检测和近似双向门单元，以图实现设计效率和寻优结果的双重优化。

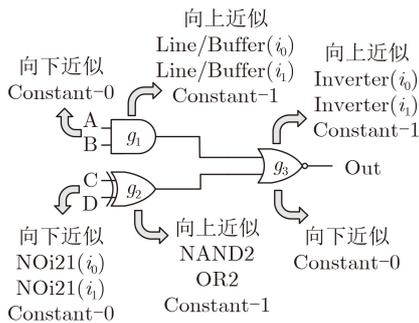


图3 小型电路G的近似库信息

### 3 基于近似库的动态调整多目标优化框架

图4展示了基于近似库的动态调整多目标优化框架的基本流程。首先，对综合得到的原始电路网表进行电路分析，匹配近似库与极性信息，并通过随机近似生成初代种群。随后，使用基于28 nm标准单元工艺库构建的Python模拟器评估ATMR的性能指标，本文中为面积、功耗和软错误率。为实现3个指标的高效多目标优化，快速迭代收敛至帕累托前沿，DA-MOO在传统NSGA-II的基础上，新增极性扩张和动态概率调整两种全新机制，称为动态调整优化NSGA-II(Dynamic Adjustment Optimized NSGA-II, DAON)。DAON的其余进化与选择操作与NSGA-II相似，如快速非支配排序(fast non-dominated sort)和拥挤度计算(crowding distance calculation)等具体算法可参考文献[16]，本节主要介绍两种新增机制。

#### 3.1 极性扩张

如第2节所述，基于近似库的ATMR设计方法可以基于近似库对有极性门单元实现快速近似。换言之，若一个电路中无极性门单元比例过高，则近似选择受限，难以朝低成本高可靠性的ATMR进行探索。图5(a)表示一个小型电路G，按照极性定义，门单元 $g_1$ 的输出节点到主输出的路径上似乎不存在反相，视为正极性。因此，为得到原电路G的向下近似副本，从近似库中选择与非门的向下近似单元反相器替换 $g_1$ ，近似电路如图5(b)所示。对比近似前后电路输出逻辑，发现近似同时引起了两个逻辑方向的翻转，不满足设计要求。这实际上是由于异或门 $g_3$ 的输入节点到输出存在两条极性相反的内部路径，导致其扇入门单元 $g_1$ 与 $g_2$ 呈现无极性。因此，我们把异或门和同或门等这类内部存在多条极性相反的路径的门单元称为“双向门单元”(Binate Gate)。

为缓解双向门对近似解空间的限制，DA-MOO

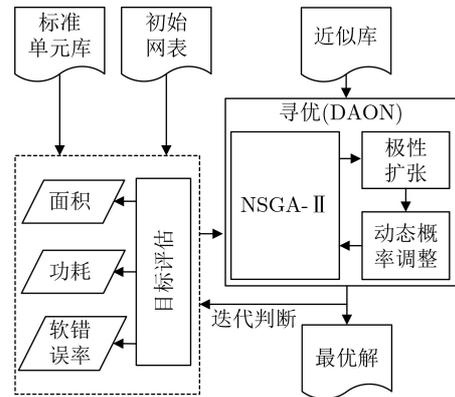


图4 基于近似库的动态调整多目标优化框架的流程

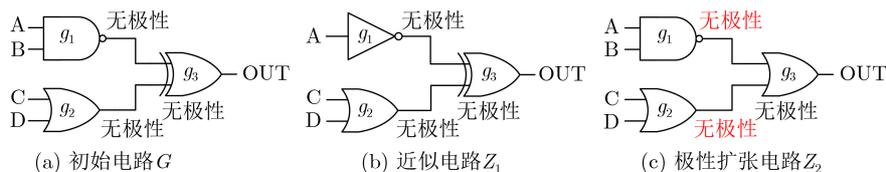


图5 极性扩张示例

在每次近似前对双向门单元进行识别标记, 并对其导致的无极性门单元进行计数。根据设计要求, 设定无极性门占比阈值  $K_1$ , 当遗传算法对个体进行突变操作时, 若该个体无极性门占比高于阈值  $K_1$ , 则不再随机选取门单元进行近似, 而是选取已标记的双向门单元, 将其替换为近似库中满足近似方向的单向门单元。替换后, 该个体电路中可进行近似的有极性门单元增加, 可产生的子代空间扩张, 因此本文将这个操作命名为“极性扩张”。为方便进行上述识别与替换, 本框架在预设近似库时增添信息说明各类门单元是否为双向门单元。对图5(a)所示电路  $G$  进行极性扩张得到图5(c)所示电路, 异或门近似为或门, 3个门单元均变为正极性, 近似选择空间同比提升300%。

### 3.2 动态概率调整

传统的遗传算法包含突变、交叉和选择3种进化操作, 其中突变是产生新个体的主要途径。以ATMR为载体, 突变指随机选择ATMR近似副本的对应门单元进行近似, 产生新的电路组合。基于随机近似, 遗传算法可以近乎穷尽地对优化空间进行探索, 但同时也极大程度降低了寻优效率。因此, DAON选择可测性作为评估指标, 在每次迭代前动态调整门单元的突变概率, 以实现快速收敛。

可测性分析通常被应用于阻塞故障检测。如果一个门单元发生阻塞故障的可测性很低, 则说明该故障仅在极少输入向量下影响电路正确输出<sup>[15]</sup>。应用于近似加固领域, 即低可测性门单元通过近似实现硬件性能提升时, 对整体输出逻辑的准确度, 即故障覆盖率牺牲很小, 应具备更高的突变概率

$$P_m(g_i^f) = \frac{\beta}{\text{test}(g_i^f) + \alpha} \quad (2)$$

$$\sum_{k=1}^n \sum_{f=0}^1 \frac{\beta}{\text{test}(g_k^f) + \alpha}$$

其中,  $f$ 表示阻塞类型,  $\alpha$ 和 $\beta$ 表示拟合参数。每次迭代后, 由于各ATMR电路拓扑结构改变, 其可测性也需重新计算。而高精度的可测性分析算法通常意味着高复杂度, 有违DA-MOO效率优化初衷。实际上, 概率调整仅需各门单元可测性的相对关系, 绝对精度要求较低, 因此, DAON基于COP

算法<sup>[18]</sup>提出一种高效可测性分析算法, 包含可控性估算(controllability estimation)和可观察性估算(observability estimation)两个步骤。

首先, 对于逻辑门单元而言, 其输入逻辑值可分为控制值(controlling value)与传递值(sensitizing value)。输入控制值可以锁定逻辑门单元的输出, 例如与门的控制值为0, 或门的控制值为1。相反, 控制值的反变量为传递值, 即该输入不影响逻辑门单元输出, 而是由其他输入取值决定。因此, 评估某个门单元发生阻塞故障的可测性概率, 其故障节点应为对应阻塞故障相反值; 该节点到主输出路径上的所有旁路输入均为传递值, 保证故障在主输出可测。据此, 定义可控性为电路节点取特定逻辑值的概率, 可观察性为该节点逻辑值传递至主输出的概率。为满足高效计算需求, 在推导过程中假设信号独立, 可测性概率即可控性与可观察性之积。注意, 下文中可控性默认为取逻辑值1的概率, 0-可控性为其互斥概率。

组合逻辑电路通常呈树状结构, 默认主输入可控性为0.5, 主输出可观察性为1。因此, 本文的可测性分析通过广度优先算法两次遍历电路估算各逻辑门单元的可控性概率与可观察性概率, 如图6所示。可控性估算以电路主输入作为遍历起点, 率先估算出仅由主输入控制的门单元的输出可控性, 并沿逻辑路径向后传播。当某门单元所有输入的可控性概率计算完毕时, 其输出可控性可根据门单元逻辑计算。依次类推, 直至整个电路所有门单元的输出节点可控性计算完毕。随后, 可观察性估算选取主输出为遍历起点, 假设信号独立, 门单元某输入节点的可观察性可近似为其余输入取传递值的可控

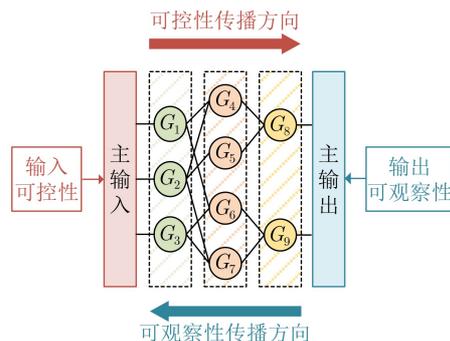


图6 可测性算法示意图

性与其输出节点可观察性之积。最后，再次遍历整个电路，通过可控性概率和可观察性概率估算各门单元在两种阻塞故障下的可测性概率。

以图7所示电路为例，设式(2)中参数 $\alpha=0.001$ ， $\beta=1$ 。表1为其动态概率调整得到的可测性与突变概率结果，其门单元近似方向分别对应两种阻塞故障。分析表1，发现门单元朝对应方向的近似突变概率与发生阻塞故障的可测性概率呈反相关，范围在0.043~0.461。此时，根据突变概率选择门单元近似，则选择低可测性门单元产生低成本高可靠性子代的概率远大于原NSGA-II，寻优速率显著提升。注意，门单元的近似方向受极性限制。如要求得到图7所示电路的向上近似副本，则正极性门单元 $g_1$ 不能进行向下近似，其突变概率应从0.461修正为0。为避免违例，动态概率调整在生成突变概率表时考虑门单元极性，仅计算满足电路近似要求的门单元近似选项，则最终按概率选取的门单元一定符合近似要求。表2为改进后图7所示电路的向上近似突变概率查找表，选择门单元 $g_1$ 向上近似或 $g_2$ 向下近似突变的概率最大，为0.439，最小突变概率 $g_3$ 向上近似为0.122。

### 4 实验结果

为验证创新框架的设计意义与优势，本文算法基于Python代码实现，选取面积、功耗和软错误率作为性能指标对一组常用的ISCAS'85基准电路进行多目标优化，以文献[14]提出的基于近似库的

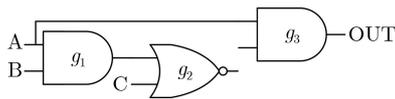


图7 动态概率调整示例电路

表1 可测性分析与突变概率转换表

近似选项	可控性	可观察性	可测性	突变概率
$g_1\_under\_apx$	0.2500	0.25	0.0625	0.461
$g_2\_under\_apx$	0.3750	0.50	0.1875	0.155
$g_1\_over\_apx$	0.7500	0.25	0.1875	0.155
$g_2\_over\_apx$	0.6250	0.50	0.3125	0.093
$g_3\_under\_apx$	0.3125	1.00	0.3125	0.093
$g_3\_over\_apx$	0.6875	1.00	0.6875	0.043

表2 图7所示电路的向上近似突变概率表

近似选项	突变概率
$g_2\_under\_apx$	0.439
$g_1\_over\_apx$	0.439
$g_3\_over\_apx$	0.122

NSGA-II算法为基准分析其执行时间和设计结果优化。随后选取其中一组ATMR加固方案纵向分析各性能指标的变化趋势与折中关系。硬件性能指标经由Design Compiler综合分析得出，软错误率则使用基于蒙特卡罗方法的定制化Python故障注入仿真器进行评估。表3展示了实验电路Verilog门级描述文件的部分信息。

#### 4.1 寻优结果横向对比

首先，如图8所示，以c432和c880电路为例详细分析DA-MOO与NSGA-II的优化结果，比较相同硬件损耗下可实现的软错误率降低。为方便对比，图中的性能指标数值基于未加固电路归一化。其横坐标表示额外面积损耗比例(包含多数表决器)，纵坐标表示额外软错误率比例(负值代表软错误率降低)。由于组合电路功耗与面积近似呈正相关，其大小通过颜色深浅表示，实现3目标数据降维。

对c432电路而言，当额外面积损耗相对较小时(小于150%)，DA-MOO显著优于NSGA-II，即更高可靠性加固，于面积为48%处可实现28%的最大软错误率额外降低，且功耗降低5%。当硬件损耗进一步增大时，两种框架优化效果贴近，相比未加固电路软错误率降低80%以上。图8(b)中变化趋势与(a)相似，DA-MOO相比NSGA-II几乎实现了全面积范围内的软错误率优化，平均降低5%，于面积损耗为193%时实现8%的最大软错误率额外降低。

随后，由于多目标优化框架生成的ATMR为一系列Pareto最优解，为满足高可靠性设计目标，选取软错误率降低范围为70%~80%的ATMR为最终加固方案，探索面积和功耗的最大缩减。表4列出了各性能指标相对于未加固电路的变化值，即硬件性能损耗增加值和软错误率降低值。基于ISCAS'85基准电路，DA-MOO展现出极好的优化效果，以140%的额外面积损耗和141.4%的额外功耗损耗为代价实现了73.5%的软错误率加固。在相近加固能力下，面积与功耗相比原NSGA-II算法分别节省5.3%和6%。此外，与表中TMR超过200%的庞大硬件损耗相比，DA-MOO通过近似冗余技术在可接受软错误率牺牲下实现了平均87.6%的面积缩减和89%的功耗缩减，符合低成本设计预期。

表3 基准电路信息

基准电路	#输入数量	#输出数量	#门单元数量
c432	36	7	160
c499	41	32	202
c880	60	26	383
c1355	41	32	546

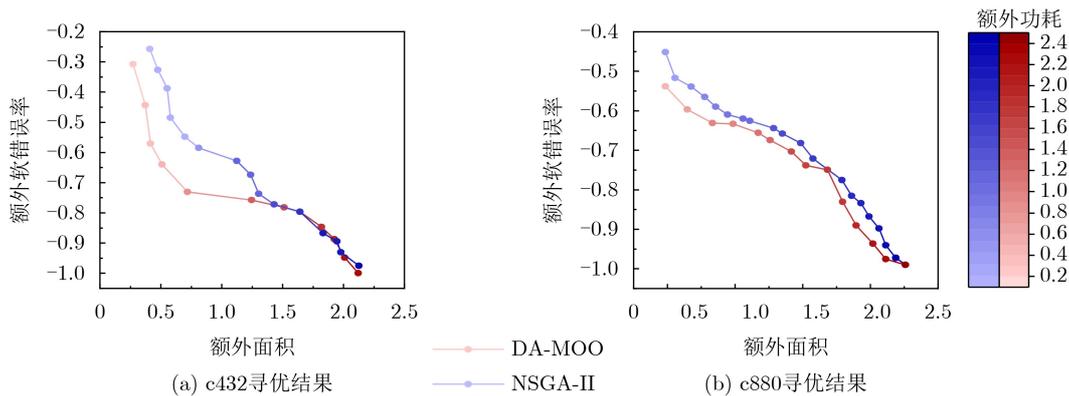


图8 DA-MOO与NSGA-II寻优结果比较

表4 基准电路加固结果比较(%)

电路	DA-MOO			NSGA-II			TMR		
	面积(+)	功耗(+)	软错误率(-)	面积(+)	功耗(+)	软错误率(-)	面积(+)	功耗(+)	软错误率(-)
c432	128.2	138.0	71.9	130.4	138.4	73.7	220.8	237.5	100
c499	158.3	159.3	78.3	153.8	164.2	75.7	231.7	221.1	100
c880	141.8	153.7	70.3	163.4	169.8	71.8	226.0	243.0	100
c1355	131.8	114.4	73.6	133.6	117.1	72.3	231.7	220.0	100
均值	140.0	141.4	73.5	145.3	147.4	73.4	227.6	230.4	100

为验证DA-MOO的高效性与可扩展性，图9展示了上述4组基准电路的执行时间。以传统NSGA-II为基准，DA-MOO执行时间平均降低18.7%，对于大规模电路而言优势明显。

### 4.2 最终加固方案分析

至此，DA-MOO的高效性与有效性得到验证。本节进一步选取c880基准电路为对象，分析DA-MOO最终加固方案在各性能指标间的多目标折中关系，并与未加固电路和TMR作比较，结果如表5所示。除面积、功耗与软错误率绝对值外，表中还特别列出了各近似三模冗余电路的非保护输出占比。观察4列数据纵向变化趋势，发现随ATMR的近似比例升高，额外面积和功耗损耗降低，软错误率与非保护输出占比相应增高，呈此消彼长之势，满足多目标权衡折衷的预期。这也体现了高效近似

加固设计方法的重要性，即在牺牲更少故障覆盖能力或满足软错误率阈值前提下，实现硬件性能的最大优化。此外，非保护输出占比与软错误率呈强正相关，符合2.1节的理论假设，在迭代过程中可根据非保护输出占比比较ATMR个体容错能力。本文设计的创新优化框架可辅助设计人员自动生成如表5所示的一系列ATMR，其最终加固方案根据具体应用场景与设计要求选取。若要求c880容软错误电路相对未加固电路软错误率降低80%以上，则应选择ATMR6作为最终加固方案，相比TMR实现36%的面积节省与47.3%的功耗节省，软错误率为17.1%，保护输出占比达88.2%。

表5 c880应用DA-MOO的最终加固方案(%)

ATMR电路	额外面积 损耗	额外功耗 损耗	软错误率	非保护 输出占比
未加固电路	0	0	100.0	100.0
ATMR1	46.9	37.4	53.6	52.1
ATMR2	83.3	90.6	36.9	34.6
ATMR3	125.9	125.6	32.6	15.8
ATMR4	152.4	167.6	26.2	13.9
ATMR5	179.5	179.1	17.1	11.8
ATMR6	190.0	195.7	10.5	7.3
ATMR7	201.9	214.1	6.4	4.9
ATMR8	211.5	229.6	2.5	2.3
TMR	226.0	243.0	0	0

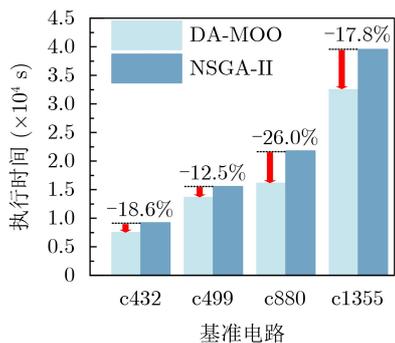


图9 优化方法执行时间比较

### 4.3 设计方法总览

最后，对目前常用的ATMR设计方法进行总结，如表6所示，额外补充文献[19]所提出的ATMR设计方法，其通过预先规定的逻辑函数形式直接对原三模冗余电路的两个副本进行修改，设计效率极高，计算时间为毫秒级；然而，其设计的ATMR相比未加固电路只能实现50%的软错误率覆盖，加固能力远低于其余方法，应用场景有限。

分析表6其余方法的性能指标，当用于可靠性要求极高且预算充足时，如应用于高可靠航天卫星，多目标优化框架和布尔分解算法等为最佳选择。反之，当设计周期和成本占重要地位时，启发性算法能在极短时间内生成硬件性能与容错能力较好的ATMR，如民用电器等。而本文所提出的DA-MOO框架对上述两种情况进行折中，在保证高加固能力的前提下有效降低了设计复杂度与ATMR硬件损耗，适用于低成本近地轨道卫星等要求较高可靠性和低成本的领域。

注意，图8与表5所示的最终加固方案与未加固电路相比仍具有较高的面积和功耗损耗，这是由TMR加固技术本身对电路进行三重冗余的特点引起的。如前文所述，本文选择TMR为优化载体的原因为其通用性与有效性。然而，本文提出的优化框架独立于TMR，普遍适用于存在硬件性能与加固能力多目标问题的电路加固技术。此外，该优化框架除容软错误加固外，还可应用于其他多目标可靠性优化问题，如老化缓解问题等，极具应用前景。

## 5 结束语

本文主要针对近似三模冗余软错误加固进行了详细研究，基于近似库、NSGA-II与可测性分析等技术，融合创新了一种抗辐照组合电路加固的多目标优化框架，可以高效地提供一组低成本高可靠性的帕累托最优解供设计人员权衡选择最终优化方案。本次研究工作的主要内容有：

(1) 对辐射效应对集成电路的软错误影响进行了调研与分析，点明了软错误加固技术的重要性，并以三模冗余加固为例，指出当前抗辐照电路加固技术的普遍问题，即为满足容错目的引入的庞大硬件性能牺牲，如面积、功耗和延时等。据此引入近年来流行的新兴技术——近似计算，分析其功能与在容软错误电路上应用的可能性，实现容软错误率与其他硬件性能的折中考虑，肯定了时代背景下基于近似计算的容软错误电路研究的实际价值与本文意义。

(2) 从电路加固技术与设计方法学两个角度对ATMR进行讨论，提出了一种基于近似库的动态调整多目标优化框架，其基本架构采用NSGA-II算法，通过近似库实现近似替换，并提出极性扩张与动态概率调整两种创新机制。通过对双向门单元及进行定向检测与替换，以及基于可测性的突变概率调整，实现寻优效果与效率的双重优化。最终选择ISCAS'85基准电路进行实验，本文优化框架相比原NSGA-II在相同硬件牺牲下软错误率最大多降低10%—时间平均降低18.7%。若选取软错误率阈值为20%，最终加固方案相比TMR实现平均87.6%的面积缩减和89%的功耗缩减，证明了近似三模冗余软错误加固的有效性 with 本文创新框架的优越性。此外，该优化框架普遍适用于其余资源密集型电路加固技术，具高通用性与应用前景。

## 参考文献

- [1] LI Yan, CHEN Chao, CHENG Xu, *et al.* DMBF: Design metrics balancing framework for soft-error-tolerant digital circuits through bayesian optimization[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2023, 70(10): 4015–4027. doi: [10.1109/TCSI.2023.3302341](https://doi.org/10.1109/TCSI.2023.3302341).
- [2] PHILIP A S and SREEKALA K S. The ramification of single event transient effect on efficient charge recovery logic circuit[C]. 2022 International Conference on Innovative Trends in Information Technology, Kottayam, India, 2022: 1–4. doi: [10.1109/ICITIT54346.2022.9744208](https://doi.org/10.1109/ICITIT54346.2022.9744208).
- [3] CHEN Z F, LAI Yusheng, HUANG Chengming, *et al.* Process and simulation design of Silicon-on-Insulator (SOI) NMOS[C]. 2023 IEEE Nanotechnology Materials and Devices Conference, Paestum, Italy, 2023: 313–317. doi: [10.1109/NMDC57951.2023.10344290](https://doi.org/10.1109/NMDC57951.2023.10344290).
- [4] YUE Hengshan, WEI Xiaohui, TAN Jingweijia, *et al.* ECC: Protecting GPGPUs register file with a unified energy-efficient ECC mechanism[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2022, 41(7): 2080–2093. doi: [10.1109/TCAD.2021.3104529](https://doi.org/10.1109/TCAD.2021.3104529).
- [5] ZHOU Quming and MOHANRAM K. Gate sizing to

表6 ATMR设计方法总览

ATMR设计方法	可扩展性	优化类型	评估精度	复杂度	设计质量
布尔分解算法 <sup>[12]</sup>	低	多目标	中等	高	高
质蕴含增减法 <sup>[13]</sup>	低	多目标	中等	高	高
近似库+多目标优化算法 <sup>[14]</sup>	低	多目标	高	高	高
近似库+启发性算法 <sup>[17]</sup>	高	单目标	低	低	中等
快速近似函数生成法 <sup>[19]</sup>	高	无	极低	极低	低
DA-MOO(本文框架)	高	多目标	高	中等	高

- radiation harden combinational logic[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(1): 155–166. doi: [10.1109/TCAD.2005.853696](https://doi.org/10.1109/TCAD.2005.853696).
- [6] YAN Aibin, FAN Zhengzheng, DING Liang, *et al.* Cost-effective and highly reliable circuit-components design for safety-critical applications[J]. *IEEE Transactions on Aerospace and Electronic Systems*, 2022, 58(1): 517–529. doi: [10.1109/TAES.2021.3103586](https://doi.org/10.1109/TAES.2021.3103586).
- [7] CHEN Ke, LIU Weiqiang, and LOMBARDI F. Approximate arithmetic circuits: Design and applications[M]. LIU Weiqiang and LOMBARDI F. Approximate Computing[M]. Cham: Springer, 2022: 3–21. doi: [10.1007/978-3-030-98347-5\\_1](https://doi.org/10.1007/978-3-030-98347-5_1).
- [8] NARASIMHAM B, LUK H, PAONE C, *et al.* Scaling trends and the effect of process variations on the soft error rate of advanced FinFET SRAMs[C]. 2023 IEEE International Reliability Physics Symposium, Monterey, USA, 2023: 1–4. doi: [10.1109/IRPS48203.2023.10118025](https://doi.org/10.1109/IRPS48203.2023.10118025).
- [9] GOMES I A C, MARTINS M G A, REIS A I, *et al.* Exploring the use of approximate TMR to mask transient faults in logic with low area overhead[J]. *Microelectronics Reliability*, 2015, 55(9/10): 2072–2076. doi: [10.1016/j.microrel.2015.06.125](https://doi.org/10.1016/j.microrel.2015.06.125).
- [10] SIERAWSKI B D, BHUVA B L, and MASSENGILL L W. Reducing soft error rate in logic circuits through approximate logic function[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3417–3421. doi: [10.1109/TNS.2006.884352](https://doi.org/10.1109/TNS.2006.884352).
- [11] ARIFEEN T, HASSAN A S, and LEE J A. Approximate triple modular redundancy: A survey[J]. *IEEE Access*, 2020, 8: 139851–139867. doi: [10.1109/ACCESS.2020.3012673](https://doi.org/10.1109/ACCESS.2020.3012673).
- [12] GOMES I A C, MARTINS M, KASTENSMIDT F L, *et al.* Methodology for achieving best trade-off of area and fault masking coverage in ATMR[C]. The 15th Latin American Test Workshop - LATW, Fortaleza, Brazil, 2014: 1–6. doi: [10.1109/LATW.2014.6841916](https://doi.org/10.1109/LATW.2014.6841916).
- [13] ARIFEEN T, HASSAN A S, MORADIAN H, *et al.* Probing approximate TMR in error resilient applications for better design tradeoffs[C]. 2016 Euromicro Conference on Digital System Design, Limassol, Cyprus, 2016: 637–640. doi: [10.1109/DSD.2016.57](https://doi.org/10.1109/DSD.2016.57).
- [14] ALBANDES I, SERRANO-CASES A, SÁNCHEZ-CLEMENTE A J, *et al.* Improving approximate-TMR using multi-objective optimization genetic algorithm[C]. The IEEE 19th Latin-American Test Symposium, Sao Paulo, Brazil, 2018: 1–6. doi: [10.1109/LATW.2018.8349665](https://doi.org/10.1109/LATW.2018.8349665).
- [15] SÁNCHEZ-CLEMENTE A, ENTRENA L, and GARCÍA-VALDERAS M. Error masking with approximate logic circuits using dynamic probability estimations[C]. 2014 IEEE 20th International On-Line Testing Symposium, Platja d’Aro, Spain, 2014: 134–139. doi: [10.1109/IOLTS.2014.6873685](https://doi.org/10.1109/IOLTS.2014.6873685).
- [16] VERMA S, PANT M, and SNASEL V. A comprehensive review on NSGA-II for multi-objective combinatorial optimization problems[J]. *IEEE Access*, 2021, 9: 57757–57791. doi: [10.1109/ACCESS.2021.3070634](https://doi.org/10.1109/ACCESS.2021.3070634).
- [17] ALBANDES I, MARTINS M, CUENCA-ASENSI S, *et al.* Building ATMR circuits using approximate library and heuristic approaches[J]. *Microelectronics Reliability*, 2019, 97: 24–30. doi: [10.1016/j.microrel.2019.04.002](https://doi.org/10.1016/j.microrel.2019.04.002).
- [18] BRGLEZ F. On testability analysis of combinational networks[J]. *IEEE International Symposium on Circuits and Systems*, 1984, 1984(1): 221–225.
- [19] MANSKE G B, FARIAS C R, BUTZEN P F, *et al.* A fast approximate function generation method to ATMR architecture[C]. 2022 IEEE 13th Latin America Symposium on Circuits and System, Puerto Varas, Chile, 2022: 1–4. doi: [10.1109/LASCAS53948.2022.9789047](https://doi.org/10.1109/LASCAS53948.2022.9789047).
- 李 炎: 男, 博士, 研究方向为高可靠集成电路设计与CAD等。  
 胡岳鸣: 男, 硕士生, 研究方向为集成电路可靠性加固、智能芯片等。  
 曾晓洋: 男, 博士, 教授, 研究方向为高效系统芯片(SoC)设计与集成应用、智能集成系统算法与实现等。

责任编辑: 马秀强