

一种旁路机制下的低功耗片上网络功率门控设计

欧阳一鸣 陈志远* 徐冬雨 梁华国
(合肥工业大学计算机与信息学院 合肥 230601)

摘要: 随着技术尺寸的缩小, 静态功耗在片上网络 (NoC) 的功耗开销中占据主导地位。功率门控作为一种通用的功耗节约技术, 将NoC中空闲模块关闭以降低静态功耗。然而, 传统的功率门控技术带来了诸如数据包唤醒延迟, 盈亏平衡时间等问题。为了解决上述问题, 该文提出代替功率门控路由器进行数据包传输的分区旁路传输机制 (PBTI), 并基于该旁路机制设计了低延迟低功耗的功率门控方案。PBTI使用相互独立的旁路分别处理东西方向传输的数据包, 并在旁路内部使用公共的缓冲区以提高缓冲区利用率。PBTI可以在路由器断电时实现数据包的注入, 传输和弹出。即使网络中所有的路由器均处于功率门控状态, 数据包也可以从源节点传输到目的节点。当流量增大超过PBTI的传输能力时, 路由器以列为单位进行统一的唤醒。实验结果表明与不使用功率门控的NoC相比, 所提方案降低了83.4%的静态功耗和17.2%的数据包延迟, 同时只额外增加了6.2%的面积开销。相较于常规的功率门控方案该文功率门控设计实现了更低的功耗和延迟, 具有显著的优势。

关键词: 片上网络; 功率门控; 旁路; 静态功耗

中图分类号: TP302

文献标识码: A

文章编号: 1009-5896(2025)03-0001-09

DOI: 10.11999/JEIT231257

A Low-Power Network-on-Chip Power-Gating Design with Bypass Mechanism

OUYANG Yiming CHEN Zhiyuan XU Dongyu LIANG Huaguo

(School of Computing and Information, Hefei University of Technology, Hefei 230601, China)

Abstract: Static power consumption dominates the power overhead of Network-on-Chip (NoC) as the technology size shrinks. Power gating, a generalized power saving technique, turns off idle modules in NoCs to reduce static power consumption. However, the conventional power gating technique brings problems such as packet wake-up delay, break-even time, etc. To solve the above problems, Partition Bypass Transmission Infrastructure (PBTI) is proposed in the paper, being adopted for packet transmission in place of a power-gated router, and a low-latency, low-power power gating scheme has been designed based upon this bypass mechanism. PBTI uses mutually independent bypasses to process separately the PBTI uses independent bypasses to handle east-west packets separately, and uses common buffers within the bypasses to improve buffer utilization. PBTI can inject, transmit, and eject packets when the router is powered off. Packets can be transmitted from the source node to the destination node even if all routers in the network are power gated. When the traffic increases beyond the transmission capacity of PBTI, the routers perform a uniform wake-up in columns. Experimental results show that compared to the NoC without power gating, the scheme in this paper reduces 83.4% of static power consumption and 17.2% of packet delay, while adding only 6.2% additional area overhead. Compared to the conventional power gating scheme the power gated design in this paper achieves lower power consumption and delay, which is a significant advantage.

Key words: Network-on-Chip; Power gating; Bypass; Static power

收稿日期: 2023-11-14; 改回日期: 2024-04-23; 网络出版: 2024-05-13

*通信作者: 陈志远 czy20221002@163.com

基金项目: 国家自然科学基金(62374049)

Foundation Item: The National Natural Science Foundation of China (62374049)

1 引言

多核芯片如今能够集成几十个甚至数百个核心,未来将朝着千核发展^[1,2]。多核处理器内核的增加,使得实现可扩展、快速和高效的互连通信变得越来越迫切^[3]。片上网络(Network-on-Chip, NoC)是一种新型通信架构,它为多核系统提供高性能和可扩展的互连通信网络^[4]。

NoC为多核系统提供了高效的通信服务^[5],但同时也存在较为严重的功耗问题。在Teraflop^[6]芯片中NoC消耗了芯片总功耗的28%,在麻省理工开发的Raw芯片^[7]中, NoC功耗占比达到36%。真实流量下,网络平均利用率明显低于饱和点。例如, SPLASH-2基准测试^[8]的平均路由器利用率低于20%^[9]。此时NoC功耗的很大一部分由空闲组件产生的静态功耗组成^[10]。技术尺寸的缩小加剧了这一现象。从65 nm到32 nm静态功耗提高了3倍^[11]。

功率门控是一种经典的通过关闭空闲组件来减少静态功耗的技术^[12,13],是NoC最重要的节能手段之一。通过在电源(Vdd)和模块(路由器或路由器内部组件)之间插入一个高阈值电压晶体管当做电源开关,控制器可以在相应模块空闲时关闭电源从而避免产生静态功耗。

旁路被广泛应用于功率门控的研究中。文献^[14]使用一个贯通整个网络旁路环来绕过断电路器。当数据包遇到断电路器时,可以沿着旁路环在不唤醒路由器的前提下到达目的地。但使用旁路环时,数据包可能需要绕路才能到达目的地,这会产生较高的延迟。文献^[15]设计直行旁路处理注入,弹出和直线传输的数据包,从而降低路由器的唤醒频率,减少静态功耗。该旁路硬件结构较为简单但功能单一,因此路由器休眠时间和功率门控状态下NoC性能的提升有限。文献^[4]提出了一种先进的功率门控旁路Muffin。Muffin支持数据包的直行,转向,弹出和注入。Muffin除了为每个输入方向设置了1 flit大小的输入缓冲区外还设置了1 flit大小的中间缓冲区。任何方向输入的数据包都先进入相应的输入缓冲区内。进入输入缓冲区后,直行的数据包直接进行直行传输。需要偏转的数据包会被发送到中间缓冲区,并在中间缓冲区内与其它方向的直行数据包竞争输出。Muffin使用复杂的旁路实现了路由器的基本功能,但硬件开销较大。

本文提出了基于旁路传输机制(Partition Bypass Transmission Infrastructure, PBTI)的功率门控设计。当路由器进入功率门控状态后, PBTI代替路由器处理注入,弹出,直行和转向的数据包。PBTI的数据包传输由东旁路和西旁路两个独立的

旁路完成,向东和向西传输的数据包分别使用不同的旁路进行传输。东西旁路内部使用2 flit大小的公共旁路缓冲区且均具备注入,弹出链路。除了完整的数据包处理能力外, PBTI还支持自适应路由。本文为PBTI设计了缓冲区平衡路由算法从而更好利用PBTI内部的缓冲区资源。在功率门控策略上, PBTI对一系列路由器进行统一的功率门控控制。实验的结果表明本文提出的PBTI相较于其它功率门控能进一步降低NoC的延迟和功耗。

3 改进动机

缓冲区是路由器的重要组成部分。每个输入端口缓冲区包含多个被称为虚通道(Virtual Channel, VC)的缓冲区条目。本文使用Noxim平台设置了一个8×8的Mesh结构的NoC。网络中路由器每个输入端口设置两个VC。VC的大小设置为2 flit, 4 flit和8 flit分别进行实验并测量不同注入率下的数据包延迟。实验得到的结果如图1所示。

如图所示,当注入率较低时,3组实验对象数据包延迟表现相似。当注入率提高后,不同大小的VC在延迟上出现明显差异。可以看到缓冲区对网络性能有着直接影响,路由器缓冲区更大的网络可以承受更高的负载。

目前的旁路设计为路由器每个输入端口设置1 flit大小的旁路缓冲区和相应的传输链路。路由器处于功率门控状态时,旁路代替路由器完成数据包的传输并为路由器获得更多的功率门控时间。由于每个端口仅有1 flit大小的缓冲区,旁路的承载能力较为有限。当某一方向的流量增大或遇到需要转向的数据包时,旁路便会产生拥塞唤醒路由器。由于流量在方向上具有突发性此时其它输入方向的旁路缓冲区往往并没有被充分利用。增大每个输入方向旁路缓冲区的深度可以带来更高的性能,但无益于解决缓冲区利用率问题,反而使得旁路开销过大。提高缓冲区利用率并提高旁路的性能,是功率门控旁路设计的关键。

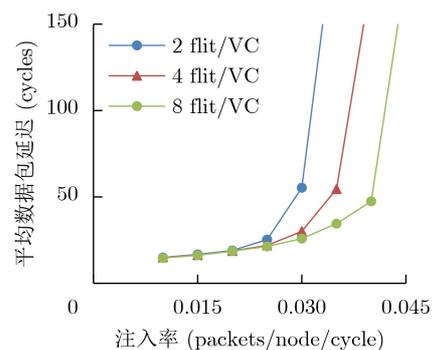


图1 不同缓冲区深度对数据包延迟和饱和点的影响

4 基于分区旁路的功率门控方案

本文提出分区旁路传输机制PBTI及其功率门控方案。PBTI由东西两个相互独立的旁路和相应的控制机制组成。东旁路负责传输向东传递的数据包，西旁路负责传输向西传递的数据包。东旁路和西旁路的内部使用公共的缓冲区并通过本文设计的缓冲区平衡路由算法传输数据包以提高缓冲区利用率并适应更高的流量负载。此外本文在PBTI架构的基础上设计了一系列路由器统一进行开闭控制的功率门控策略。该策略简化了功率门控控制的同时具有良好的可扩展性。

4.1 PBTI旁路设计

PBTI使用东西两个旁路对数据包进行分类处理，旁路结构如图2所示。

如图所示，PBTI将旁路划分成了西旁路 and 东旁路两部分，并在每个旁路内部实现了数据包的注入，弹出，直行和转向传输功能。东旁路负责传输目的地在本地路由器东侧即需要向东传输的数据包，西旁路负责传输目的地在本地路由器西侧即需要向西传输的数据包。东旁路和西旁路内部，所有的输入端口连接2 flit大小的公共旁路缓冲区。东西旁路在Y维度拥有独立的传输通道并且旁路内每一个输入端口均可以与旁路内部任意的输出端口相连，实现了数据包的直行和任意方向的转向传输。以西旁路为例，图中可见西旁路中东(E in)，南(S1 in)，北(N1 in)3个输入端口经过多路复用器连接2 flit大小的缓冲区。旁路缓冲区连接西(W

out)，南(S1 out)，北(N1 out)3个输出。数据包可以通过旁路注入网络(W_inject)，也可以通过旁路从网络中弹出(NI out)。在X维度的输入输出上，西旁路只能接收东端口输入向西输出的数据包。为了防止数据包交叉，公共旁路缓冲区和链路的分配以数据包为单位。

图3为网络中东西旁路构成的数据包传输网络，图中路由器A位于网络内侧。假设网络中所有的路由器均处于功率门控状态，只使用PBTI传输数据包。图中蓝色部分为以路由器A为中心的互相连接的西旁路构成的传输通道，橙色部分为东旁路构成的传输通道。东西旁路为路由器A构成了可以连通网络中其它路由器的传输路径。

4.2 路由算法

本文为通电路由器和PBTI设置了不同的数据包传输方式。通电路由器采用YX路由算法。PBTI使用本文设计的缓冲区平衡路由算法。具体的算法如算法1。

算法使用 Available.E, Available.W, Available.S和Available.N这4个信号对东西南北的下游公共旁路缓冲区是否为空进行指示。其中 Available.E信号为东旁路专用， Available.W信号为西旁路专用。算法输入为Available信号，数据包包头中的目的地地址和本地路由器地址信息，输出为数据包输出方向。对于和目的地不在同一维度的数据包算法首先判断是否为需要为数据包选择Y维度输出端口。当X维度的下游旁路缓冲区不为

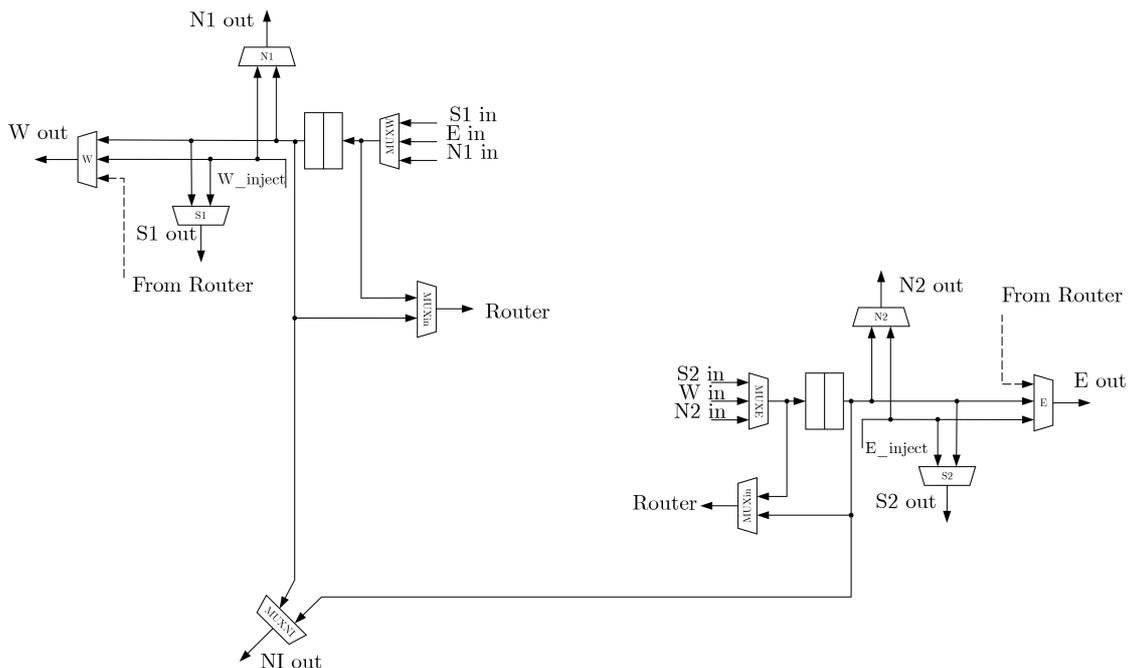


图 2 PBTI旁路设计

算法1 缓冲区平衡路由算法

输入: destination address of the packet D, buffer available signals from neighboring disconnected routers Available, address of the local router R

输出: the packet routing port Direction

Begin

```

1. IF((Available.E==0||Available.W==0)&&(Available.N==1)
&&(R.y<D.y)) THEN
2. //using YX routing algorithm
3. Direction=North;
4. ELSE
IF((Available.E==0||Available.W==0)&&(Available.S==1)
&&(R.y>D.y)) THEN
5. //using YX routing algorithm
6. Direction=South;
7. ELSE
8. //using XY routing algorithm
9. IF(R.x<D.x) THEN
10. Direction=East;
11. ELSE IF(R.x>D.x) THEN Direction=Wast;
12. ELSE IF(R.y<D.y) THEN Direction=North;
13. ELSE IF(R.y>D.y) THEN Direction=South;
14. ELSE Direction=Local;
15. END IF
16. END IF
17. END

```

空(即东旁路的Available.E或西旁路的Available.W为0), Y维度的下游旁路缓冲区为空且空闲的Y维度的下游旁路缓冲区方向上存在数据包剩余跳数时选择Y维度的输出。除此之外, 旁路一律选择XY路由, 即数据包优先向X维度发送, 只有X维度没有剩余跳数时才进行Y维度的传输。图6展示了数据包传输的几种典型情况。数据包A存储在在路由器A的西旁路缓冲区中, 且需要向西北方向传输。若西侧的下游旁路缓冲区已满, 北侧的下游旁路缓冲区为空(图4(a)), 选择北端口传输数据包。若西侧的下游旁路缓冲区和北侧的下游旁路缓冲区均为空(图4(b)), 选择西端口传输数据包。若西侧的下游旁路缓冲区和北侧的下游旁路缓冲区均为满(图4(c)), 选择西端口传输数据包。

4.3 PBTI控制机构

图5为PBTI的旁路控制机制。如图所示, PBTI接收相邻旁路的Available信号进行路由计算。路由计算得出输出端口后, 若本地存在数据包注入请求则与注入请求进行仲裁, 根据仲裁结果输出控制信号。本地注入请求的优先级低于在旁路中传输的数据包。本地数据包被拒绝后将拥有更高优先级, 以避免待注入数据包的饥饿。

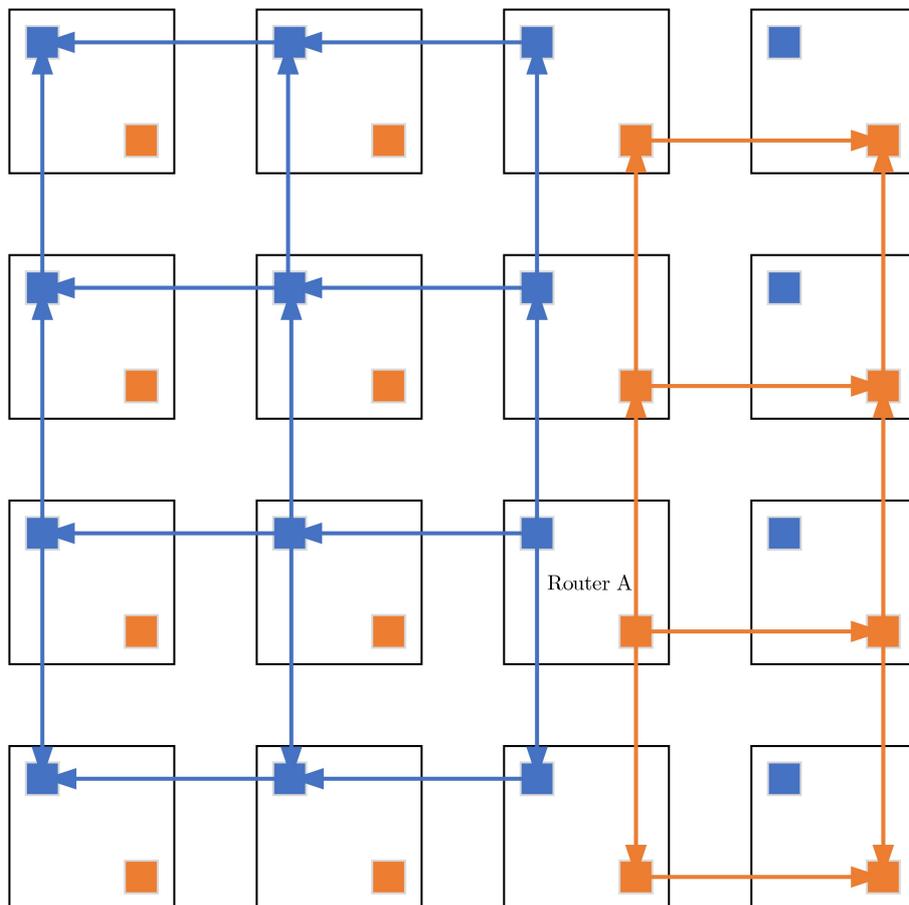


图3 PBTI数据包传输网络

4.4 NI接口设计

网络接口(Network Interface, NI)是处理核心(Process Element, PE)与路由器之间进行数据传递的中间设备。PBTI采用了分区旁路设计, NI接口根据本地地址和数据包目的地址的比较将数据包注入西旁路。NI接口结构如图6(a)、图6(b)所示。

如图6(a)所示, NI接口的输入队列末端增加了一个控制器和解复用器。控制器对解复用器进行选通控制。当控制器输出0时, NI接口输出连接东旁路。当控制器输出1时, NI接口输出连接西旁路。图6(b)为控制器结构。控制器由一个比较器组成, 通过对目的地和本地路由器X维坐标进行比较输出0,1值。

4.5 路由器功率门控策略

功率门控策略决定使用路由器或旁路传输的时机。在PBTI架构中, 主要由通电路由器完成数据包在Y维度的传输。本文规定当Y维度传输的数据包在缓冲区中停留4个周期时即认定存在阻塞, 此

时进行该列路由器的唤醒。当流量减小时, PBTI使用式(1)定义的拥塞感知度量来确定该列路由器的拥塞程度。公式中的C为拥塞感知度量, 定义为用1减去为每个路由器VC分配请求的授权数量($N_{granted}, N_g$)与拒绝数量($N_{request}, N_r$)的比率。

$$C = 1 - \frac{N_g}{N_r} \tag{1}$$

这是一种轻量级拥塞感知机制。由于每个路由器只需要有两个计数器来保存每个路由器VC的授权和拒绝数量, 因此可以用可忽略的面积开销来实现。本文规定一个下限阈值Thoff(实验中设定为0.1)。当拥塞感知度量较低达到这个下限阈值时, VC分配请求的授权数量与拒绝数量的比率很大, 路由器内的资源利用率不足。若通电路由器列上任意一个路由器的拥塞值达到下限阈值时, 给整列路由器断电, 则容易受偶然性影响, 违反BET的约束。为了解决这一问题, 本文为每列路由器设计了预测器。单个路由器的拥塞感知达到下限阈值Thoff后发出

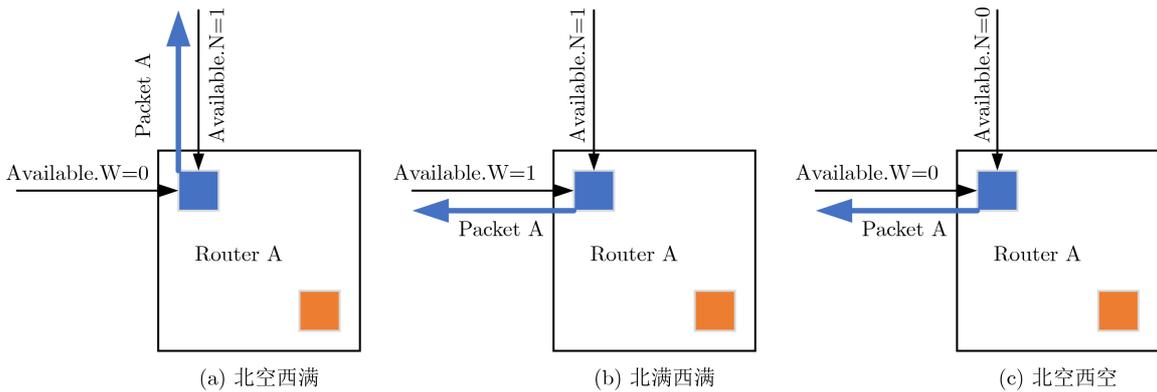


图4 数据包传输3种情况



图5 旁路控制机制

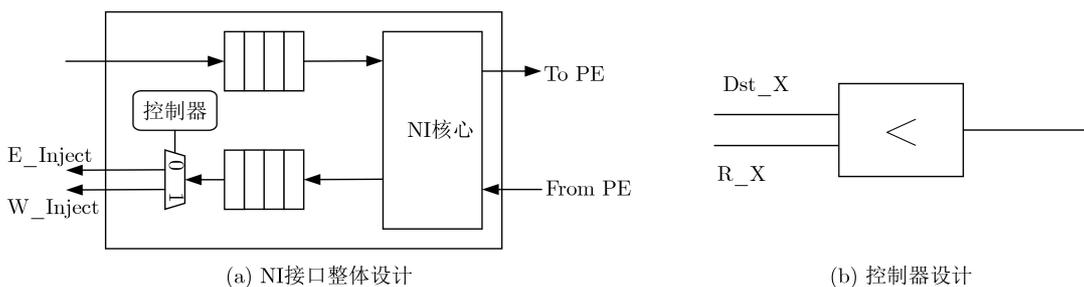


图6 NI接口设计

信号。预测器连续4个周期收到信号后进行功率门控。

功率门控控制硬件如图7(a)、图7(b)所示。其中预测器结构如图7(a)所示。预测器由4位移位寄存器和逻辑门电路组成。路由器每个周期向该列移位寄存器写入1或0。当路由器拥塞感知度达到下限阈值 Th_{off} 时，路由器写入1，否则写入0。移位寄存器连接与门，因此只有连续4个周期内写入1后与门输出为1。该列路由器接收与门的输出并进行路由器的断电准备工作，即排出路由器内的数据包。路由器将数据包排出后，如图7(b)所示，将路由器内与门的一位输入设为1。所有路由器均设为1后总的输出为1，意味着该列路由器已经将数据包排出可以被功率门控。之后该列路由器将被断电。

4.6 路由器唤醒过程

处于唤醒过程中的路由器使用旁路继续传输X维度和Y维度的数据包。当路由器完全唤醒后，对于头flit在旁路的数据包，数据包将注入路由器缓冲区，由路由器继续处理数据包。对于头flit不在旁路上但体flit或尾flit停留在旁路的数据包，旁路继续工作将数据包排出。当该列路由器上的旁路全部为空后，旁路被断电，通电路由器正式开始工作。

5 实验

5.1 实验相关设置

本文使用周期精确的NoC模拟器Noxim进行模拟仿真。本文使用DSENT(Design Space Exploration of Networks Tool)模拟了45nm技术节点的静态和动态功耗并将Netrace与Noxim结合起来对实际应用程序进行建模。所有方法使用Verilog HDL实现，并使用Nangate Library 45nm Open Cell进

行合成以计算开销。实验从平均数据包延迟、静态功耗、面积开销方面进行评估。本文的实验对象如下：

- (1) No-PG: 不使用功率门控的基础NoC;
- (2) Conv-PG: 一种传统的功率门控技术，在空闲后立即进行功率门控，且不能提前唤醒路由器;
- (3) ConvOpt-PG: 具有预测器和提前唤醒机制的功率门控方案。该方案提前两跳唤醒路由器;
- (4) Muffin: 一种先进的基于旁路的功率门控方案;
- (5) PBTI: 本文提出的基于PBTI的功率门控方案。

5.2 数据包延迟

5.2.1 合成流量下的数据包延迟

图8(a)、图8(b)、图8(c)展示了PBTI方案与对比对象在不同流量模式下数据包的平均延迟随注入率变化的情况。

图中的实验对象在低负载下具有不同的延迟。注入率提高后，网络中通电路由器的数量不断上升，各个方案的数据包延迟趋于统一。延迟最高的方案为Conv-PG。这是因为Conv-PG对进入空闲状态的路由器直接进行功率门控，数据包在低负载下的传输会因断电路由器积累大量的唤醒延迟。ConvOpt-PG方案使用了提前唤醒技术覆盖部分唤醒延迟因此相对于Conv-PG具有更低的延迟。Muffin和PBTI的旁路具有完整的数据包注入，传输和弹出功能且不需要经过完整的路由器流水线因此低负载下的延迟表现优于No-PG。PBTI和Muffin在极低负载下延迟接近。但PBTI能够在更高的负载下继续降低数据包的延迟。PBTI采用了公共旁路缓冲区，东西旁路各拥有2 flit大小的公共

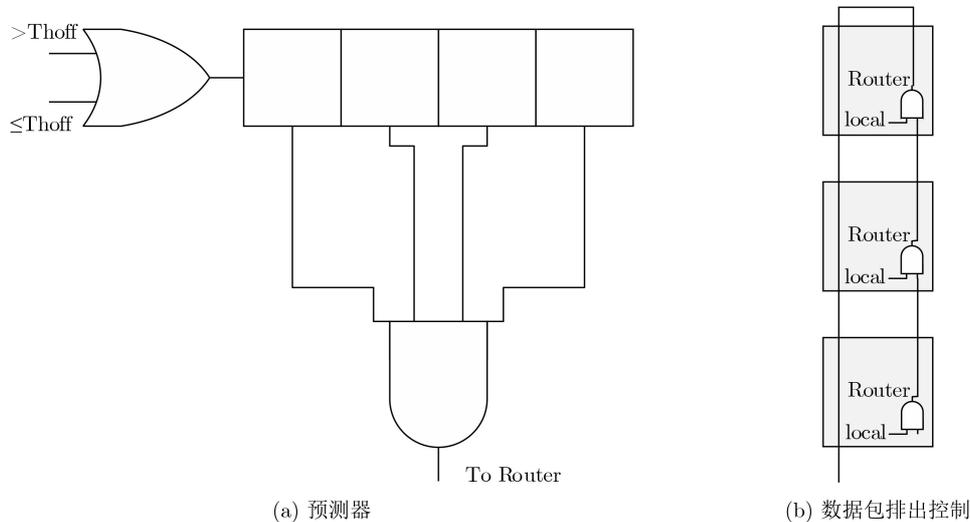


图7 路由器功率门控硬件

旁路缓冲区。而Muffin每个端口设置1 flit缓冲区。在功率门控工作的较低负载下，Muffin的旁路缓冲区利用率不足，而PBTI拥有相当于2倍Muffin的缓冲区深度。此外Muffin中所有的转向链路之间均存在竞争关系，而PBTI分区旁路的设计分流了数据包减少了数据包转向传输之间的竞争。以上两点使得PBTI拥有比Muffin更好的性能表现。

5.2.2 真实应用下的数据包延迟

图9为真实应用下的平均数据包延迟。真实应用下的路由器利用率较低。当数据包在其路径中遇到多个断电路由器时，数据包延迟会显著增加。和合成流量下的结果类似Conv-PG和ConvOpt-PG具有较高的延迟。Muffin和PBTI使用旁路结构降低了数据包延迟。PBTI使用分区旁路和公共旁路缓冲区的设计使得其拥有最拥有所有方案里最低的延迟。相比于No-PG, PBTI的平均数据包延迟降低了17.2%。

5.3 功耗

5.3.1 合成流量下的功耗变化

图10(a)、图10(b)、图10(c)展示了实验对象在

表 1 实验基本参数设置表

参数	设置
网络拓扑	8×8 Mesh
缓冲区大小/端口	8 flits
虚通道数量/端口	2
数据包大小	2~6 flits
路由算法	XY,缓冲区平衡路由算法
传输链路宽度	32 bits
路由器频率	1 GHz
流量模式	均匀随机, 转置, 洗牌
路由器唤醒延迟	8 cycles
盈亏平衡时间	10 cycles
路由器断电等待时间	4 cycles

3种流量模式下的归一化静态功耗随着注入率的变化情况。低注入率下，5个方案均具有一定的节能能力。注入率提高后，各个方案的静态功耗开始上升。其中Conv-PG的静态功耗上升的最快。Conv-PG遇到在路由器空闲后会立即进入休眠。这会导致功率门控节约的能耗无法抵消功率门控本身的能量开销，造成功耗的升高。ConvOpt-PG的功率门控方案具有预测器设计，功耗曲线更低，但功耗降低的范围有限。Muffin和PBTI通过旁路传输数据包来延长路由器的功率门控时间，因此能在更大的流量负载下减少功耗。PBTI相较于Muffin不仅可以在更大的范围节约功耗，而且在每个注入率下的功耗均低于Muffin。这是由以下两点原因导致的。首先PBTI具有分区旁路和公共旁路缓冲区的设计。而Muffin每个输入端口使用独立的1 flit缓冲区。相较于PBTI, Muffin缓冲区利用率更低，同时数据包也会分散在更多路由器中，更容易引起路由器的唤醒。其次，PBTI使用的缓冲区平衡路由算法和路由器功率门控策略能够最大程度的利用网络资源延长路由器功率门控的时间。

5.3.2 功耗节约比例

图11(a)、图11(b)为Muffin和PBTI方案在0.006, 0.008和0.010等3种注入率和3种流量模式下的平均静态功耗节省和平均总功耗节省。可以看到PBTI方案在低负载下的功耗节约能力更强。这是因为PBTI的使用旁路划分和公共旁路缓冲区增强了旁路的数据包传输能力，减少了通电路由器数量，更好地节约了功耗。此外本文的功率门控策略和控制硬件较为简单。Muffin中每一个路由器均设置单独的预测器。PBTI只需为每列路由器设置预测器，可以将功率门控引入的额外开销控制降低。

5.3.3 真实应用下的静态功耗

图12显示了真实应用下的静态功耗对比情况，所有结果归一化为NO-PG。从图中可以看出，

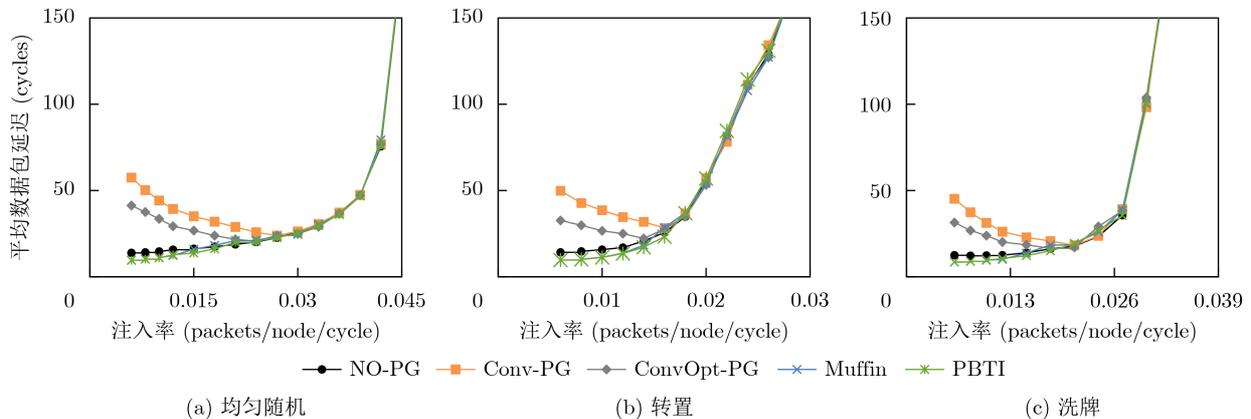


图 8 不同流量模式下的平均数据包延迟

Conv-PG, PG-ConvOpt对静态功耗的节约能力较弱, Muffin和PBTI的静态功耗节约能力较强。相比于NO-PG, Muffin和PBTI分别节省了81.9%和83.4%的静态功耗。真实应用下, PBTI的旁路设计结合缓冲区平衡路由算法和功率门控策略可以最大程度发挥旁路的传输能力, 减少通电路由器数量, 具有更好的表现。

5.4 面积开销

本文用Verilog语言描述路由器硬件架构, 结合使用Synopsys公司的Design Compiler对No_PG

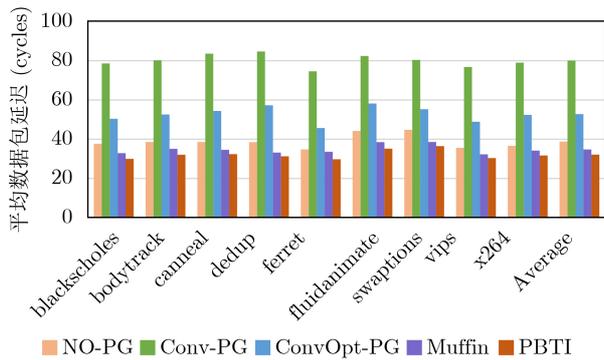


图9 真实应用下的平均数据包延迟

和PBTI方案的面积进行了评估。结果表明和No_PG相比, 添加PBTI后的路由器面积开销增加6.2%。

6 结束语

本文提出一种新型轻量级数据包传输硬件结构PBTI及其功率门控方法。与传统的基于旁路的功率门控方案相比, PBTI采用的分区旁路和公共的缓冲区设计提升了旁路性能。在轻度负载下, 数据包可通过PBTI直接传递到目的节点而无需打开路由器。此外本文以PBTI为基础设计了缓冲区平衡路由算法和新的功率门控方式。实验结果表明, PBTI相比于不使用功率门控的方案降低了83.4%的静态功耗, 和17.2%的数据包延迟, 同时额外增加了6.2%的面积开销。功耗问题是NoC领域长期的研究重点。本文通过旁路实现低功耗低延迟的功率门控设计对NoC这一新型片上互联架构的发展具有重要意义。在面积和功耗上, 本文的旁路设计还有进一步优化的潜力。此外本文的旁路也不具备可重构能力, 无法针对特定的流量模式进行优化。未来工作将考虑进一步简化旁路设计并探索旁路的可重构能力。

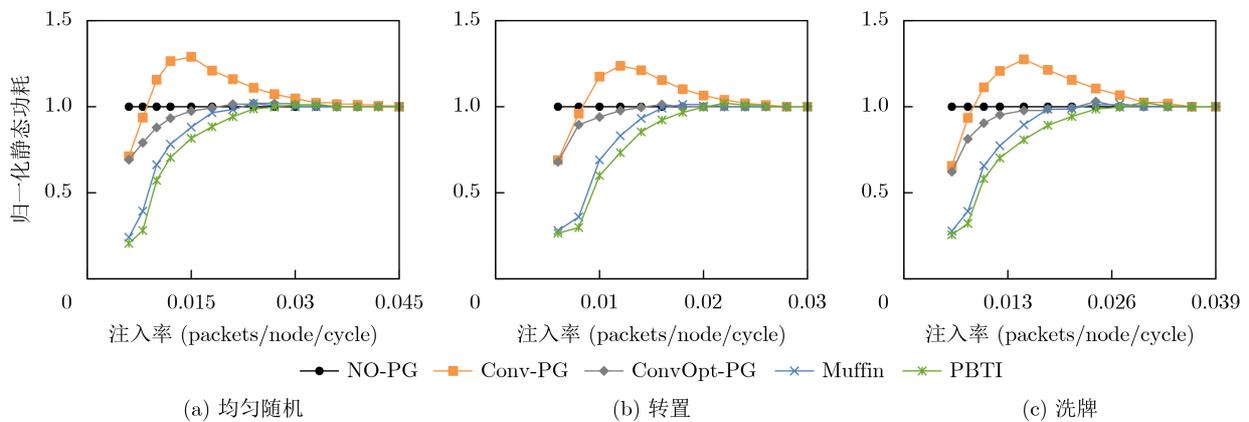


图10 不同流量模式下的归一化静态功耗

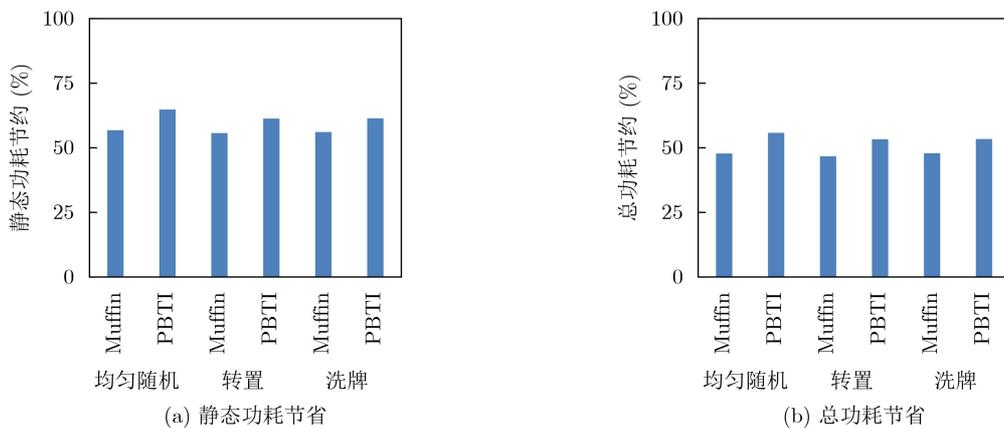


图11 静态功耗和总功耗节省

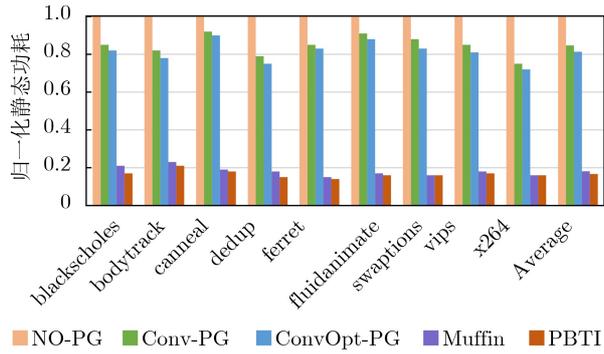


图 12 真实应用下的归一化静态功耗

参考文献

- [1] MONEMI A, PÉREZ I, LEYVA N, *et al.* PlugSMART: A pluggable open-source module to implement multihop bypass in networks-on-chip[C]. The 15th IEEE/ACM International Symposium on Networks-on-Chip, Madison, USA, 2021: 41–48.
- [2] SUN Chenglong, OUYANG Yiming, and LU Yingchun. DCBuf: A high-performance wireless network-on-chip architecture with distributed wireless interconnects and centralized buffer sharing[J]. *Wireless Networks*, 2022, 28(2): 505–520. doi: [10.1007/s11276-021-02882-x](https://doi.org/10.1007/s11276-021-02882-x).
- [3] OUYANG Yiming, XU Dongyu, CHEN Zhimou, *et al.* REE: Reconfigurable and energy-efficient router architecture in wireless network-on-chip[J]. *Microelectronics Journal*, 2022, 129: 105600. doi: [10.1016/j.mejo.2022.105600](https://doi.org/10.1016/j.mejo.2022.105600).
- [4] CHEN Hui, CHEN Peng, ZHOU Jun, *et al.* ArSMART: An improved SMART NoC design supporting arbitrary-turn transmission[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2022, 41(5): 1316–1329. doi: [10.1109/TCAD.2021.3091961](https://doi.org/10.1109/TCAD.2021.3091961).
- [5] SUN Chenglong, OUYANG Yiming, and LIANG Huaguo. Architecting a congestion pre-avoidance and load-balanced wireless network-on-chip[J]. *Journal of Parallel and Distributed Computing*, 2022, 161: 143–154. doi: [10.1016/j.jpdc.2021.12.003](https://doi.org/10.1016/j.jpdc.2021.12.003).
- [6] DAYA B K, CHEN C H O, SUBRAMANIAN S, *et al.* SCORPIO: A 36-core research chip demonstrating snoopy coherence on a scalable mesh NoC with in-network ordering[J]. *ACM SIGARCH Computer Architecture News*, 2014, 42(3): 25–36. doi: [10.1145/2678373.2665680](https://doi.org/10.1145/2678373.2665680).
- [7] KIM J S, TAYLOR M B, MILLER J, *et al.* Energy characterization of a tiled architecture processor with on-chip networks[C]. 2003 International Symposium on Low Power Electronics and Design, Seoul, Korea (South), 2003: 424–427. doi: [10.1109/LPE.2003.1231942](https://doi.org/10.1109/LPE.2003.1231942).
- [8] WOO S C, OHARA M, TORRIE E, *et al.* The SPLASH-2 programs: Characterization and methodological considerations[J]. *ACM SIGARCH Computer Architecture News*, 1995, 23(2): 24–36. doi: [10.1145/225830.223990](https://doi.org/10.1145/225830.223990).
- [9] FARROKHBAKHT H, KAMALI H M, and HESSABI S. SMART: A scalable mapping and routing technique for power-gating in NoC routers[C]. 2017 Eleventh IEEE/ACM International Symposium on Networks-on-Chip, Seoul, Korea (South), 2017: 1–8.
- [10] ZHOU Wu, OUYANG Yiming, LI Jianhua, *et al.* A transparent virtual channel power gating method for on-chip network routers[J]. *Integration*, 2023, 88: 286–297. doi: [10.1016/j.vlsi.2022.10.004](https://doi.org/10.1016/j.vlsi.2022.10.004).
- [11] SAMIH A, WANG Ren, KRISHNA A, *et al.* Energy-efficient interconnect via Router Parking[C]. 2013 IEEE 19th International Symposium on High Performance Computer Architecture, Shenzhen, China, 2013: 508–519. doi: [10.1109/HPCA.2013.6522345](https://doi.org/10.1109/HPCA.2013.6522345).
- [12] WANG Peng, NIKNAM S, WANG Zhiying, *et al.* A novel approach to reduce packet latency increase caused by power gating in network-on-chip[C]. 2017 Eleventh IEEE/ACM International Symposium on Networks-on-Chip, Seoul, Korea (South), 2017: 1–8.
- [13] XU Dongyu, OUYANG Yiming, ZHOU Wu, *et al.* Improving power and performance of on-chip network through virtual channel sharing and power gating[J]. *Integration*, 2023, 93: 102059. doi: [10.1016/j.vlsi.2023.102059](https://doi.org/10.1016/j.vlsi.2023.102059).
- [14] CHEN Lizhong and PINKSTON T M. NoRD: Node-router decoupling for effective power-gating of on-chip routers[C]. 2012 45th Annual IEEE/ACM International Symposium on Microarchitecture, Vancouver, Canada, 2012: 270–281. doi: [10.1109/MICRO.2012.33](https://doi.org/10.1109/MICRO.2012.33).
- [15] FARROKHBAKHT H, TARAM M, KHALEGHI B, *et al.* TooT: An efficient and scalable power-gating method for NoC routers[C]. 2016 Tenth IEEE/ACM International Symposium on Networks-on-Chip, Nara, Japan, 2016: 1–8. doi: [10.1109/NOCS.2016.7579326](https://doi.org/10.1109/NOCS.2016.7579326).

欧阳一鸣：男，教授，研究方向为片上网络与片上系统、嵌入式系统的综合与测试、数字系统设计自动化等。

陈志远：男，硕士生，研究方向为片上网络的功率门控。

徐冬雨：男，博士生，研究方向为片上网络的可重构技术。

梁华国：男，教授，研究方向为容错计算与硬件安全、嵌入式系统综合与测试、智能控制系统等。

责任编辑：马秀强