

高精度音频Sigma-Delta调制器综述

孙奥运^① 温培旭^① 邵淮先^① 王桢楠^① 鲁毅^②
章颺^② 曾永红^② 张章^{*①}

^①(合肥工业大学微电子学院 合肥 230601)

^②(天津航计算技术研究所 天津 300308)

摘要: Sigma-Delta(Σ - Δ)模数转换器(ADC)基于过采样和噪声整形技术,可实现高分辨率,具有无源器件匹配性要求低、结构简单等特点。在高精度音频领域, Σ - Δ ADC能够实现高动态范围和良好的功率效率得到了广泛的关注和应用。近年来,依托先进工艺、先进技术进行低功耗高精度的音频ADC的设计已经成为新的研究热点。然而随着工艺技术向低节点的持续发展、电源电压的不断降低,使得 Σ - Δ ADC的电路设计更具挑战性。该文对高精度音频Sigma-Delta调制器的离散型设计、连续型设计的研究现状进行综述,为高精度音频Sigma-Delta调制器设计提供理论支撑,并给出研究前景展望。

关键词: Sigma-Delta(Σ - Δ)调制器; 高精度; 音频

中图分类号: TN45

文献标识码: A

文章编号: 1009-5896(2024)05-1874-14

DOI: 10.11999/JEIT231208

A Review of High-Resolution Audio Sigma-Delta Modulator

SUN Aoyun^① WEN Peixu^① SHAO Huaixian^① WANG Annan^① LU Yi^②
ZHANG Biao^② ZENG Yonghong^② ZHANG Zhang^①

^①(School of Microelectronics, Hefei University of Technology, Hefei 230601, China)

^②(Tianjin Jinhang Computing Technology Research Institute, Tianjin 300308, China)

Abstract: Sigma-Delta (Σ - Δ) Analog-to-Digital Converter (ADC) is based on oversampling and noise shaping techniques to achieve high-resolution, and is characterized by low passive component matching requirements and simple structure. In high-resolution audio applications, Σ - Δ ADC has gained widespread attention and applications since it can achieve high dynamic range with good power efficiency. Recently, there has been a growing research trend in designing low-power, high-resolution audio ADCs using advanced processes and technologies. However, with process technology going to lower nodes and the reduction of supply voltages, the circuit design becomes more challenging. This paper reviews the state-of-the-art of the discrete-time and continuous-time design of high-resolution audio Sigma-Delta modulators, provides theoretical background for the design of high-resolution audio Sigma-Delta modulators, and gives research prospects.

Key words: Sigma-Delta (Σ - Δ) Modulator; High-Resolution; Audio

1 引言

目前,依托先进工艺、结合先进技术进行低功耗高精度的音频模数转换器(Analog-to-Digital

Converter, ADC)的设计已经成为重要的研究方向。高性能数据转换器为通信、计算和消费应用等电子设备快速增长的需求提供了硬件支撑。与奈奎斯特速率转换器相比,过采样转换器因其低成本、高性能等优势占据了语音频带、电话应用领域的主导地位。

Sigma-Delta调制^[1]是一种在超大规模集成电路(Very Large-Scale Integration, VLSI)技术中实现高分辨率ADC的鲁棒性方法。通过结合过采样和反馈来整形噪声,将噪声推到带外,然后使用数字抽取滤波器^[2,3]来衰减被推到带外的噪声,可以在相对适中的过采样率下实现高达16位精度或更高

收稿日期: 2023-11-01; 改回日期: 2024-04-23; 网络出版: 2024-05-11

*通信作者: 张章 zhangzhang@hfut.edu.cn

基金项目: 国家自然科学基金(U19A2053), 安徽省自然科学基金(2308085MF207), 模拟集成电路国家重点实验室开放课题(JCKY2022210C001)

Foundation Items: The National Natural Science Foundation of China (U19A2053), The Natural Science Foundation of Anhui Province (2308085MF207), The National Laboratory of Science and Technology on Analog Integrated Circuit (JCKY2022210C001)

的动态范围(Dynamic Range, DR)^[4]。Sigma-Delta调制器的实现有两种主要方式: 离散时间(Discrete Time, DT)^[5]和连续时间(Continuous Time, CT)^[6]。Sigma-Delta调制器一般由积分器^[7]、量化器^[8]及反馈数模转换器(Digital-to-Analog Converter, DAC)^[9]组成, 其中DAC组成的反馈环路可降低调制器输出对后续干扰和正向路径上元件非理想性的敏感度^[10]。音频信号基带内的误差被衰减, 而音频频率外的误差被放大。这种现象称为噪声整形^[11], 适用于量化器引入的量化误差。输入节点引入的误差会添加到信号中, 从而直接降低调制器的整体性能。

用于音频领域的高分辨率Sigma-Delta模数转换器传统上采用DT调制器, 其采用开关电容技术^[12]对时钟抖动的敏感性低, 对电压和工艺变化的鲁棒性强, 此外, 与数字的制造更加兼容。目前, CT调制器越来越多地被研究者所关注。CT调制器具有恒定的输入阻抗、抗混叠特性好、带宽要求低^[13]。与DT调制器相比, CT调制器具有更低的功耗, 且运算放大器带宽要求更低, 但这是以牺牲性能和稳定性为代价的, 因为其对运算放大器压摆率、时钟抖动、信号尖峰等更敏感^[14], 在同等参数设计下, CT调制器的精度低于DT调制器。

Sigma-Delta调制器除了不受精密元件和组成元件间的高匹配性限制^[15], 多项创新性研究工作也使其能够继续满足VLSI技术的快速发展和高精度、低功耗的设计需求。该文将从高精度音频Sigma-Delta调制器的离散型设计和连续型设计两方面综述该领域的主要研究方向、研究进展、存在的问题, 分析该领域发展规律并给出研究前景展望。

2 离散型调制器设计

在音频应用中, ADC需要具有低噪声、高线性度和高动态范围。同时, 还须具有较高的能效^[16]。在音频应用所需的分辨率和带宽下, Sigma-Delta调制器的总功耗主要取决于第1级积分器的功耗, 如何降低第1级积分器的功耗成为提高能效比的关键。此外, VLSI技术的不断发展使得伴随抽取滤波器的低功耗实现变得切实可行, 数字滤波器的功耗可与调制器的功耗相媲美。DT调制器的结构如图1所示, 对于DT调制器, 降低功耗和减少开关电容积分器、量化器、反馈DAC的非线性影响^[17]是设计的主要挑战。

由于噪声整形, 第1级积分器级对调制器性能的影响最大。该电路中的噪声、放大器噪声、不完全建立和谐波失真等非理想特性通常必须满足ADC

的整体性能要求。后续滤波器和量化器中的误差可以比第1级中引入的误差大得多, 而不会显著损害调制器的性能^[18]。

2.1 离散型积分器设计

积分器是调制器的重要组成部分, 也是电源电压持续降低下保持所需性能、优化电路功耗的重要研究对象。组成积分器的运算放大器的 $1/f$ 噪声是音频调制器带内噪声中的根源^[19], 对于提高调制器分辨率至关重要。为了满足噪声和线性度要求, DT调制器的能效往往会受到影响。降低调制器功耗的最有效方法是优化环路滤波器中运算跨导放大器(Operational Transconductance Amplifier, OTA)^[20]的能效比。

开关电容积分器的示意图如图2所示, 主要由运算放大器、电容以及开关等组成。对于开关电容积分器而言, 输出信号的建立精度是影响调制器性能的重要指标, 电路中信号的传输和处理需要具备高增益、高单位增益带宽和大的压摆率来减小噪声和加快信号的建立速度。

放大器拓扑结构的选择在先进工艺、低压、低功耗积分器设计中起着至关重要的作用。传统的3种拓扑结构: 折叠式共源共栅电路、两级class A类放大器和混合两级class A/AB类设计。这些配置的简化电路原理图分别如图3所示。图3(a)所示的折叠式共源共栅拓扑具有最高的非主极点, 因此提供最高的频率性能。然而, 它也具有最低的输出信号摆幅, 噪声略高于其它电路。图3(b)中的两级A类放大器具有比折叠式共源共栅电路更低的非主极点。在音频应用中, 第2级压摆率所需的电流也可确保良好的相位裕量。两级A类放大器的一个缺点是电源抑制比(Power Supply Rejection Ratio, PSRR)在高频时较差。图3(c)的两级AB类放大器

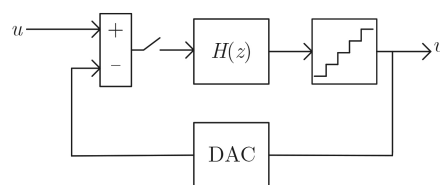


图1 离散型调制器示意图

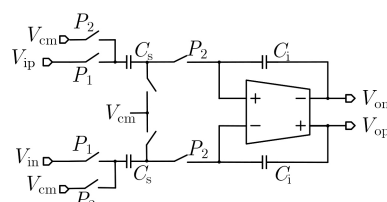


图2 开关电容积分器

将简单的差分对作为第1级，将电流镜作为第2级。对于相同的非主极点频率，输出支路电流约为两级A类电路的1/2。相对于两级A类拓扑结构，可以显著降低功耗。但是需要合理选择第2级电流，使非主极点的频率足够高，以确保稳定性。

在低电源电压下，以上3个电路的功耗都会随电源电压降低急剧增加，并且由于电路本身的局限性不能适应低压下的工作环境。因此运算放大器的结构改进和噪声改善成为积分器设计的热门研究方向。为了降低对运算放大器失真的敏感度来提高线性度，从而获得更高的信噪失真比(Signal-to-Noise-Distortion Ratio, SNDR)，文献[4]利用基于无源电荷补偿(Passive Charge Compensation, PCC)的开关电容积分器来优化调制器中电荷补偿电容的大小。文献[5]所实现的电路设计中，在第1级积分器运算放大器中利用斩波稳定来减少带内闪烁噪声。

当前积分器中运放的研究焦点主要集中在架构的改进方面，降低积分器的功耗并满足所需性能要求^[20-23]。文献[20]针对用于音频应用的离散时间调制器提出了一种新颖的动态放大器来实现开关电容积分器，如图4(a)所示。动态放大器固有的DT特

性能够与开关电容电路兼容，但动态放大器的共模压降效应会降低放大器的输出摆幅范围，除此之外还会影响积分器的线性度。该结构在不使用额外负载电容的情况下，修改了放大器的复位方法来消除闭环动态放大器在积分阶段的共模压降。文献[21]采用自适应电流节省方案来实现低功耗运行。提出自适应电流控制逻辑检测积分器的输出转换，并控制运算跨导放大器的偏置电流，提高了放大器的稳定性。积分器中运放的有限DC增益和单位增益带宽会导致电荷泄漏，降低调制器的性能，为了实现高DC增益，可以选择两级运放，但两级运放需要频率补偿保证稳定性，并且具有较大的功耗。文献[22]提出了一种新型跨导升压折叠级联运算放大器以保持高直流增益以获得低漏电和高线性度。然而，OTA仍然用传统拓扑实现，面积比较大。文献[23]提出了一种基于无静态电流消耗的周期复位动态放大器以获得高效积分器，利用这种方法，调制器可以完全动态工作，节省了大量功率和面积。

除此之外，有研究者提出用逻辑反相器代替OTA，并由此产生了基于反相器的积分器^[24-28]，如图4(b)所示。在反向器中，NMOS(N-Metal-Oxide-Semiconductor, NMOS)晶体管和PMOS(P-Metal-

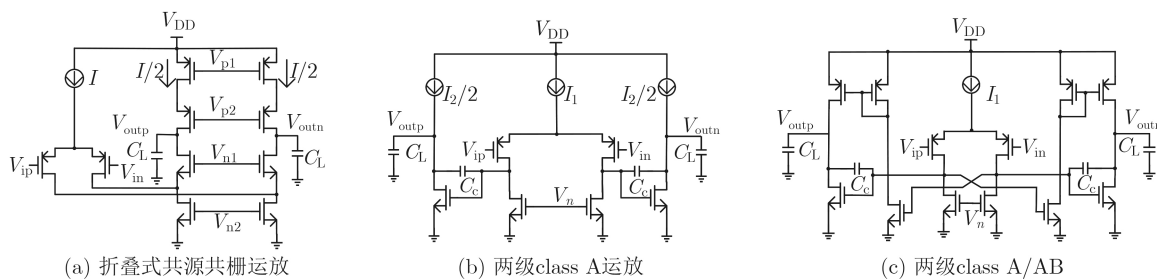


图3 积分器中的放大器拓扑架构

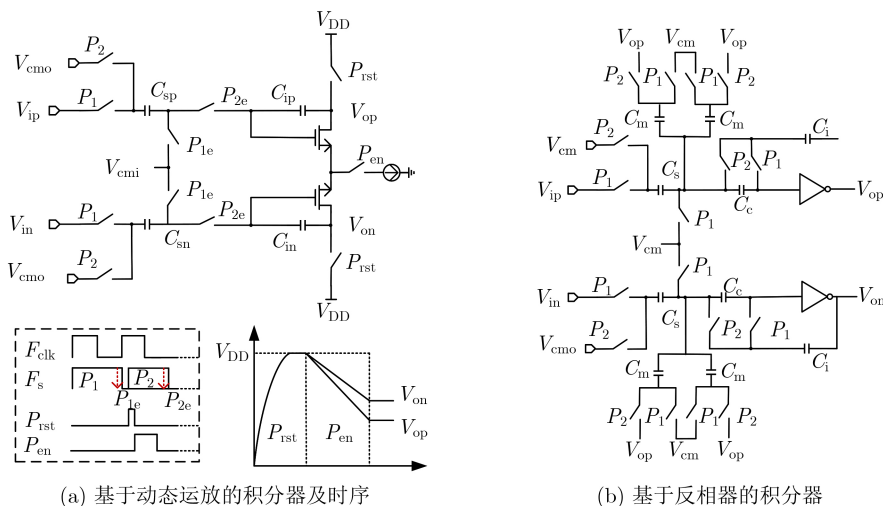


图4 基于动态运放和基于反相器的积分器示意图

Oxide-Semiconductor, PMOS)晶体管均以单一电流源贡献总跨导,这允许AB类放大器以高压摆率工作,通过压缩静态电流提供最大能效。然而,缺少基准电流会使反相器易受工艺、电压和温度(Process Voltage Temperature, PVT)变化的影响,从而导致ADC性能下降,并限制了基于反相器的调制器的使用。文献[19]采用反向器实现一款面向移动应用的低功耗音频Sigma-Delta调制器。反相器的静态电流通过偏移存储电容从浮动电流中复制,反相器中级联晶体管造成的速度限制通过使用有源寄生补偿得以解决。最大限度地提高基于反相器的积分器的跨导/电流比值和压摆率,同时补偿PVT变化。文献[26]使用反相器设计完成了一款用于MEMS麦克风的离散时间音频调制器,通过使用数字反相器代替OTA实现了低功耗和小芯片面积。使用低压差稳压器(Low Dropout Regulator, LDO)来提供内部产生的电源,通过检测过程和温度变化来调节反相器偏置点来提高反相器的稳定性。文献[27]提出了一种开关电容偏置技术,它从基准电流复制偏置电压,并将其存储在各输入晶体管的存储电容上。使用开关电容偏置方法,基于反相器的积分器能够以接近晶体管阈值电压的过驱动来实现,同时补偿了PVT变化的影响。偏置电压在片内利用新型电平转换电路产生,克服了饱和电压引起的裕量限制,但代价是增加了噪声。文献[28]中,通过使用两个独立的采样电容,避免了反相器使用存储电容。由于采样电容充当电平转换器,因此专用电平转换器电容不会产生额外的噪声贡献。

从上述分析可知低复杂度、低功耗的运放成为先进工艺下高精度音频Sigma-Delta调制器中积分器的设计重点。

2.2 离散型量化器设计

量化器的主要作用是将积分器的输出与参考电压进行比较^[29],输出与输入相关的数字码流,用于数字滤波器的输入和控制反馈DAC的开关时序。由于量化器的非理想特性会经过噪声整形的抑制作用,所以对量化器的性能要求宽裕。在量化器设计中经常使用无静态功耗的一位动态比较器结构实现^[30],比较器输出的结果会经过锁存器保持1个时钟周期。

在1位量化调制器的结构中,在一定的过采样比下可以通过使用多阶调制器来提高动态范围^[31-34]。然而提高调制器阶数以牺牲稳定性和输入动态范围为代价。而在级联(Multi-Stage Noise-Shaping, MASH)^[35]结构中,多阶调制器输出信号的噪声失配也会造成调制器性能的明显下降。当调制小信号或DC偏置输入信号时,低分辨率量化导致的极限环会引入音调噪声,人耳对此非常敏感。而具有更高分辨率的多位量化器降低了量化噪声,从而降低了音调噪声^[36]。多位量化还减少了电路中非理想性的影响^[37],因为更精细的量化步长减少了在每个时间步长发生的电压和电流的变化。运算放大器也会在具有多位量化的调制器中消耗较少的能量来响应信号的变化^[38]。因此,选择多位量化器^[39-41]来实现高精度的音频调制器成为主流的设计选择。

闪速ADC通常用于多位量化器,转换速度快但多位量化成本较高^[42]。图5(a)所示的闪速量化器使用多个比较器来对环路滤波器的输出进行数字化。由于环路滤波器的输出和参考电平都是差分信号,因此使用并联的差分对替换了强臂锁存器^[43]的差分对。与单时钟周期内一次比较多个电平的闪速ADC相比,图5(b)所示的逐次逼近寄存器(Successive Approximation Register, SAR)ADC使用单个比较器和 $m + 1$ 个时钟周期解析 2^m 个电平^[44]。在分

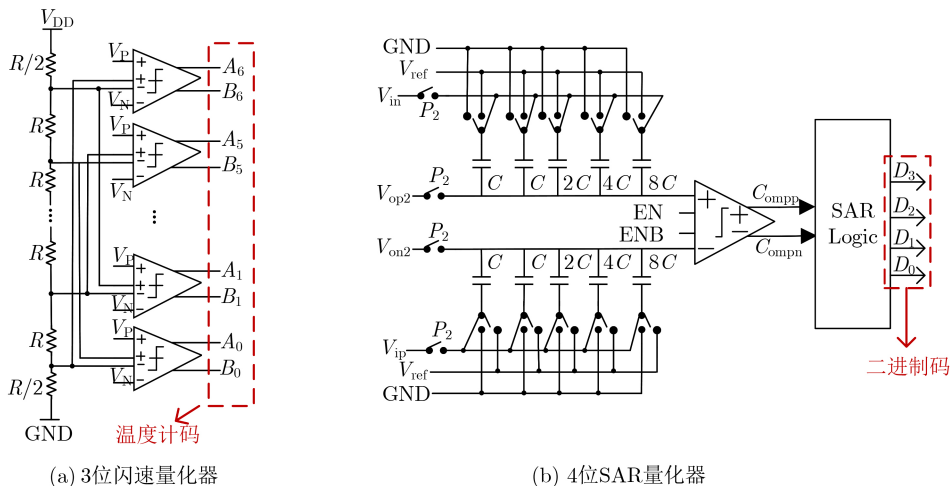


图5 闪速量化器和SAR量化器示意图

分辨率较低的情况下, SAR架构可以产生效率非常高的ADC, 因此SAR ADC非常适合调制器中的量化器设计。但是, 量化器内部的比较器偏移、时钟抖动以及多位量化器随位数提升带来的指数型增长的面积极和功耗问题使得直接实现具有更高分辨率的多比特量化器变得更具挑战性。

近年来, 研究者对量化器做了大量的研究工作^[36,38-41]。为了抑制调制器环路内的信号相关能量, 降低内部通道耦合和功耗, 文献^[36]采用具有不均匀加权量化电平的插值多电平量化器取代了传统的5位闪速型量化器。闪速型量化器使用的多个比较器会增加部分噪声能量, 使得调制器性能下降, 此外多电平量化降低了参考电压阶跃, 增加了设计难度和功耗。一种新的思路是提高量化器本身的分辨率, 过采样和噪声整形也可以用在量化器内部。文献^[38]实现了一种基于新型多位量化器、适合低压移动应用的高保真音频Sigma-Delta ADC。提出了多速率噪声整形技术增强内部低分辨率量化器, 在低功耗下实现了较高的分辨率。文献^[39]使用新型积分SAR噪声整形量化器的多比特Sigma-Delta调制器。提出的量化器类似于积分ADC, 在积分阶段存储的电荷随后通过SAR算法进行测量。测量周期结束后, 积分器上的电荷残余会被存储起来, 用于下一次转换, 从而实现了1阶噪声整形。为了降低调制器的复杂性和功耗, 文献^[40]采用了一种新的差分跟踪多位量化器能够避免带有跟踪量化器的调制器中环路滤波器系数的极大缩放。与传统的量化器相比, 提出的量化器输出信号的最大步长为 $3V_{LSB}$, 因此可以获得更大的噪声传递函数增益。文献^[41]通过设置适当的共模电压, 避免了传统多级反馈DAC中通常使用的动态元素匹配。利用分时技术, 3位量化器只使用1组比较器, 从而节省了功耗和面积。

2.3 离散型反馈DAC设计

Sigma-Delta调制器中DAC的作用是对反馈信号进行模拟重构^[45,46], 反馈DAC的线性度与调制器的线性度密切相关。1位DAC的固有线性允许在不使用高精度元件的情况下构建高线性的调制器和DAC。但1位量化器限制了中等过采样率(Over-Sampling Rate, OSR)下的动态范围。由于多位量化器的使用, 在DAC中采用了多个开关电容, 电容之间的失配引起的非线性误差^[47]会直接注入反馈

环路中, 不经过环路的噪声整形。此外, 反馈DAC单位元件的不匹配会降低调制器的带内SNDR^[48]。对多位DAC的非线性进行校正^[49]从而提高调制器的动态范围是设计研究的重点。常规的方法有元器件修调^[50]、数字校正^[51]和动态元器件匹配(Dynamic Element Matching, DEM)^[52]。动态元器件匹配的基本原理是在转换过程中使用不同的单位元器件组合产生同一个DAC输出状态, 这样由元器件产生的不匹配就转变成了时变的误差。

目前, DEM算法主要分为随机算法、旋转算法、向量失配整形算法^[53]等, 其显著特点是不需要知道实际的误差, 可以自动适应缓慢变化的误差。图6是使用DEM算法的反馈DAC结构示意图, 基元选择逻辑模块调整DAC输入温度代码与基元之间的对应关系, 通过随机选择元件将由静态元件不匹配引起的误差转换为白噪声, 以旋转方式选择元件可以实现1阶整形。数据加权平均(Data-Weighted Averaging, DWA)算法^[54]是目前用于降低反馈DAC非线性最为广泛的动态元器件匹配算法。DWA算法主要是将电容失配引入的噪声和失真通过1阶高通噪声误差。优势是原理简单, 顺次选择开关导通, 缺点是会在信号带内引入与信号相关的谐波失真。

近年来, 研究者对DAC的失配做了大量的研究工作^[46,55-59]。表1给出了DAC中不匹配误差的数字校准总结。单位电容的不匹配对单位元件提出了严格的匹配要求, 文献^[46]使用4位闪速ADC和单移DEM技术来补偿电容失配, 代价是电路功耗和复杂性的增加。对于每次转换, 恒定数量的单位电容元件移动1个位置, 获得了与基于DWA的传统DEM技术相同的结果。为了提高分辨率, 文献^[56]采用了斩波稳定和伪数据加权平均(Pseudo-Data Weighted Average, PDWA)电路。PDWA是对DWA进行的改良设计, 当增加的计数器溢出时, PDWA

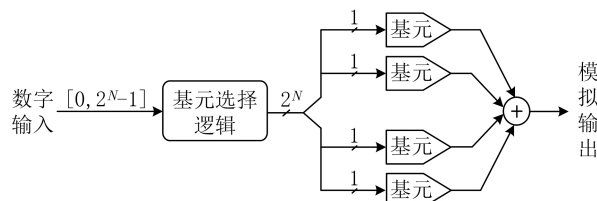


图6 使用DEM算法的反馈DAC架构

表1 Sigma-Delta ADC中DAC不匹配误差的数字校准总结

	伪数据加权平均 ^[56]	数据加权平均 ^[58]	比较数据加权平均 ^[59]
特点	适合于低比特量化, 音调行为相对于DWA有所下降	结构简单, 具备1阶噪声整形能力, OSR较低时有较大的谐波, 有固定音调存在	具有2阶噪声整形, 能够有效抑制谐波, 没有明显音调行为

将通过先前输入的奇偶性重新选择或跳过反馈单元来打乱单元组合的周期性, 结构简单适合低比特量化。DEM算法尽管可以消除输出频谱中的高阶谐波, 但是DEM算法带来的额外噪声还是会降低调制器的噪声性能。文献[57]提出并研究了失配敏感设计方法。在没有动态元件匹配或校准技术的情况下, 采用7级反馈DAC获得了较好的性能, 但为了获得更高的功效, 可能需要更低的DAC电平。文献[58]采用高效DWA技术, 解决了反馈DAC单元元件之间不匹配造成的非线性问题, 使得每个单元元件的长期使用量近似相等, 产生单位电容失配的1阶噪声整形。此外采用了斩波稳定和自举开关分别降低 $1/f$ 噪声和谐波失真。文献[59]应用比较数据加权平均(Comparative-Data Weighted Average, C-DWA)电路, 通过设置两个寄存器分别存储电容单元的起始和终止位置, 通过随机选择起始位置和电容方向, 打破了带内音调和顺序选择方案的相关性, 实现了2阶噪声整形并能够有效抑制谐波。

3 连续型调制器设计

连续时间调制器工作在连续时间状态下, 在音频应用中调制器可实现更低功耗。但是, CT调制器需要优化过量环路延迟^[60-62]、环路滤波器的时间常数变化^[63-66]、比较器的亚稳定性^[67]、时钟抖动^[68,69]以及元器件的匹配精度低^[70]等问题实现高精度音频应用。基于模拟电路设计的积分器、量化器等随着电源电压的降低减少了用于堆叠晶体管的电压裕量, 并且先进工艺下MOS管本征增益的下降使得模拟电路的设计更具复杂性。相比之下, 数字电路受益于先进工艺和电源电压的降低, 从而提高了速度和功耗。

压控振荡器(Voltage Controlled Oscillator, VCO)与Sigma-Delta调制器的结合^[71-74]成为近年来的重要研究方向。时间编码是传统电压(或电流)编码的新兴替代方案。最常用的构建模块之一是VCO, VCO具有简单、高度数字化和低电压容差的特点, 因此越来越多的用于Sigma-Delta ADC设计中。它与数字电路相结合, 可以用作时域积分器^[75]。VCO也可以用作不同阶噪声整形ADC的第1级或充当传统转换器的量化器^[76]。最后, 各种VCO可以连接在一起构成更复杂的转换器, 具有更高阶的噪声整形功能。

3.1 连续型积分器设计

连续型积分器^[77-80]有多种实现方式, 运放RC积分器在设计为低输出阻抗时, 会严重限制输出摆幅, ADC的步长变小, 使得设计复杂化, 因此OTA-RC积分器^[81]取代了运放RC积分器。理想的OTA是

压控电流源, 其跨导无穷大, 通过深度负反馈使得积分器的输出阻抗为0, 可以驱动其他积分器, 并且摆幅也有了较大的改善。但负反馈的实现使得工作带宽限制为OTA速度的一部分。跨导-电容(Gm-C)积分器^[82]使用开环结构来缓解速度问题, 电压输入通过跨导转换为电流, 在电容上积分产生输出电压。由于积分器的输入阻抗无穷大, 因此级联积分器容易实现。但使用开环技术的线性度有限, 受限于器件特性。使用反馈来线性化跨导器, 降低了工作速度。此外积分器对寄生电容敏感。所以Gm-C积分器考虑速度多于线性度。

近年来, 研究者对低噪声、低功耗的连续型积分器的设计做了大量的研究工作^[77-80]。为了降低连续型积分器的噪声, 文献[77]通过在第1级积分器的虚拟接地点使用负R(negative-R)来减轻, 然后对负R进行斩波, 以消除负R固有的 $1/f$ 噪声, 但这种方法中运放的噪声衰减量取决于负R与等效电阻之间的匹配程度。文献[78]分析了使用两级前馈补偿OTA的OTA-RC积分器中噪声的产生机制, 通过使用有限脉冲响应反馈DAC, 并将其零点置于斩波频率两倍的倍数处, 可以在很大程度上减轻噪声。调制器中的高集成电阻会导致大寄生电容, 进而影响放大器的性能。为了在不使用大积分电阻的情况下提高运放的DC增益, 文献[79]提出了增益增强型全差分放大器和体驱动轨至轨输入共模反馈(Common-Mode FeedBack, CMFB)电路, 这种选择可以确保放大器的稳定性并具有较大的增益。然而, 运算放大器无法对DAC反馈电压的急剧阶跃做出足够快的响应, 导致非线性的产生, 降低了调制器的性能。解决这一问题的传统方法是使用大电流偏置运算放大器, 从而提高运算放大器的带宽和压摆率。文献[80]引入了辅助运算放大器型积分器, 能够显著降低运算放大器虚拟接地节点的摆幅, 改善积分器的非线性, 并且具有较低的静态电流, 节省了功耗。

VCO积分器将信号从电压域转换到时域, 并进行大规模的数字电路化处理, 以适应先进工艺、低压的应用。基于VCO的积分器简单、省电且高度数字化, 有望在先进工艺中取代功耗极高的有源RC积分器。利用理想的电压频率积分, 基于VCO的积分器在直流具有一个极点, 从而减轻传统基于OTA的积分器的有限增益误差。基于VCO的积分器由多个反相器组成。反相器链的每个输出是具有周期性的信号, 使得该反相器链构成环形振荡器。因为周期取决于反向器的电源电压, 所以该电压可以被视为与环形振荡器的输出频率成比例。

当所有反相器的电源节点被连接并被定义为环形振荡器的输入节点时,反相器链结构是压控环形振荡器VCO。图7显示了将VCO作为相位积分器的经典模型,其中 V_{in} 为VCO的输入, K_{VCO} 为VCO增益, f_0 为中心振荡频率, $f(t)$ 为瞬时振荡频率, $\varphi(t)$ 为振荡器的相位,它是对 $f(t)$ 的积分结果。 $w(t)$ 是方波输出信号,使用计数器计算获得 $v(t)$ 。 $v(t)$ 近似为阶梯的输入信号 $V_{in}(t)$ 。

近几年对基于VCO的调制器设计做了大量研究性工作^[83-89]。文献[83]使用VCO作为积分器置于闭环状态,输入到VCO的信号摆幅减小实现了高线性度。同时以两个VCO实现差分形式消除了偶数阶失真并以固有1阶噪声整形解决了DAC器件失配问题。文献[84]提出一种用于MEMS麦克风的基于VCO的无放大器的紧凑型2阶调制器。仅使用振荡器和数字电路,无需运算放大器或其他高线性电路。文献[85]提出了基于VCO的3阶噪声整形,同样没有使用OTA。通过VCO和数字计数器的组合,实现连续时间积分器实现高阶噪声整形性能。文献[86]提出了新的基于VCO的1-1多环多相VCO的电压到相位转换器。第1级的相位量化误差被提取为脉冲信号送到第2级实现了2阶噪声整形功能。文献[87]介绍了一种麦克风读出芯片,其中基于VCO的ADC采用开环伪差分架构,带有两个环形振荡器和一个粗细频率数字转换器。基于VCO的转换器的一个主要缺点是,对于非常大的输入信号,VCO会注入失真,需要非线性校正技术提高VCO线性度。针对VCO带来的非线性问题,文献[88]提出了一种补偿基于开环VCO的ADC失真的技术。通过使用异步开关电容器电路的频率-电流转换器模拟反馈环路,对VCO进行线性化处理。反馈环路依靠VCO增益来线性化ADC,无需额外的放大器。这样就可以使用输入范围较小的环形振荡器来有效地对大信号进行编码。文献[89]提出了一种补偿VCO非线性和相位噪声影响的新方法。通过时变

开关电容器电路,建立了一个纯模拟补偿环路,在这个环路中,抖动时钟和DAC非线性不会造成限制。环路由一个运算放大器闭合,为补偿操作提供增益。

基于VCO的ADC的研究关注点主要在于解决VCO的非线性问题、移除OTA、实现高阶噪声整形以及高度数字化。VCO的非线性问题大多通过缩小VCO的实际输入范围或使VCO工作在两个频率上来解决。

3.2 连续型量化器设计

连续型量化器^[90-92]与离散型量化器设计类似,多采用闪速ADC和SAR量化。通过将ADC嵌入到强负反馈环路中,闪速ADC使用并行操作来实现高速,比较器的阵列输出温度码,随后转换成二进制形式,并形成调制器的输出。

近几年的研究工作是考虑如何选择适合调制器的量化器架构以实现高效^[60,64,68]。文献[60]提出了一种用于音频应用的紧凑型混合连续时间调制器,带有一个共享6位异步SAR量化器。文献[64]提出一个功耗极低的4位闪速量化器和一个高效的过延迟补偿方案。文献[68]使用15级量化器和带有3级电流转向元件的反馈DAC。文献[92]使用一个闪速量化器和两个电流舵DAC。为了最大限度地减少DAC的延迟影响,采用了过度环路延迟补偿。文献[93]提出了新的DWA算法,适用于音频应用。与传统的DWA相比,所提出的方法在DWA中随机添加一个指针地址,以减少失真音调,并提高无杂散动态范围和信噪比与SNDR的性能。为了降低量化器的功耗,基于VCO的量化器也引起了广泛关注^[94,95]。文献[94]提出了利用VCO作为量化器主要单元的方案,计数器检测VCO输出相位的变化,以此对输入电压进行量化,有效地简化了量化器的结构。基于VCO的量化器因为VCO输出相位是其控制电压的一个积分,所以VCO的量化相位输出的微分对于量化VCO的控制电压是必要的。对于量化器和微分器的实现,最直接的方法是计算每个采样周期内VCO输出的边沿数,如图8所示。这种基于边沿计数的量化将相位信息转换为数字输出。每次主时钟的上升沿过去,都会触发计数器和寄存器清零,相当于数字域的1次差分运算。基于边缘计数的量化器还通过有效地减去先前量化的VCO相位,在复位期间执行1阶微分。采样计数与VCO的振荡频率成比例,因此与输入信号成比例。因此,这种电压-频率-数字量化称为V-F量化。文献[95]对VCO量化器进行了改良。相比于文献[94],VCO输出端不再连接到计数器而是连接到了利用D触发器

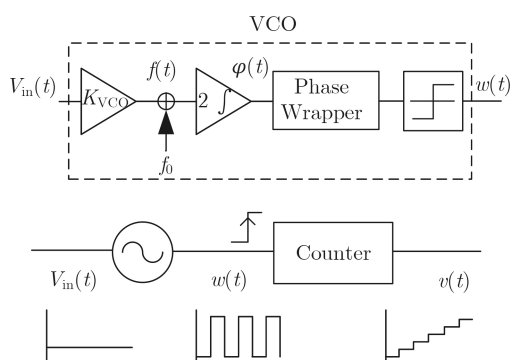


图7 VCO作为相位积分器的经典模型

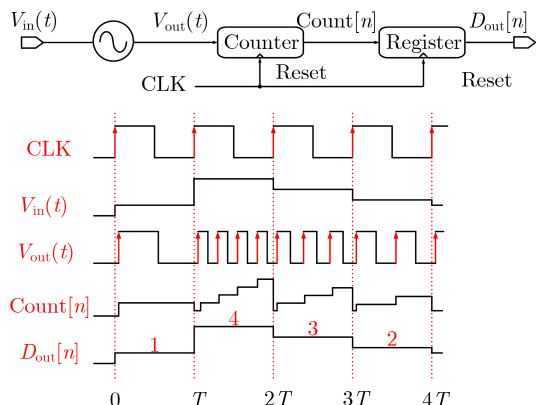


图8 基于计数器的VCO量化器

与异或门构成了数字减法器，因此不仅输出量化噪声得到了1阶整形的效果，而且采用该结构相当于在电路中对反馈DAC进行了数字校准。

利用环形VCO固有的多级量化，基准产生和比较器设计要求都放宽了。此外，基于VCO的量化器仅由数字逻辑门组成，具有缩放友好性和高效率。因此，基于VCO的ADC的性能会随着CMOS缩放比例自然提高。

由于VCO量化器的应用同时达到了提高 Σ - Δ ADC的阶数以及提高量化器位数的效果，VCO量化器在CT型 Σ - Δ ADC中的应用也越来越广泛。

3.3 连续型反馈DAC设计

负反馈系统的闭环传递函数与反馈模块的特性息息相关。连续时间调制器的带内SNDR受到反馈DAC的噪声和线性度的严重影响。连续型DAC^[96-98]的实现方式多样：电阻式DAC^[99]、归零DAC、返回打开DAC^[90]、电流舵DAC^[100]和开关电容DAC^[101]。对于OTA-RC实现的积分器，以 M 步量化器输出的 M 位温度计码对应驱动以一对电阻组成的差分DAC单元，产生不归零(Non-Return to Zero, NRZ)脉冲形状。对于给定的满量程电流，电阻DAC可以增加最小的热噪声，此外还比较节能。缺点是会导致OTA周围的环路增益降低，积分器的线性度降低。在音频设计中，电阻尺寸过大导致电阻的分布式寄生电容过大，过量环路延迟增加。由NRZ反馈波形的上升和下降时间之间的差异引起的动态非线性：符号间干扰(Inter-Symbol Interference, ISI)^[102]，根本原因是DAC上拉和下拉开关的电阻和时序不匹配。由NRZ DAC相关的ISI问题是使用归零(Return to Zero, RZ)DAC的动机。带来的问题是对OTA线性度、热噪声或折中的混叠抑制的需求增加。电流舵DAC的开关比电阻DAC中的开关小得多，缺点是需要管理开关的栅极驱动电压。相比电阻DAC，电流舵DAC中由开

关失配引起的静态误差被电流源的高阻抗衰减。开关电容DAC降低了对时钟抖动的灵敏度，具有指数衰减的脉冲形状，实现良好抖动抗扰度的代价是具有大峰值的反馈电流需要具有高线性的OTA。带有开关电容反馈的CT调制器降低了抗混叠能力。单比特量化器的时钟抖动以及轨到轨反馈波形导致的输入积分器非线性会降低传统CT调制器的性能。幸运的是，使用有限脉冲响应(Finite Impulse Response, FIR)反馈可以解决这些问题。

使用FIR DAC^[103,104]的单比特连续时间调制器继承了单比特和多比特设计的优点，而没有两种方法的缺点。FIR DAC反馈的CT调制器结构如图9所示，这种方法背后的思想如下：在激励主反馈DAC之前，ADC的单位输出由传递函数为 $F(z)$ 的FIR滤波器滤波。由于FIR滤波器的高频衰减，DAC输出是多电平波形，就像多位量化器一样。FIR-DAC方法具有较低的时钟抖动灵敏度，并降低了环路滤波器的线性度要求，调制器的抖动容差和线性度得到改善。事实证明，FIR反馈也有利于在CT调制器的输入级使用斩波，从而减轻闪烁噪声^[105]问题。FIR反馈提出了几个设计挑战。由于反馈波形的延迟特性，调制器需要小心稳定，以恢复噪声传递函数(Noise Transfer Function, NTF)。与基于FIR滤波器的连续时间过采样转换器特别相关的一个问题是，面对环路中的时间常数变化^[106]，环路补偿的鲁棒性如何。反馈DAC波形的上升和下降不对称性会导致符号间干扰，表现为偶数阶失真和高输入幅度时带内噪底升高。在设计阶段，对于这样的高分辨率调制器，必须考虑这一点。

4 展望

本文对高精度音频Sigma-Delta调制器的离散型设计、连续型设计的研究现状进行了分析，对未来调制器的设计做出以下3点展望：

(1)DT调制器设计的主要问题是功耗较大，而功耗主要由第1级积分器贡献。相对传统OTA，基于新型运放如反相器或动态放大器组成的开关电容

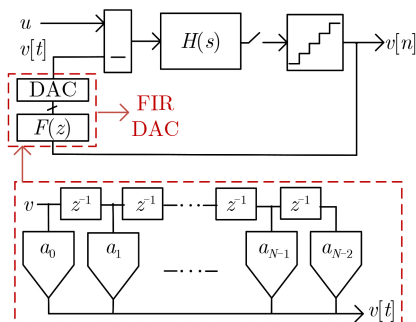


图9 FIR DAC技术的反馈DAC架构

积分器是降低功耗实现高性能ADC主要的探索方向。DT调制器的多位量化器和DAC设计面临着面积大、匹配性差等问题,研究新型量化器和便捷的DAC校准技术也是实现高精度的重要途径。

(2)CT调制器设计的主要问题是环路延迟、环路滤波器的时间常数变化、时钟抖动等非理想性带来的稳定性问题。即使调制器稳定,过量延迟也会减小稳定的输入范围。然而这可以通过调整环路滤波器的系数并在量化器周围添加一条直接路径解决。对于环路滤波器中的时间常数变化可以通过RC调谐环路解决,而时钟抖动带来的影响可以通过NRZ DAC脉冲或者FIR反馈很好地解决。

(3)21世纪开始,基于VCO的Sigma-Delta ADC从技术升级中获益匪浅,并已成为高效应用中最受欢迎的Sigma-Delta ADC架构之一。未来基于VCO的Sigma-Delta ADC必将往高度数字化、速度更高和低功耗的方向发展,同时解决VCO的非线性和实现高阶噪声整形是设计者面临的主要难题。因此,未来的主要研究热点是对于VCO的非理想性进行改善,从而实现高效、易扩展的基于VCO的Sigma-Delta ADC。

参考文献

- [1] INOSE H, YASUDA Y, and MURAKAMI J. A telemetering system by code modulation Δ - Σ modulation[J]. *IRE Transactions on Space Electronics and Telemetry*, 1962, SET-8(3): 204–209. doi: [10.1109/IRET-SET.1962.5008839](https://doi.org/10.1109/IRET-SET.1962.5008839).
- [2] 郝志刚, 杨海钢, 张翀, 等. 一种改进的适用于Sigma-Delta ADC的数字抽取滤波器[J]. *电子与信息学报*, 2010, 32(4): 1012–1016. doi: [10.3724/SP.J.1146.2009.00247](https://doi.org/10.3724/SP.J.1146.2009.00247).
HAO Zhigang, YANG Haigang, ZHANG Chong, *et al.* An improved digital decimation filter for Sigma-Delta ADC[J]. *Journal of Electronics & Information Technology*, 2010, 32(4): 1012–1016. doi: [10.3724/SP.J.1146.2009.00247](https://doi.org/10.3724/SP.J.1146.2009.00247).
- [3] KUMAR R S A and KRISHNAPURA N. Multi-channel analog-to-digital conversion using a delta-sigma modulator without reset and a modulated-sinc-sum filter[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022, 69(1): 186–195. doi: [10.1109/TCSI.2021.3094679](https://doi.org/10.1109/TCSI.2021.3094679).
- [4] SAEED M A, KUMAR M, UMAPATHI B, *et al.* Optimization of slew mitigation capacitor in passive charge compensation-based delta-sigma modulator[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(6): 1821–1825. doi: [10.1109/TCSII.2023.3234909](https://doi.org/10.1109/TCSII.2023.3234909).
- [5] PARK H, NAM K Y, SU D K, *et al.* A 0.7-V 870- μ W digital-audio CMOS sigma-delta modulator[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(4): 1078–1088. doi: [10.1109/JSSC.2009.2014708](https://doi.org/10.1109/JSSC.2009.2014708).
- [6] WANG Yanchao, DEY S, HE Tao, *et al.* A hybrid continuous-time incremental and SAR two-step ADC with 90.5-dB DR over 1-MHz BW[J]. *IEEE Solid-State Circuits Letters*, 2022, 5: 122–125. doi: [10.1109/LSSC.2022.3172395](https://doi.org/10.1109/LSSC.2022.3172395).
- [7] LIU Qilong, BREEMS L J, BAJORIA S, *et al.* A 158-mW 360-MHz BW 68-dB DR continuous-time 1-1-1 filtering MASH ADC in 40-nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(12): 3781–3793. doi: [10.1109/JSSC.2022.3204871](https://doi.org/10.1109/JSSC.2022.3204871).
- [8] DALLA LONGA M, CONZATTI F, HOFMANN T, *et al.* An intrinsically linear 13-level capacitive DAC for delta sigma modulators[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(4): 1291–1295. doi: [10.1109/TCSII.2022.3224878](https://doi.org/10.1109/TCSII.2022.3224878).
- [9] MENG Lingxin, CHEN Junsheng, ZHAO Menglian, *et al.* An 18.2 μ W 101.1dB DR fully-dynamic $\Delta\Sigma$ ADC with partially-feedback noise-shaping quantizer and CLS-embedded two-stage FIAs[C]. 2023-IEEE 49th European Solid State Circuits Conference, Lisbon, Portugal, 2023: 393–396. doi: [10.1109/ESSCIRC59616.2023.10268800](https://doi.org/10.1109/ESSCIRC59616.2023.10268800).
- [10] WANG Hetong, ZHENG Zhongxu, and PUN K P. A 13-level SC DAC achieving high linearity with a simple DEM for wideband CT DSMs[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(8): 2754–2758. doi: [10.1109/TCSII.2023.3246031](https://doi.org/10.1109/TCSII.2023.3246031).
- [11] TAN Dayong, ZOU Yang, ZHONG Linsheng, *et al.* A novel structure optimizer based on heuristic search for delta-sigma modulator in mobile fronthaul[J]. *IEEE Photonics Technology Letters*, 2022, 34(21): 1131–1134. doi: [10.1109/LPT.2022.3204605](https://doi.org/10.1109/LPT.2022.3204605).
- [12] 段权珍, 谢鹏, 孟真, 等. 一种开关电容过采样delta-sigma调制器电路[P]. 中国, 112187281A, 2021.
DUAN Quanzhen, XIE Peng, MENG Zhen, *et al.* Switched capacitor oversampling delta-sigma modulator circuit[P]. CN, 112187281A, 2021.
- [13] KIM J, SHIN H, NA S, *et al.* A 860.8-nW low-power continuous-time delta-sigma modulator with switched resistors for sensor applications[C]. 2023 IEEE International Symposium on Circuits and Systems, Monterey, USA, 2023: 1–5. doi: [10.1109/ISCAS46773.2023.10181932](https://doi.org/10.1109/ISCAS46773.2023.10181932).
- [14] SOMAPPA L and BAGHINI M S. Continuous-time hybrid $\Delta\Sigma$ modulators for sub- μ W power multichannel biomedical applications[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2022, 30(4): 406–417. doi: [10.1109/TVLSI.2022.3140222](https://doi.org/10.1109/TVLSI.2022.3140222).
- [15] MOKHTAR M A, ABDELAAL A, SPORER M, *et al.* A 0.9-V DAC-calibration-free continuous-time incremental

- delta-sigma modulator achieving 97-dB SFDR at 2 MS/s in 28-nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(11): 3407–3417. doi: [10.1109/JSSC.2022.3160325](https://doi.org/10.1109/JSSC.2022.3160325).
- [16] KIM M G, AHN G C, HANUMOLU P K, *et al.* A 0.9 V 92 dB double-sampled switched-RC delta-sigma audio ADC[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(5): 1195–1206. doi: [10.1109/JSSC.2008.920329](https://doi.org/10.1109/JSSC.2008.920329).
- [17] PAVAN S, SCHREIER R, and TEMES G C. Understanding Delta-Sigma Data Converters[M]. 2nd ed. Hoboken: John Wiley & Sons, 2017: 39–50. doi: [10.1002/9781119258308](https://doi.org/10.1002/9781119258308).
- [18] MOUNIKA P, PU Y G, and LEE K Y. A 1.4mW sigma delta ADC with configurable filter for sensor applications[C]. 2023 Fourteenth International Conference on Ubiquitous and Future Networks, Paris, France, 2023: 697–699. doi: [10.1109/ICUFN57995.2023.10200609](https://doi.org/10.1109/ICUFN57995.2023.10200609).
- [19] LEE S, JO W, SONG S, *et al.* A 300- μ W audio $\Delta\Sigma$ modulator with 100.5-dB DR using dynamic bias inverter[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2016, 63(11): 1866–1875. doi: [10.1109/TCSI.2016.2598734](https://doi.org/10.1109/TCSI.2016.2598734).
- [20] MA Song, LIU Liyuan, FANG Tong, *et al.* A discrete-time audio $\Delta\Sigma$ modulator using dynamic amplifier with speed enhancement and flicker noise reduction techniques[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(2): 333–343. doi: [10.1109/JSSC.2019.2941540](https://doi.org/10.1109/JSSC.2019.2941540).
- [21] SHIM J, HONG S K, and KWON O K. A low-power second-order double-sampling delta-sigma modulator for audio applications[C]. The 18th IEEE International Symposium on Consumer Electronics, Jeju, Korea (South), 2014: 1–2. doi: [10.1109/ISCE.2014.6884465](https://doi.org/10.1109/ISCE.2014.6884465).
- [22] WANG Yongsheng, JI Houchen, WANG Hongyin, *et al.* 116dB SFDR delta-sigma modulator with a novel GM-boost OPAMP for audio application[C]. 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Guilin, China, 2014: 1–3. doi: [10.1109/ICSICT.2014.7021198](https://doi.org/10.1109/ICSICT.2014.7021198).
- [23] ZHANG Beichen, DOU Runjiang, LIU Liyuan, *et al.* A 91.2dB SNDR 66.2fJ/conv. dynamic amplifier based 24kHz $\Delta\Sigma$ modulator[C]. 2016 IEEE Asian Solid-State Circuits Conference, Toyama, Japan, 2016: 317–320. doi: [10.1109/ASSCC.2016.7844199](https://doi.org/10.1109/ASSCC.2016.7844199).
- [24] CHAE Y and HAN G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(2): 458–472. doi: [10.1109/JSSC.2008.2010973](https://doi.org/10.1109/JSSC.2008.2010973).
- [25] LUO Hao, HAN Yan, CHEUNG R C C, *et al.* A 0.8-V 230- μ W 98-dB DR inverter-based $\Delta\Sigma$ modulator for audio applications[J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(10): 2430–2441. doi: [10.1109/JSSC.2013.2275659](https://doi.org/10.1109/JSSC.2013.2275659).
- [26] CHRISTEN T. A 15-bit 140- μ W scalable-bandwidth inverter-based $\Delta\Sigma$ modulator for a MEMS microphone with digital output[J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(7): 1605–1614. doi: [10.1109/JSSC.2013.2253232](https://doi.org/10.1109/JSSC.2013.2253232).
- [27] MICHEL F and STEYAERT M S J. A 250 mV 7.5 μ W 61 dB SNDR SC $\Delta\Sigma$ modulator using near-threshold-voltage-biased inverter amplifiers in 130 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(3): 709–721. doi: [10.1109/JSSC.2011.2179732](https://doi.org/10.1109/JSSC.2011.2179732).
- [28] STEINER M and GREER N. 15.8 A 22.3b 1kHz 12.7mW switched-capacitor $\Delta\Sigma$ modulator with stacked split-steering amplifiers[C]. 2016 IEEE International Solid-State Circuits Conference, San Francisco, USA, 2016: 284–286. doi: [10.1109/ISSCC.2016.7418018](https://doi.org/10.1109/ISSCC.2016.7418018).
- [29] 刘术彬, 沈愉轲, 韩昊霖, 等. 一种24位低失真Sigma-Delta模数转换器[P]. 中国, 113315522B, 2023.
- LIU Shubin, SHEN Yuke, HAN Haolin, *et al.* 24-bit low-distortion Sigma-Delta analog-to-digital converter[P]. CN, 113315522B, 2023.
- [30] 顾昊然. 高性能Sigma-Delta调制器的设计与研究[D]. [硕士学位论文], 电子科技大学, 2023. doi: [10.27005/d.cnki.gdzku.2023.004361](https://doi.org/10.27005/d.cnki.gdzku.2023.004361).
- GU Haoran. Research and design of high performance sigma-delta modulator[D]. [Master dissertation], University of Electronic Science and Technology of China, 2023. doi: [10.27005/d.cnki.gdzku.2023.004361](https://doi.org/10.27005/d.cnki.gdzku.2023.004361).
- [31] BONCU M, PANA S, DRAGHICI F, *et al.* A second order discrete-time ΔA analog to digital converter for audio applications[C]. 2022 International Semiconductor Conference (CAS), Poiana Brasov, Romania, 2022: 209–212. doi: [10.1109/CAS56377.2022.9934665](https://doi.org/10.1109/CAS56377.2022.9934665).
- [32] KANG K, ROH J, CHOI Y, *et al.* Class-D audio amplifier using 1-bit fourth-order delta-sigma modulation[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2008, 55(8): 728–732. doi: [10.1109/TCSII.2008.922457](https://doi.org/10.1109/TCSII.2008.922457).
- [33] FUJIMOTO Y, RE P L, and MIYAMOTO M. A delta-sigma modulator for a 1-bit digital switching amplifier[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(9): 1865–1871. doi: [10.1109/JSSC.2005.848145](https://doi.org/10.1109/JSSC.2005.848145).
- [34] VARONA J, VELAZQUEZ R, and TORRES M T. Design of baseband digital delta-sigma modulators in 180nm CMOS[J]. *IEEE Latin America Transactions*, 2015, 13(5): 1272–1278. doi: [10.1109/TLA.2015.7111979](https://doi.org/10.1109/TLA.2015.7111979).
- [35] AHN G C, CHANG D Y, BROWN M E, *et al.* A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(12): 2398–2407. doi: [10.1109/JSSC.2005.856286](https://doi.org/10.1109/JSSC.2005.856286).

- [36] YANG Yuqing, SCULLEY T, and ABRAHAM J. A single-die 124 dB stereo audio delta-sigma ADC with 111 dB THD[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(7): 1657–1665. doi: [10.1109/JSSC.2008.923731](https://doi.org/10.1109/JSSC.2008.923731).
- [37] LIU Liyuan, LI Dongmei, CHEN Liangdong, *et al.* A 1-V 15-bit audio $\Delta\Sigma$ -ADC in 0.18 μm CMOS[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, 59(5): 915–925. doi: [10.1109/TCSI.2012.2188949](https://doi.org/10.1109/TCSI.2012.2188949).
- [38] CHO J S, RHEE J, KIM S, *et al.* A 1.2-V 108.9-dB A-weighted DR 101.4-dB SNDR audio $\Delta\Sigma$ ADC using a multi-rate noise-shaping quantizer[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2018, 65(10): 1315–1319. doi: [10.1109/TCSII.2018.2853189](https://doi.org/10.1109/TCSII.2018.2853189).
- [39] GARVI R and PREFASI E. A novel multi-bit sigma-delta modulator using an integrating SAR noise-shaped quantizer[C]. 2018 25th IEEE International Conference on Electronics, Circuits and Systems, Bordeaux, France, 2018: 809–812. doi: [10.1109/ICECS.2018.8617956](https://doi.org/10.1109/ICECS.2018.8617956).
- [40] YAGHOUBI M, SABERI M, and LOTFI R. A 0.7-V 400- μW 16-bit audio sigma-delta modulator with a modified tracking quantizer[C]. 2016 24th Iranian Conference on Electrical Engineering, Shiraz, Iran, 2016: 1336–1341. doi: [10.1109/IranianCEE.2016.7585728](https://doi.org/10.1109/IranianCEE.2016.7585728).
- [41] WANG Zhengyu, ZHENG T H, LU Dongtian, *et al.* Configurable incremental sigma-delta ADC for DC measure and audio conversion[C]. 2014 Custom Integrated Circuits Conference, San Jose, USA, 2014: 1–4. doi: [10.1109/CICC.2014.6946081](https://doi.org/10.1109/CICC.2014.6946081).
- [42] EL-CHAMMAS M and MURMANN B. A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration[J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(4): 838–847. doi: [10.1109/JSSC.2011.2108125](https://doi.org/10.1109/JSSC.2011.2108125).
- [43] RAZAVI B. The StrongARM latch [a circuit for all seasons][J]. *IEEE Solid-State Circuits Magazine*, 2015, 7(2): 12–17. doi: [10.1109/MSSC.2015.2418155](https://doi.org/10.1109/MSSC.2015.2418155).
- [44] TANG Xiyuan, LIU Jiabin, SHEN Yi, *et al.* Low-power SAR ADC design: Overview and survey of state-of-the-art techniques[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022, 69(6): 2249–2262. doi: [10.1109/TCSI.2022.3166792](https://doi.org/10.1109/TCSI.2022.3166792).
- [45] WOO S and CHO J K. A switched-capacitor filter with reduced sensitivity to reference noise for audio-band sigma-delta D/A converters[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2016, 63(4): 361–365. doi: [10.1109/TCSII.2015.2503714](https://doi.org/10.1109/TCSII.2015.2503714).
- [46] QURESHI W A, SALIMATH A, BOTTI E, *et al.* An incremental- $\Delta\Sigma$ ADC with 106-dB DR for reconfigurable Class-D audio amplifiers[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(3): 929–933. doi: [10.1109/TCSII.2021.3130426](https://doi.org/10.1109/TCSII.2021.3130426).
- [47] YANG Zhenglin, YAO Libin, and LIAN Yong. A 0.5-V 35- μW 85-dB DR double-sampled $\Delta\Sigma$ modulator for audio applications[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(3): 722–735. doi: [10.1109/JSSC.2011.2181677](https://doi.org/10.1109/JSSC.2011.2181677).
- [48] LEE K, MENG Qingdong, SUGIMOTO T, *et al.* A 0.8 V, 2.6 mW, 88 dB dual-channel audio delta-sigma D/A converter with headphone driver[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(3): 916–927. doi: [10.1109/JSSC.2008.2012362](https://doi.org/10.1109/JSSC.2008.2012362).
- [49] LIU Yuyu, GAO Jun, and YANG Xiaodong. 24-bit low-power low-cost digital audio sigma-delta DAC[J]. *Tsinghua Science and Technology*, 2011, 16(1): 74–82. doi: [10.1016/S1007-0214\(11\)70012-8](https://doi.org/10.1016/S1007-0214(11)70012-8).
- [50] THIRUNAKKARASU S and BAKKALOGLU B. Built-in self-calibration and digital-trim technique for 14-bit SAR ADCs achieving ± 1 LSB INL[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2015, 23(5): 916–925. doi: [10.1109/TVLSI.2014.2321761](https://doi.org/10.1109/TVLSI.2014.2321761).
- [51] NASIRI H, LI Cheng, and ZHANG Lihong. Ultra-low power SAR ADC using statistical characteristics of low-activity signals[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2022, 30(9): 1319–1331. doi: [10.1109/TVLSI.2022.3187659](https://doi.org/10.1109/TVLSI.2022.3187659).
- [52] JABBOUR C, FAKHOURY H, NGUYEN V T, *et al.* Delay-reduction technique for DWA algorithms[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(10): 733–737. doi: [10.1109/TCSII.2014.2335437](https://doi.org/10.1109/TCSII.2014.2335437).
- [53] 曹天霖. 高性能带通 $\Sigma\Delta$ 模数转换器芯片研究与实现[D]. [博士学位论文], 浙江大学, 2017: 51–55.
- CAO Tianlin. A high-performance band-pass sigma delta analog-to-digital converter[D]. [Ph. D. dissertation], Zhejiang University, 2017: 51–55.
- [54] ROYCHOWDHURY S and SEN S. Verilog modeling of 24 bit stereo DAC using multibit SDM[C]. 2020 IEEE VLSI Device Circuit and System, Kolkata, India, 2020: 1–6. doi: [10.1109/VLSIDCS47293.2020.9179880](https://doi.org/10.1109/VLSIDCS47293.2020.9179880).
- [55] RISBO L, HEZAR R, KELLECI B, *et al.* Digital approaches to ISI-mitigation in high-resolution oversampled multi-level D/A converters[J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(12): 2892–2903. doi: [10.1109/JSSC.2011.2164965](https://doi.org/10.1109/JSSC.2011.2164965).
- [56] HUANG Zhongyi, ZHAO Menglian, YANG Xiaolin, *et al.* A 3.86mW 106.4dB SNDR delta-sigma modulator based on switched-opamp for audio codec[C]. 2014 IEEE 57th International Midwest Symposium on Circuits and Systems, College Station, USA, 2014: 761–764. doi: [10.1109/MWSCAS.2014.6908526](https://doi.org/10.1109/MWSCAS.2014.6908526).
- [57] GEORGE S S, SONG Yu, and IGNJATOVIC Z. A 94-dB

- SFDR multi-bit audio-band delta-sigma converter with DAC nonlinearity suppression[C]. 2015 IEEE International Symposium on Circuits and Systems, Lisbon, Portugal, 2015: 2041–2044. doi: [10.1109/ISCAS.2015.7169078](https://doi.org/10.1109/ISCAS.2015.7169078).
- [58] TANG Yuxiang, CHEN Xiaofei, and ZHU Hongbo. A 108-dB SNDR 2–1 MASH $\Delta\Sigma$ modulator with first-stage multibit for audio application[C]. 2018 IEEE 3rd International Conference on Integrated Circuits and Microsystems, Shanghai, China, 2018: 336–340. doi: [10.1109/ICAM.2018.8596380](https://doi.org/10.1109/ICAM.2018.8596380).
- [59] CHEN Chengying and ZHANG Feng. A 1-V, 82-dB SNR analog front-end with peak-statistics and comparative-DWA algorithm[C]. 2019 IEEE International Symposium on Circuits and Systems, Sapporo, Japan, 2019: 1–4. doi: [10.1109/ISCAS.2019.8702486](https://doi.org/10.1109/ISCAS.2019.8702486).
- [60] WANG T C, LIN Y H, and LIU Chuncheng. A 0.022 mm² 98.5 dB SNDR hybrid audio $\Delta\Sigma$ modulator with digital ELD compensation in 28 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(11): 2655–2664. doi: [10.1109/JSSC.2015.2453953](https://doi.org/10.1109/JSSC.2015.2453953).
- [61] LOZADA K E, JANG I H, BAE G J, *et al.* A 4th-order continuous-time delta-sigma modulator with hybrid noise-coupling[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(9): 3635–3639. doi: [10.1109/TCSII.2022.3182406](https://doi.org/10.1109/TCSII.2022.3182406).
- [62] 吴凯凯, 王红义, 陈晨, 等. 环路延迟补偿电路及Sigma-Delta模数转换器[P]. 中国, 113328754B, 2022.
WU Kaikai, WANG Hongyi, CHEN Chen, *et al.* Loop delay compensation circuit and Sigma-Delta analog-to-digital converter[P]. CN, 113328754B, 2022.
- [63] DRIEMEYER B, MANDRY H, WIENS D P, *et al.* PUF-entropy extraction of DAC intersymbol-interference using continuous-time delta-sigma ADCs[C]. 2022 29th IEEE International Conference on Electronics, Circuits and Systems, Glasgow, United Kingdom, 2022: 1–4. doi: [10.1109/ICECS202256217.2022.9971072](https://doi.org/10.1109/ICECS202256217.2022.9971072).
- [64] PAVAN S, KRISHNAPURA N, PANDARINATHAN R, *et al.* A power optimized continuous-time $\Delta\Sigma$ ADC for audio applications[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(2): 351–360. doi: [10.1109/JSSC.2007.914263](https://doi.org/10.1109/JSSC.2007.914263).
- [65] WAGNER J, MOKHTAR M A, and ORTMANN M. Automated design of sigma-delta modulators with FIR feedback[C]. 2022 IEEE International Symposium on Circuits and Systems, Austin, USA, 2022: 571–575. doi: [10.1109/ISCAS48785.2022.9937222](https://doi.org/10.1109/ISCAS48785.2022.9937222).
- [66] ZHU Shengling, CHEN Lei, and SU Jie. Digital calibration technique based AC injection for continuous-time sigma-delta converters[J]. *Electronics Letters*, 2023, 59(19): e12960. doi: [10.1049/ell2.12960](https://doi.org/10.1049/ell2.12960).
- [67] ZHANG Hao, SHEN Linxiao, ZHANG Shichuang, *et al.* A 77 μ W 115dB-Dynamic-range 586fA-sensitivity current-domain continuous-time zoom ADC with pulse-width-modulated resistor DAC and background offset compensation scheme[C]. 2022 IEEE Custom Integrated Circuits Conference, Newport Beach, USA, 2022: 1–2. doi: [10.1109/CICC53496.2022.9772794](https://doi.org/10.1109/CICC53496.2022.9772794).
- [68] DE BERTI C, MALCOVATI P, CRESPI L, *et al.* A 106 dB a-weighted DR low-power continuous-time $\Sigma\Delta$ modulator for MEMS microphones[J]. *IEEE Journal of Solid-State Circuits*, 2016, 51(7): 1607–1618. doi: [10.1109/JSSC.2016.2540811](https://doi.org/10.1109/JSSC.2016.2540811).
- [69] CHAE Y. Low-power continuous-time delta-sigma ADCs[C]. 2022 International Symposium on VLSI Design, Automation and Test (VLSI-DAT), Hsinchu, China, 2022: 1. doi: [10.1109/VLSI-DAT54769.2022.9768088](https://doi.org/10.1109/VLSI-DAT54769.2022.9768088).
- [70] BAL A, GUPTA S, and SINGH R. A real time multi-bit DAC mismatch estimation & correction technique for wideband continuous time sigma delta modulators[C]. 2022 35th International Conference on VLSI Design and 21st International Conference on Embedded Systems, Bangalore, India, 2022: 39–43. doi: [10.1109/VLSID.2022.2022.00020](https://doi.org/10.1109/VLSID.2022.2022.00020).
- [71] LIU Huaiyu, GUO Tongtong, YAN Peng, *et al.* A hybrid 1st/2nd-order VCO-based CTDSM with rail-to-rail artifact tolerance for bidirectional neural interface[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(6): 2682–2686. doi: [10.1109/TCSII.2022.3153786](https://doi.org/10.1109/TCSII.2022.3153786).
- [72] LIU Huaiyu, QI Liang, WANG Guoxing, *et al.* A VCO-based CTDSM with integrated phase error correction for neural interface[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(10): 4018–4022. doi: [10.1109/TCSII.2022.3186788](https://doi.org/10.1109/TCSII.2022.3186788).
- [73] ZHONG Yi and SUN Nan. A survey of voltage-controlled-oscillator-based $\Delta\Sigma$ ADCs[J]. *Tsinghua Science and Technology*, 2022, 27(3): 472–480. doi: [10.26599/TST.2021.9010037](https://doi.org/10.26599/TST.2021.9010037).
- [74] POCHE C and HALL D A. A pseudo-virtual ground feedforwarding technique enabling linearization and higher order noise shaping in VCO-based $\Delta\Sigma$ modulators[J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(12): 3746–3756. doi: [10.1109/JSSC.2022.3202040](https://doi.org/10.1109/JSSC.2022.3202040).
- [75] PARK J H, CHA J H, PARK Y, *et al.* A VCO-based 2nd-order $\Delta^2\text{-}\Delta\Sigma$ modulator for small-size high energy-efficient current sensing front-end[J]. *IEEE Solid-State Circuits Letters*, 2023, 6: 93–96. doi: [10.1109/LSSC.2023.3264499](https://doi.org/10.1109/LSSC.2023.3264499).
- [76] GUO Yuekang, JIN Jing, LIU Xiaoming, *et al.* An 18.1 mW 50 MHz-BW 76.4 dB-SNDR CTSDM with PVT-robust VCO quantizer and latency-free background-

- calibrated DAC[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022, 69(12): 4787–4798. doi: [10.1109/TCSI.2022.3192465](https://doi.org/10.1109/TCSI.2022.3192465).
- [77] JANG M, LEE C, and CHAE Y. A 134- μ W 99.4-dB SNDR audio continuous-time delta-sigma modulator with chopped negative-R and tri-level FIR-DAC[J]. *IEEE Journal of Solid-State Circuits*, 2021, 56(6): 1761–1771. doi: [10.1109/JSSC.2020.3032152](https://doi.org/10.1109/JSSC.2020.3032152).
- [78] BILLA S, SUKUMARAN A, and PAVAN S. Analysis and design of continuous-time delta-sigma converters incorporating chopping[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(9): 2350–2361. doi: [10.1109/JSSC.2017.2717937](https://doi.org/10.1109/JSSC.2017.2717937).
- [79] ZHANG Jinghua, LIAN Yong, YAO Libin, *et al.* A 0.6-V 82-dB 28.6- μ W continuous-time audio delta-sigma modulator[J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(10): 2326–2335. doi: [10.1109/JSSC.2011.2161212](https://doi.org/10.1109/JSSC.2011.2161212).
- [80] PAVAN S and SANKAR P. Power reduction in continuous-time delta-sigma modulators using the assisted opamp technique[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(7): 1365–1379. doi: [10.1109/JSSC.2010.2048082](https://doi.org/10.1109/JSSC.2010.2048082).
- [81] DONIDA A, CELLIER R, NAGARI A, *et al.* A 40-nm CMOS, 1.1-V, 101-dB dynamic-range, 1.7-mW continuous-time $\Sigma\Delta$ ADC for a digital closed-loop Class-D amplifier[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(3): 645–653. doi: [10.1109/TCSI.2014.2373971](https://doi.org/10.1109/TCSI.2014.2373971).
- [82] AHMED I, CHERRY J, HASAN A, *et al.* A low-power Gm-C-based CT- $\Delta\Sigma$ audio-band ADC in 1.1V 65nm CMOS[C]. 2015 Symposium on VLSI Circuits, Kyoto, Japan, 2015: C294–C295. doi: [10.1109/VLSIC.2015.7231296](https://doi.org/10.1109/VLSIC.2015.7231296).
- [83] LEE K, YOON Y, and SUN Nan. A scaling-friendly low-power small-area $\Delta\Sigma$ ADC with VCO-based integrator and intrinsic mismatch shaping capability[J]. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2015, 5(4): 561–573. doi: [10.1109/JETCAS.2015.2502166](https://doi.org/10.1109/JETCAS.2015.2502166).
- [84] CARDES F, GUTIERREZ E, QUINTERO A, *et al.* 0.04-mm² 103-dB-A dynamic range second-order VCO-based audio $\Sigma\Delta$ ADC in 0.13- μ m CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(6): 1731–1742. doi: [10.1109/JSSC.2018.2799938](https://doi.org/10.1109/JSSC.2018.2799938).
- [85] ZHONG Yi, LI Shaolan, SANYAL A, *et al.* A second-order purely VCO-based CT $\Delta\Sigma$ ADC using a modified DPLL in 40-nm CMOS[C]. 2018 IEEE Asian Solid-State Circuits Conference, Tainan, China, 2018: 93–94. doi: [10.1109/ASSCC.2018.8579255](https://doi.org/10.1109/ASSCC.2018.8579255).
- [86] MAGHAMI H, PAYANDEHNIYA P, MIRZAIE H, *et al.* A highly linear OTA-less 1-1 MASH VCO-based $\Delta\Sigma$ ADC with an efficient phase quantization noise extraction technique[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(3): 706–718. doi: [10.1109/JSSC.2019.2954764](https://doi.org/10.1109/JSSC.2019.2954764).
- [87] PEREZ C, GARVI R, LOPEZ G, *et al.* A VCO-based ADC with direct connection to a microphone MEMS, 80-dB peak SNDR and 438- μ W power consumption[J]. *IEEE Sensors Journal*, 2023, 23(8): 8466–8477. doi: [10.1109/JSEN.2023.3244663](https://doi.org/10.1109/JSEN.2023.3244663).
- [88] GARVI R, GRANIZO J, GUTIERREZ E, *et al.* A VCO-ADC linearized by a capacitive frequency-to-current converter[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(6): 1841–1845. doi: [10.1109/TCSII.2023.3236760](https://doi.org/10.1109/TCSII.2023.3236760).
- [89] GARVI R, ALVERO-GONZALEZ L M, PEREZ C, *et al.* VCO-ADC linearization by switched capacitor frequency-to-current conversion[C]. 2020 IEEE International Symposium on Circuits and Systems, Seville, Spain, 2020: 1–5. doi: [10.1109/ISCAS45731.2020.9180397](https://doi.org/10.1109/ISCAS45731.2020.9180397).
- [90] THEERTHAM R, GANTA S N, and PAVAN S. Design of high-resolution continuous-time delta-sigma data converters with dual return-to-open DACs[J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(11): 3418–3428. doi: [10.1109/JSSC.2022.3176876](https://doi.org/10.1109/JSSC.2022.3176876).
- [91] ZHANG Yang, BASAK D, and PUN K P. Power-efficient Gm-C DSMs with high immunity to aliasing, clock jitter, and ISI[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2019, 27(2): 337–349. doi: [10.1109/TVLSI.2018.2874259](https://doi.org/10.1109/TVLSI.2018.2874259).
- [92] FELDING H, HELLMAN L, TAN Siyu, *et al.* A three bit second order audio band delta sigma modulator with 98.2dB SQNR[C]. 2016 International Symposium on Integrated Circuits, Singapore, 2016: 1–4. doi: [10.1109/ISICIR.2016.7829750](https://doi.org/10.1109/ISICIR.2016.7829750).
- [93] LIN Jiani, CHU H C, CHEN Zongyi, *et al.* A continuous-time delta-sigma modulator with novel data-weighted averaging algorithm for audio application[C]. 2015 IEEE International Conference on Electron Devices and Solid-State Circuits, Singapore, 2015: 281–284. doi: [10.1109/EDSSC.2015.7285105](https://doi.org/10.1109/EDSSC.2015.7285105).
- [94] IWATA A, SAKIMURA N, NAGATA M, *et al.* An architecture of delta-sigma A-to-D converters using a voltage controlled oscillator as a multi-bit quantizer[C]. 1998 IEEE International Symposium on Circuits and Systems, Monterey, USA, 1998, 1: 389–392. doi: [10.1109/ISCAS.1998.704448](https://doi.org/10.1109/ISCAS.1998.704448).
- [95] STRAAYER M Z and PERROTT M H. A 10-bit 20MHz 38mW 950MHz CT $\Sigma\Delta$ ADC with a 5-bit noise-shaping VCO-based Quantizer and DEM circuit in 0.13 μ m CMOS[C]. 2007 IEEE Symposium on VLSI Circuits, Kyoto, Japan, 2007: 246–247. doi: [10.1109/VLSIC.2007.4344448](https://doi.org/10.1109/VLSIC.2007.4344448).

- 2007.4342737.
- [96] LEOW Y H, TANG H, SUN Zhuochao, *et al.* A 1 V 103 dB 3rd-Order audio continuous-time $\Delta\Sigma$ ADC with enhanced noise shaping in 65 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2016, 51(11): 2625–2638. doi: [10.1109/JSSC.2016.2593777](https://doi.org/10.1109/JSSC.2016.2593777).
- [97] NGUYEN K, ADAMS R, SWEETLAND K, *et al.* A 106-dB SNR hybrid oversampling analog-to-digital converter for digital audio[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(12): 2408–2415. doi: [10.1109/JSSC.2005.856284](https://doi.org/10.1109/JSSC.2005.856284).
- [98] MATAMURA A, NISHIMURA N, BIRDSONG P, *et al.* An 82-mW $\Delta\Sigma$ -based filter-less Class-D headphone amplifier with -93-dB THD+N, 113-dB SNR, and 93% efficiency[J]. *IEEE Journal of Solid-State Circuits*, 2021, 56(12): 3573–3582. doi: [10.1109/JSSC.2021.3100548](https://doi.org/10.1109/JSSC.2021.3100548).
- [99] LO C, LEE J, LIM Y, *et al.* 10.1 A 116 μ W 104.4dB-DR 100.6dB-SNDR CT $\Delta\Sigma$ audio ADC using tri-level current-steering DAC with gate-leakage compensated off-transistor-based bias noise filter[C]. 2021 IEEE International Solid-State Circuits Conference, San Francisco, USA, 2021: 164–166. doi: [10.1109/ISSCC42613.2021.9365807](https://doi.org/10.1109/ISSCC42613.2021.9365807).
- [100] MARKER-VILLUMSEN N, JORGENSEN I H H, and BRUUN E. Low power continuous-time delta-sigma ADC with current output DAC[C]. 2015 European Conference on Circuit Theory and Design, Trondheim, Norway, 2015: 1–4. doi: [10.1109/ECCTD.2015.7300096](https://doi.org/10.1109/ECCTD.2015.7300096).
- [101] JIANG Xicheng, SONG J, CHEN Jianlong, *et al.* A low-power, high-fidelity stereo audio codec in 0.13 μ m CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(5): 1221–1231. doi: [10.1109/JSSC.2012.2185591](https://doi.org/10.1109/JSSC.2012.2185591).
- [102] NGUYEN K, BANDYOPADHYAY A, ADAMS B, *et al.* A 108 dB SNR, 1.1 mW oversampling audio DAC with a three-level DEM technique[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2592–2600. doi: [10.1109/JSSC.2008.2006314](https://doi.org/10.1109/JSSC.2008.2006314).
- [103] SUKUMARAN A and PAVAN S. Low power design techniques for single-bit audio continuous-time delta sigma ADCs using FIR feedback[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(11): 2515–2525. doi: [10.1109/JSSC.2014.2332885](https://doi.org/10.1109/JSSC.2014.2332885).
- [104] BILLA S, DIXIT S, and PAVAN S. Analysis and design of an audio continuous-time 1-X FIR-MASH delta-sigma modulator[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(10): 2649–2659. doi: [10.1109/JSSC.2020.2992891](https://doi.org/10.1109/JSSC.2020.2992891).
- [105] ORNA M, MORCHE D, BASCHIROTTO A, *et al.* Quantitative jitter simulations and FIR-DAC sizing for single-bit continuous time sigma delta modulators[C]. 2021 IEEE 12th Latin America Symposium on Circuits and System, Arequipa, Peru, 2021: 1–4. doi: [10.1109/LASCAS51355.2021.9459118](https://doi.org/10.1109/LASCAS51355.2021.9459118).
- [106] SCHINKEL D, GROOTHEDDE W, MOSTERT F, *et al.* A multiphase Class-D automotive audio amplifier with integrated low-latency ADCs for digitized feedback after the output filter[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(12): 3181–3193. doi: [10.1109/JSSC.2017.2731812](https://doi.org/10.1109/JSSC.2017.2731812).

孙奥运: 男, 博士生, 研究方向为高精度模数转换器设计.

温培旭: 男, 硕士生, 研究方向为高精度模数转换器设计.

邵准先: 男, 硕士生, 研究方向为混合信号芯片设计.

王桢楠: 男, 博士生, 研究方向为混合信号芯片设计.

张章: 男, 教授, 研究方向为混合信号芯片设计.

责任编辑: 马秀强