

# 具有高资源利用率特征的改进型查找表电路结构与优化方法

高丽江<sup>①②</sup> 杨海钢<sup>\*①②</sup> 李威<sup>③</sup> 郝亚男<sup>④</sup> 刘长龙<sup>④</sup> 石彩霞<sup>①</sup>

<sup>①</sup>(中国科学院电子学研究所 北京 100190)

<sup>②</sup>(中国科学院大学 北京 100049)

<sup>③</sup>(中国科学院计算技术研究所 北京 100190)

<sup>④</sup>(中国电子科技集团公司第五十四研究所 石家庄 050081)

**摘要:** 该文着重研究了FPGA芯片中核心模块基本可编程逻辑单元(BLE)的电路结构与优化设计方法, 针对传统4输入查找表(LUT)进行逻辑操作和算术运算时资源利用率低的问题, 提出一种融合多路选择器的改进型LUT结构, 该结构具有更高面积利用率; 同时提出一种对映射后网表进行统计的评估优化方法, 可以对综合映射后网表进行重新组合, 通过预装箱产生优化后网表; 最后, 对所提结构进行了实验评估和验证。结果表明: 与Intel公司Stratix系列FPGA相比, 采用该文所提优化结构, 在MCNC电路集和VTR电路集下, 资源利用率平均分别提高了10.428%和10.433%, 有效提升了FPGA的逻辑效能。

**关键词:** 基本可编程逻辑单元; 查找表; 进位链; 映射; 装箱

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2019)10-2382-07

DOI: 10.11999/JEIT190095

## A Circuit Optimization Method of Improved Lookup Table for Highly Efficient Resource Utilization

GAO Lijiang<sup>①②</sup> YANG Haigang<sup>①②</sup> LI Wei<sup>③</sup> HAO Yanan<sup>④</sup>  
LIU Changlong<sup>④</sup> SHI Caixia<sup>①</sup>

<sup>①</sup>(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

<sup>②</sup>(University of Chinese Academy of Sciences, Beijing 100049, China)

<sup>③</sup>(Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China)

<sup>④</sup>(The 54th Research Institute of CETC, Shijiazhuang 050081, China)

**Abstract:** The circuit structure optimization method for Basic programmable Logic Element (BLE) of FPGA is studied. Considering finding the solution to the bottleneck problem of low resource utilization efficiency in logic and arithmetic operations with 4-input Look Up Table (LUT), some efforts to improve BLE design based on 4-input LUT are explored. A high area-efficient LUT structure is proposed, and the possible benefits of such a new structure are analyzed theoretically and simulated. Further, a statistical method for evaluation of the post synthesis and mapping netlist is also proposed. Finally, a number of experiments are carried out to assess the proposed structure based on the MCNC and VTR benchmarks. The results show that, compared with Intel Stratix series FPGAs, the optimized structure proposed in this paper improves respectively the area efficiency of the FPGA by 10.428% and 10.433% in average under the MCNC and VTR benchmark circuits.

**Key words:** Basic programmable Logic Element (BLE); Look Up Table (LUT); Carry chain; Mapping; Packing

### 1 引言

FPGA是一种通用逻辑电路, 具有灵活性高、开发风险低的特点。其基本构成模块包括: 可编程逻辑模块(Configurable Logic Block, CLB)、可编程互连资源(Reconfigurable Routing, RR)、可编程输入输出模块(Reconfigurable Input/Output

Module)等<sup>[1]</sup>, 其中CLB是FPGA的核心, CLB由若干个基本可编程逻辑单元(Basic programmable Logic Element, BLE)构成。因此研究灵活高效的BLE结构对提升FPGA的功能和性能具有重要意义<sup>[2-9]</sup>。

### 2 传统可编程逻辑单元结构

传统可编程逻辑单元通常采用查找表来实现。图1所示为一个基于查找表的典型BLE的结构: 包括1个4输入查找表(Look Up Table, LUT)和1个寄

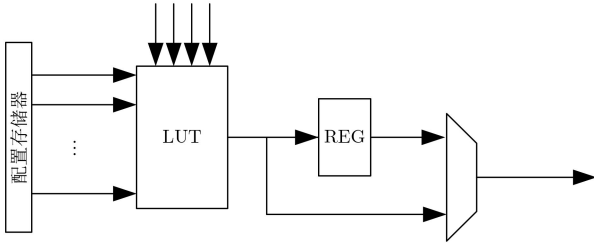


图1 基于查找表的典型BLE结构

寄存器(REG)。其中4输入查找表可以实现任意4输入逻辑操作，寄存器用于实现时序逻辑的数据寄存。可编程逻辑单元一般具有常规模式，其中常规模式实现逻辑功能，算术模式实现算术运算功能。

4输入查找表实现逻辑功能的方法是：将4输入函数的真值表(共 $2^4$ 个最小项)存储到查找表的静态存储器(Static Random Access Memory, SRAM)中，查找表的控制端(也可以看做SRAM的地址)接收输入变量，当输入变量为某一组合时，查找表就输出对应SRAM的存储值。一个4输入查找表可以实现的函数种类共 $2^{16}$ 种。

利用查找表实现算术模式的一般思路为：利用查找表的一部分(可以看做一个包含8个存储单元的3输入函数)来求和，利用查找表的其余部分来求进位。图2展示了Intel公司Stratix<sup>[2]</sup>系列FPGA进行算术操作时的查找表结构。其具体实现上采用了进位选择加法器的方式，结构上具有两条进位链，分别对进位为0和1时的结果进行预计算，以加快电路运行速度。

通过以上分析可以得出结论：4输入查找表虽然可以实现任意4输入功能函数，具有强大的功能，但是在实现较少输入逻辑函数(如1, 2, 3输入函

数)时则面临查找表逻辑资源浪费的问题，且不利于实现较小的延时。在实现算术模式时充分利用了查找表的灵活性高的特点，不需要额外的加法器即可实现算术操作，然而由于BLE的进位输出需要连接到下一个BLE进行输出，因此，在进行 $n$ 位加法的时候，就需要利用 $n+1$ (低位无进位输入时)或 $n+2$ (低位有进位输入时)个BLE，考虑到位数较少的加法，例如单位全加器，就需要2个BLE，面积利用率较低。

综上所述，传统4输入查找表构成的可编程逻辑单元具有进一步提升资源利用率的潜力。

为提高资源利用率，学术界曾提出了双输出查找表结构<sup>[10-12]</sup>，所提结构可以部分解决资源利用率低的问题，但也存在诸多问题。例如：文献[11]在实现双LUT(LUT\_double)模式时的限制条件较多。

为解决以上问题，本文提出了改进型查找表结构，并对改进后的结构进行了验证和结构评估。

### 3 改进型查找表结构设计

本文所提改进型查找表结构如图3所示。本结构与图2所示结构相比，进行了如下改动：增加了两个2选1多路选择器mx5和mx6。其中mx5输出连到BLE的数据输出，作为BLE的第2输出端，mx5的输入接mx1和mx2的输入，控制端接mx6的输出；mx6的输入接mx3的输出和c端，控制端接配置SRAM；将mx4改为3选1多路选择器，多出的输入端接d端。

以上结构改动可以使得查找表具有如下特点：  
(1)增加了1个输出端，改进型查找表可以实现两个

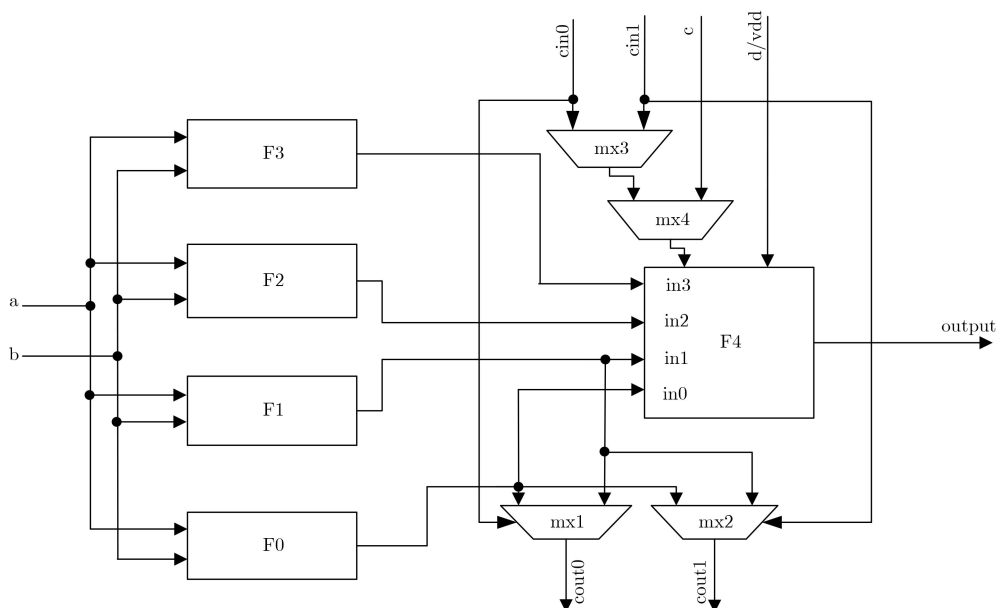


图2 Stratix传统查找表结构

具有共享输入端的多输入函数；(2)可以在本BLE实现进位或借位的直接输出，减少了算术模式所需BLE的数目，提高了资源利用率。

实现具有共享输入端的两个多输入函数的具体实现方式为：利用增加的多路选择器mx5和mx6，可以实现对F0和F1两个功能产生单元的选择输出，从而实现原4输入函数以外的第2函数。同时，由于mx4增加了1个d输入端，F4的d/vdd改为d/vdd/gnd，使得原有的4LUT功能更加灵活。根据对图中多路选择器控制端的不同配置，可以实现如下多输入函数组合：“4LUT+3LUT”组合(具有3个共享输入端)，“3LUT+3LUT”组合(输入完全相同)，“3LUT+3LUT”组合(有1个输入端不同)，以及其他输入个数更少的组合。

实现为具有两个共享输入端的3输入函数的

示意图4(a)所示。该图表示了“3LUT+3LUT”组合(有1个输入端不同)的情况。“4LUT+3LUT”组合的示意图如图4(b)所示。“3LUT+3LUT”组合(输入完全相同)，及输入个数更少的组合可以类推。

本结构可以减少算术模式所需BLE个数。其具体实现方式为：通过配置使mx6将本级的进位输入(mx3的输出)，传送到mx5的控制端，从而通过mx5进一步从F0和F1的输出选择出本级加法的进位输出。由于mx5的输出可以作为BLE的普通输出，因此本结构在实现单位全加器的情况下，只需要1个BLE，资源利用率可以提高50%。实现n位有进位输入加法的情况下，资源利用率可以提高 $1/(n+1)$ ，实现n位无进位输入加法情况下，资源利用率可以提高 $1/(n+1)$ 。进行单位加法的示意图如图5所示。

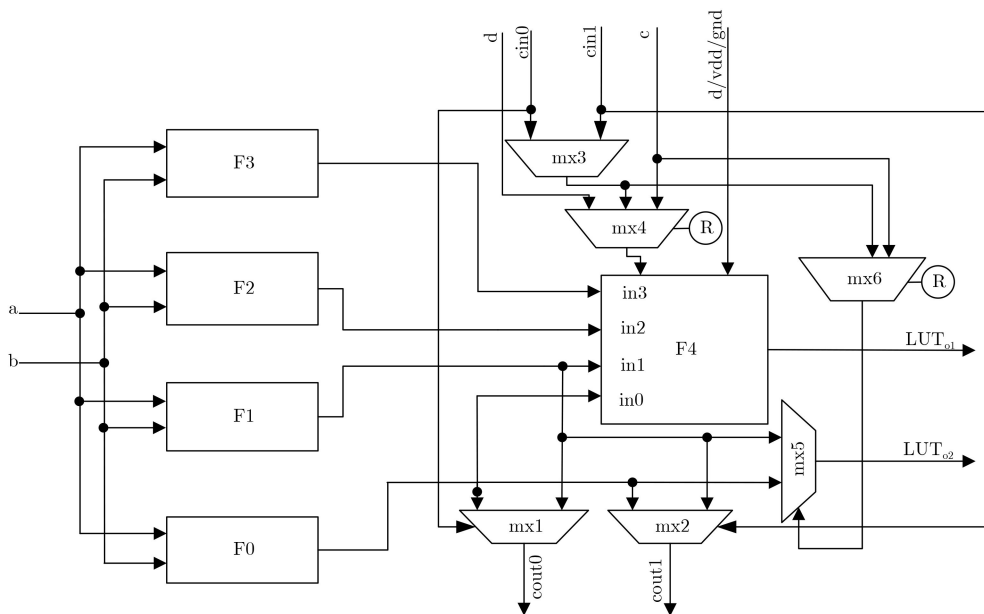
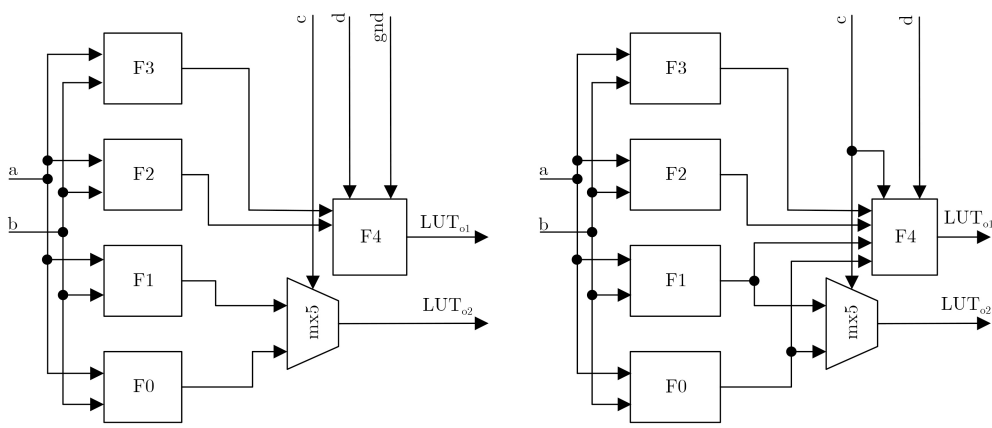


图3 改进型查找表



(a) 具有两个共享输入端的“3LUT+3LUT”组合

(b) 具有两个共享输入端的“4LUT+3LUT”组合

图4 双LUT模式示意图

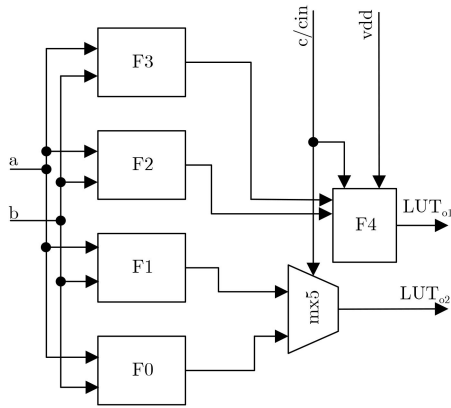


图 5 单位全加器运算结构示意图

### 4 电路映射仿真

映射是指将用户电路综合为门级网表后，将门级单元转换为 LUT、DFF 等 FPGA 特有单元的过程<sup>[13]</sup>。为证明改进后 BLE 的效果，利用改进后的查

找表结构替换传统查找表，构成了 1 个具有 10 个 BLE 的 CLB。分别对改进前后的结构进行了综合映射实验。改进前结构实验利用 Quartus 软件进行，改进后的结构则利用手动映射的方式。

为验证常规模式，设计实现了 1 个 10 位宽的 4 输入异或门和 1 个 10 位宽的 3 输入异或门，每 1 个 4 输入异或门和 1 个 3 输入异或门具有 3 个共享输入端。综合映射后比较而言，采用 Intel 的 Stratix 系列 FPGA 实现此功能，需要消耗 20 个 BLE，本结构构成的 FPGA 实现相同功能，只需要 10 个 BLE。仿真结果如图 6 所示。

为验证算术模式，设计实现了 10 位加法器。图 7 所示为改进后的电路结构经手动映射后实现 10 位加法器的波形图。该电路具有进位输入和进位输出，且实现了 10 位和与进位的同时输出。Stratix 器件实现同样功能需要 12 个 BLE。

	0	20 n	40 n	60 n
■ a[9:0]	10h 000	325 124	30D 301	3ED 0C5 212 2E8 02D 280 296 16B
■ b[9:0]	10h 000	270 281	18D 10D 38C 2AA 38F 2C5 265 120 013 2D5	
■ c[9:0]	10h 000	209 065	176 1F9 3E5 1F2 15C 263 1AA 00D 202	
■ d[9:0]	10h 000	263 212	13D 0C6 277 2CE 0BD 30A 09D 253 2AE	
■ f(a,b,c,d)	10h 000	155 3CF 0F7 247 15E BFD 2A1 1CC 321 297 0DB 312		
■ g(a,b,c,d)	10h 000	155 1AC 2E5 37A 198 18A 06F 171 02B 20A 288 1BC		

图 6 常规模式仿真结果

	0	20 n	40 n	60 n
[cin]	1b			
■ a[9:0]	10h 000	325 124 209 30D 065 301 176 3ED 1F9 0C5 3E5 212 1F2		
■ b[9:0]	10h 000	270 281 263 18D 212 10D 13D 38C 0C6 2AA 277 38F 2CE		
■ sum[9:0]	10h 000	195 3A5 06C 09A 277 00E 2B3 379 2BF 370 25D 1A2 0C1		
[cout]	1b			

图 7 10 位加法器波形图

### 5 结构评估

为了对改进后结构与传统结构进行可信的量化对比，需要采用计算机辅助设计(Computer Aided Design, CAD)流程对标准测试电路集分别进行实验，并对结果进行分析比较。为此，本文提出了进行结构评估的完整 CAD 流程，如图 8 所示。首先选择典型的测试电路集(这里选择学术界广泛采用的 MCNC 电路集和 VTR 电路集<sup>[14,15]</sup>)；然后利用综合软件对传统结构进行综合、映射，得到利用基本逻辑单元表示的网表；最后对得到的网表进行统计分析，得到可以进行合并的基本可编程逻辑单元对(将可以合并的可编程逻辑单元对进行合并的过程称为预装箱)。由于测试电路集较为庞大且有些电路规模较大，因此进行综合、映射后网表统计分析的工作量较大。针对这一问题，本文提出了综合映射后网表统计法，并开发了统计程序(为简化程序，

本程序仅对具有公共输入端或没有公共输入端，但功能可独立的逻辑单元进行处理。实际效果可以更好)。统计程序伪代码如表 1 所示。

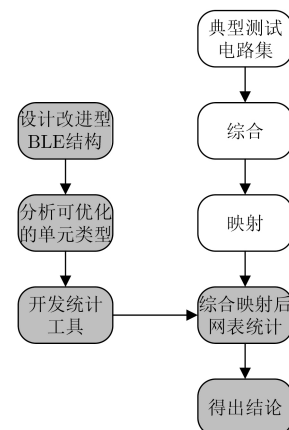


图 8 结构评估流程图

表1 统计程序伪代码

---

```

1 //假设: lcell_set是电路中所有lcell(非算术模式下, 数据输入数少于等于3)的集合;
2 //   Size是lcell_set中lcell的数目;
3 //   lcell(i)是lcell_set中第i个lcell;
4 //   Count是满足条件的lcell对;
5 //   has_cin(lcell(i))表示lcell_set中第i个lcell是否有cin端口, true为有, false为没有;
6 //   is_reg_mode(lcell(i))表示lcell_set中第i个lcell是否为寄存模式, true为是, false为否;
7 //   compare_lcell_pair(lcell(i), lcell(j))为比较两个lcell是否可以组成一个4输入lcell, true为是, false为否;
8 //   num_share_datain(lcell(i), lcell(j))为两个lcell共享的输入数个数;
9 //   num_datain(lcell(i))为lcell_set中第i个lcell的数据输入数;
10 bool compare_lcell_pair(lcell(i), lcell(j))
11 {
12   if(num_datain(lcell(i))==0 || num_datain(lcell(j))==0)
13   {
14     return true;
15   }
16   if(num_datain(lcell(i))<=2)
17   {
18     if(num_share_datain(lcell(i), lcell(j))<=1)
19     {
20       return true;
21     }
22   }
23   if(num_datain(lcell(i))==2 && num_datain(lcell(j))==2)
24   {
25     return true;
26   }
27   if(num_share_datain(lcell(i), lcell(j))==3)
28   {
29     return true;
30   }
31   if(num_share_datain(lcell(i), lcell(j))==2)
32   {
33     return true;
34   }
35   return false;
36 }
37 for(i=1; i<=size; i++)
38 {
39   for(j=1; j<=size; j++)
40   {
41     if(i!=j && !(has_cin(lcell(i))==true && has_cin(lcell(j))==true) && !(is_reg_mode(lcell(i)) &&
42       is_reg_mode(lcell(j))))
43     {
44       if(compare_lcell_pair(lcell(i), lcell(j))==true)
45       {
46         count++;
47       }
48     }
49 }

```

---

通过图8和表1的CAD流程和程序，得到了采用MCNC电路集和VTR电路集在改进前后结构上的映射后网表统计结果，如表2所示。与Stratix结构相比，MCNC电路集下面积减小最多达18.48%，平均减小约10.428%，各电路面积减小直方图如图9所示；VTR电路集下面积减小最多达20%，平均减小约10.433%，各电路面积减小直方图如图10所示。

### 6 结论

本文针对传统可编程逻辑单元4输入查找表资源利用率优化问题，提出了改进型的查找表结构，

对新结构带来的优势和效果进行了分析和验证；为了对所提出的结构进行更好地量化分析，给出了进行结构评估的流程和方法，并基于MCNC和VTR电路集进行了评估实验。结果显示：改进后的结构的资源利用率明显提升。相比于文献[11]中的双输出LUT结构，本文所提出的结构在相同测试电路集条件下，相对传统结构面积改善更为明显(见表3)，本结构进一步挖掘了4输入LUT的潜力。同时考虑到改进后BLE增加的电路很少，资源利用率的提高同样有利于性能的提升和功耗的降低。

表 2 MCNC与VTR测试电路集测试结果

MCNC测试电路	优化前面积(Stratix结构)(单位: 个)	可优化对数	VTR测试电路	优化前面积(Stratix结构)(单位: 个)	可优化对数
spla	1924	92	bgm	19088	3738
seq	1124	108	blob_merge	6627	129
s38584	3109	441	boundtop	1793	704
s38417	3875	716	ch_intrinsics	44	2
s298	741	80	diffeq1	0	1
pdc	2278	124	diffeq2	320	5
misex3	930	101	LU8PEEng	633	66
frisc	2177	218	LU32PEEng	743	84
ex1010	853	24	LU64PEEng	785	77
ex5p	213	26	mcml	78887	6879
elliptic	1767	283	mkDelayWorker32B	10	0
dsip	914	53	mkPktMerge	108	15
des	1234	45	mkSMAadapter4B	9	2
clma	4787	313	or1200	2873	369
bigkey	1023	58	raygentop	2818	985
apex4	842	49	sha	1624	179
apex2	1051	103	stereovision0	7959	146
alu4	997	124	stereovision1	9484	54
			stereovision2	38716	2548
			stereovision3	172	13
			spree	1	0

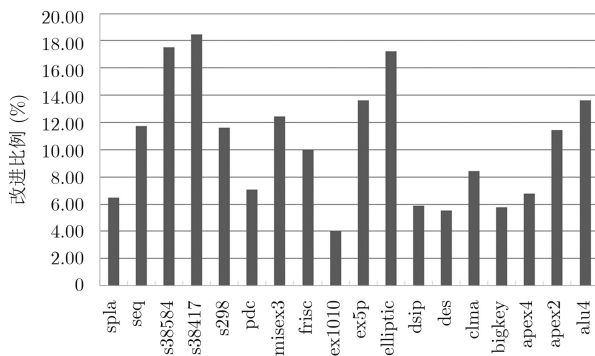


图 9 MCNC电路集改进比例直方图

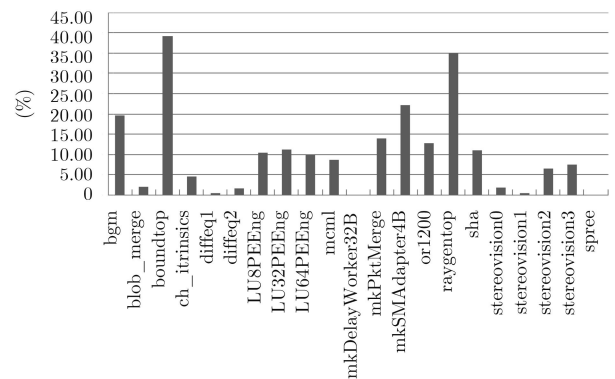


图 10 VTR电路集改进比例直方图

表3 MCNC测试电路集下本文结构优化效果与WHUpacker优化效果对比(%)

	文献[11]	本文结构
面积减少比例	7.315	10.428

### 参考文献

- [1] ROSE J, FRANCIS R J, LEWIS D, *et al.* Architecture of field-programmable gate arrays: The effect of logic block functionality on area efficiency[J]. *IEEE Journal of Solid-State Circuits*, 1990, 25(5): 1217–1225. doi: [10.1109/4.62145](https://doi.org/10.1109/4.62145).
  - [2] Intel Corporation. Stratix device handbook[EB/OL]. San Jose, CA, 2-104-2-129. <http://www.altera.com>, 2005.
  - [3] GAILLARDON P E, TANG Xifan, KIM G, *et al.* A novel FPGA architecture based on ultrafine grain reconfigurable logic cells[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2015, 23(10): 2187–2197. doi: [10.1109/TVLSI.2014.2359385](https://doi.org/10.1109/TVLSI.2014.2359385).
  - [4] SMITH S C. Design of an FPGA logic element for implementing asynchronous null convention logic circuits[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2007, 15(6): 672–683. doi: [10.1109/TVLSI.2007.898726](https://doi.org/10.1109/TVLSI.2007.898726).
  - [5] AOKI T, OKAMOTO Y, NAKAGAWA T, *et al.* Normally-off computing for crystalline oxide semiconductor-based multicontext FPGA capable of fine-grained power gating on programmable logic element with nonvolatile shadow register[J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(9): 2199–2211. doi: [10.1109/JSSC.2015.2438824](https://doi.org/10.1109/JSSC.2015.2438824).
  - [6] PARANDEH-AFSHAR H, ZGHEIB G, NOVO D, *et al.* Shadow and-inverter cones[C]. The 23rd International Conference on Field Programmable Logic and Applications, Porto, Portugal, 2013: 1–4. doi: [10.1109/FPL.2013.6645566](https://doi.org/10.1109/FPL.2013.6645566).
  - [7] PROKHOROV A S and TYURIN S F. Modified logical FPGA element[C]. 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, St. Petersburg, Russia, 2017: 973–975. doi: [10.1109/EICOnRus.2017.7910718](https://doi.org/10.1109/EICOnRus.2017.7910718).
  - [8] VIKHOREV R V. Improved FPGA logic elements and their simulation[C]. 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, Moscow, Russia, 2018: 259–264. doi: [10.1109/EICOnRus.2018.8317080](https://doi.org/10.1109/EICOnRus.2018.8317080).
  - [9] VERCRUYCE D, VANSTEENKISTE E, and STROOBANDT D. How preserving circuit design hierarchy during FPGA packing leads to better performance[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(3): 629–642. doi: [10.1109/TCAD.2017.2717786](https://doi.org/10.1109/TCAD.2017.2717786).
  - [10] LIU Ying, JIANG Xianyang, SUN Shilei, *et al.* An efficient FPGA packing algorithm based on simple dual-output basic logic element[C]. The 8th IEEE International Conference on ASIC, Changsha, China, 2009: 690–693. doi: [10.1109/ASICON.2009.5351300](https://doi.org/10.1109/ASICON.2009.5351300).
  - [11] JIANG Xianyang, LIU Ying, SUN Shilei, *et al.* An improved packing tool based on a dual-output basic logic element[C]. The 9th IEEE International Conference on ASIC, Xiamen, China, 2011: 377–380. doi: [10.1109/ASICON.2011.6157200](https://doi.org/10.1109/ASICON.2011.6157200).
  - [12] 汪宇, 王伶俐, 童家榕. 一种新型FPGA逻辑单元结构的装箱工具[J]. *复旦学报(自然科学版)*, 2006, 45(4): 529–532. doi: [10.15943/j.cnki.fdxh-jns.2006.04.021](https://doi.org/10.15943/j.cnki.fdxh-jns.2006.04.021).  
WANG Yu, WANG Lingli, and TONG Jiarong. Packing tool for a new FPGA logic structure[J]. *Journal of Fudan University (Natural Science)*, 2006, 45(4): 529–532. doi: [10.15943/j.cnki.fdxh-jns.2006.04.021](https://doi.org/10.15943/j.cnki.fdxh-jns.2006.04.021).
  - [13] 江政泓, 林郁, 黄志洪, 等. 面向AIC结构的FPGA映射工具[J]. *电子与信息学报*, 2015, 37(7): 1769–1773. doi: [10.11999/JEIT141403](https://doi.org/10.11999/JEIT141403).  
JIANG Zhenghong, LIN Yu, HUANG Zhihong, *et al.* Mapper for AIC-based FPGAs[J]. *Journal of Electronics & Information Technology*, 2015, 37(7): 1769–1773. doi: [10.11999/JEIT141403](https://doi.org/10.11999/JEIT141403).
  - [14] YANG S. Logic synthesis and optimization benchmarks user guide, version 3.0[EB/OL]. <http://ddd.fit.cvut.cz/prj/Benchmarks/LGSynth91.pdf>, 1991: 1–44.
  - [15] MURRAY K E, WHITTY S, LIU Suya, *et al.* Titan: Enabling large and complex benchmarks in academic CAD[C]. The 23rd International Conference on Field Programmable Logic and Applications, Porto, Portugal, 2013: 1–8. doi: [10.1109/FPL.2013.6645503](https://doi.org/10.1109/FPL.2013.6645503).
- 高丽江: 男, 1982年生, 博士生, 研究方向为可编程芯片结构设计.
- 杨海钢: 男, 1960年生, 研究员, 博士生导师, 研究方向为大规模集成电路设计、电子设计自动化(EDA)技术.
- 李威: 女, 副研究员, 1983年生, 硕士生导师, 研究方向为高性能芯片设计技术、大规模集成电路设计、FPGA优化结构.
- 郝亚男: 女, 1983年生, 高级工程师, 研究方向为网络与通信SoC架构与芯片设计.
- 刘长龙: 男, 1985年生, 高级工程师, 主要研究方向为通信SoC架构与芯片设计.
- 石彩霞: 女, 1991年生, 硕士, 研究方向为FPGA CAD设计.