

基于最大时域瞬态噪声的去耦电容选择方法

刘洋* 白钰杰 罗厚兴 夏建强

(西安电子科技大学电路 CAD 研究所 西安 710071)

(西安电子科技大学超高速电路设计与电磁兼容教育部重点实验室 西安 710071)

摘要: 针对传统的基于频域目标阻抗的去耦电容选择方法存在过度设计的问题, 该文提出基于最大时域瞬态噪声的去耦电容选择方法。首先, 利用板级电流可由一系列三角脉冲近似合成这一性质, 推导出了去耦电容瞬态电压噪声达到局部最大值的时刻及时域瞬态阻抗应该满足的条件, 并通过分析 VRM 支路最大瞬态电压噪声确定了去耦电容的去耦时间范围; 其次, 通过研究去耦电容时域瞬态阻抗曲线的性质和特点, 制定了去耦电容的选择标准。最后, 提出基于最大时域瞬态噪声的去耦设计方案。通过对 4 个具有典型激励输入的实例进行去耦设计, 结果表明, 在输入激励条件相同且满足电压噪声要求的前提下, 与传统频域目标阻抗法获得的去耦方案相比, 该文提出的算法所需电容数量至少能减少 24.59% 以上。

关键词: 集成电路; 最大时域瞬态噪声; 时域瞬态阻抗; 时域去耦范围

中图分类号: TN702

文献标识码: A

文章编号: 1009-5896(2017)11-2763-07

DOI: 10.11999/JEIT170210

Decoupling Capacitor Selection Method Based on Maximum Time-domain Transient Noise

LIU Yang BAI Yujie LUO Houxing XIA Jianqiang

(The Institute of Electronic CAD, Xidian University, Xi'an 710071, China)

(Key Lab of High-Speed Circuit Design and EMC, Ministry of Education, Xidian University, Xi'an 710071, China)

Abstract: A decoupling capacitor selection method based on maximum time-domain transient noise is proposed to solve the over-design problem caused by the traditional method based on the frequency-domain target impedance. According to the property that the current in board level can be approximated by a series of triangular pulses, the time to reach the decoupling capacitor's local maximum transient voltage noise and the condition which should be satisfied for the time-domain transient impedance are derived. Meanwhile, the time range of decoupling is determined by analyzing the maximum transient voltage noise of VRM branch. In addition, the selection criteria for the decoupling capacitors are developed by researching the properties and characteristics of the time-domain transient impedance curves of the decoupling capacitors. Finally, the decoupling design scheme based on the maximum time-domain transient noise is proposed. Comparing with the traditional frequency-domain decoupling scheme, the results of decoupling design for four examples with typical stimulus settings show that the quantity of capacitors can be reduced by more than 24.59% by the proposed algorithm under the condition of the same input excitation and satisfying the requirement of voltage noise.

Key words: Integrated Circuit (IC); Maximum time-domain transient noise; Time-domain transient impedance; Time-domain decoupling range

1 引言

数字集成电路进入亚微米/纳米工艺之后, 高速

系统的时钟主频达数 GHz, 工作电压降至 1 V 以下, 瞬态电流却飙升到 50 A/ns, 这将进一步降低电源纹波噪声的绝对容限, 引起信号/电源完整性问题及电磁辐射问题, 也对电源分配网络(Power Delivery Network, PDN)的设计提出更为苛刻的要求^[1-5]。

PDN 分析和设计的早期研究主要集中在频域, 具有代表性的方法是基于频域目标阻抗的设计方法^[6-9], 该方法要求从集成电路(Integrated Circuit, IC)看进去的输入阻抗(Z_{in})在感兴趣的频率范围内

收稿日期: 2017-03-07; 改回日期: 2017-07-10; 网络出版: 2017-08-14

*通信作者: 刘洋 liuyang@mail.xidian.edu.cn

基金项目: 国家自然科学基金项目(61501345), 中央高校基本科研业务费(JB150212)

Foundation Items: The National Natural Science Foundation of China (61501345), The Fundamental Research Funds for the Central Universities of China (JB150212)

小于目标阻抗，以使电源噪声控制在系统噪声容限的范围内，频率范围一般为 IC 的时钟频率^[10]。目前硬件工程师进行 PDN 设计大多仍沿用该设计方法。PDN 频域分析本质上是一个统计概念下的稳态分析过程，而 PDN 应对电流激励的行为是一种短时间的瞬态响应过程，因此 PDN 频域设计方法忽略了 PDN 和电流激励的瞬态特性，将噪声看作直流电平，会导致过度设计(Over Design)问题^[11-13]。已有相关学者提出了在时域对 PDN 进行分析和设计的方法。Zhang 等人^[14]研究了 PDN 中各元件之间的电荷交换和功率传输机理，以 ΔV 时常数刻画去耦电容器应对冲浪电流的瞬态行为，从功率传输连续性角度进行 PDN 设计。但是， ΔV 时常数是假设一个充满电的电容器两端突然被短接的条件下，电容器电压从满幅下降 ΔV 的时间间隔，这与去耦电容工作的实际情况并不相符。而且， ΔV 时常数不能通过去耦电容数据手册直接获取，必须通过电路仿真软件(如 HSPICE)对去耦电容进行仿真得到，这将增加设计者的工作量，并延长设计周期。在文献[15]中，作者定义了输入为三角脉冲条件下的 PDN 时域瞬态阻抗，在满足同等电源噪声的条件下，获得了比传统频域目标阻抗法所需去耦电容更少的去耦方案。但是作者并未涉及 PDN 去耦网络的配置策略，例如各类去耦电容的选择标准以及如何确定去耦电容数量等。

本文在第 2 小节首先介绍最大时域瞬态噪声法的基本原理，推导基于最大时域瞬态噪声的去耦标准以及实际设计中需要考虑的去耦电容的去耦时间范围。在第 3 小节详细分析了去耦电容时域瞬态阻抗的性质和特点，并制定去耦电容选择标准，提出基于最大时域瞬态噪声的去耦设计方案。最后，通过 4 个典型实例验证了本文提出算法的有效性。

2 最大时域瞬态噪声的基本原理

2.1 典型 PDN 集总模型

典型 PDN 集总模型主要由 4 部分组成，即 VRM 级、PCB 板级、封装级和芯片级，如图 1 所示。

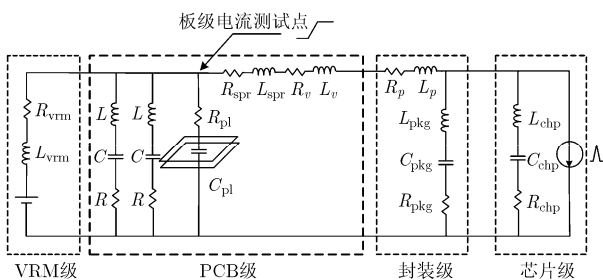


图1 PDN集总模型

图 1 中，VRM 级包括稳压器的输出电感 L_{vrm} 和等效电阻 R_{vrm} ；PCB 级包括去耦电容 C 及其等效电感 L 、等效电阻 R 、平面等效电容 C_{pl} 及等效电阻 R_{pl} 、扩散电感 L_{spr} 、扩散电阻 R_{spr} ；BGA 过孔的等效电阻 R_v 及等效电感 L_v ；封装级包括去耦电容 C_{pkg} 及其等效电感 L_{pkg} 、等效电阻 R_{pkg} 、封装引线的等效电感 L_p 及电阻 R_p ；芯片级包括去耦电容 C_{chip} 及其等效电感 L_{chip} 、等效电阻 R_{chip} 。当今高速芯片在设计时一般都考虑了芯片级和封装级去耦，电源完整性工程师只要对板级去耦方案进行设计即可。

2.2 基于最大时域瞬态噪声的去耦标准

一般情况下，芯片的开关电流可近似为周期性三角波^[16]，经芯片级和封装级电容的去耦作用，板级电流为上升时间为 T_r 的阶跃信号 $I(t)$ ，其可由一系列三角脉冲近似合成，如图 2 所示。 $I(t)$ 可表示为

$$\begin{aligned}
 I(t) &= I_{ave} h_0(t) + I_{ave} u(t - T_r) \\
 &\approx \sum_{n=0}^{\infty} I_n(t) = \sum_{n=0}^{\infty} I_{ave} h_n(t) \\
 &= I_{ave} \sum_{n=0}^{\infty} \frac{1}{2^n T_r} [u(t) - u(t - 2^n T_r)] \quad (1)
 \end{aligned}$$

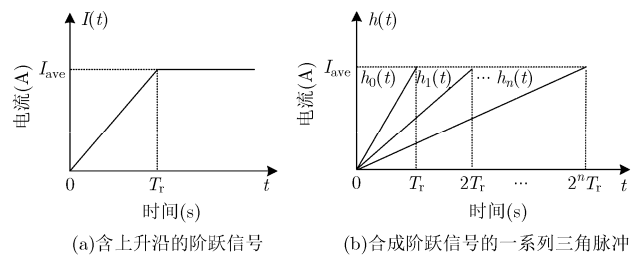


图2 电流激励信号

其中， I_{ave} 为开关电流的平均值， $u(t)$ 为单位阶跃信号， $h_n(t)$ 为上升时间为 $2^n T_r$ 的单位三角脉冲。

假设去耦电容支路去耦电容为 C ，其等效寄生电感和寄生电阻分别用 L 和 R 表示，输入电流激励形式为 $I_{ave} h_n(t)$ 的三角脉冲，根据时域瞬态阻抗的定义^[15]，在 $t \in [0, 2^n T_r]$ 时间范围内电容的时域瞬态阻抗为

$$Z_{cap}(t) = \frac{t}{2C} + \frac{L}{t} + R \quad (2)$$

则去耦电容支路的瞬态电压噪声为

$$\begin{aligned}
 V_n(t) &= \left(\frac{t}{2C} + \frac{L}{t} + R \right) \frac{I_{ave}}{2^n T_r} t [u(t) - u(t - 2^n T_r)] \\
 &= \frac{I_{ave}}{2^n T_r} \left(\frac{t^2}{2C} + Rt + L \right) [u(t) - u(t - 2^n T_r)] \quad (3)
 \end{aligned}$$

如果将时间区间 $[0, 2^n T_r]$ 分成 n 个子区间 $[0, T_r]$ ，

$(T_r, 2T_r], \dots, (2^{n-1}T_r, 2^n T_r]$ 分别考察瞬态电压噪声 $V_n(t)$, 式(3)可重新写作

$$V_n(t) = \frac{I_{ave}}{2^n T_r} \left[\frac{t^2}{2C} + Rt + L \right] \left\{ [u(t) - u(t - T_r)] + [u(t - T_r) - u(t - 2T_r)] + \dots + [u(t - 2^{n-1}T_r) - u(t - 2^n T_r)] \right\} \quad (4)$$

由式(4)可见, 在各子区间内, $V_n(t)$ 均随着时间 t 增加而单调递增, 且在时间终点 $t = 2^n T_r (n = 0, 1, 2, \dots)$ 处取得瞬态电压极大值。那么, 根据线性叠加原理, 当输入电流激励为 $I(t)$ 时, 电容支路总瞬态电压噪声为

$$V(t) = \sum_{n=0}^{\infty} V_n(t) \quad (5)$$

同理, $V(t)$ 同样满足在各子区间内随着时间 t 增加而单调递增, 且在各子区间的时间终点处取得瞬态电压极大值。因此, 无需在整个时间范围内考察瞬态电压噪声, 只要保证在 $t = 2^n T_r (n = 0, 1, 2, \dots)$ 时刻的瞬态电压噪声低于预设的电压噪声门限, 则可满足 PDN 的设计要求, 即 $V(t)$ 在 $t = 2^n T_r$ 处的电压值需满足

$$\begin{aligned} V(2^n T_r) &= Z_{cap}(2^n T_r) I(2^n T_r) \\ &= Z_{cap}(2^n T_r) \left[I_{ave} + \frac{1}{2} I_{ave} + \left(\frac{1}{2}\right)^2 I_{ave} + \left(\frac{1}{2}\right)^3 I_{ave} + \dots \right] \leq V_{dd} \times rp\% \end{aligned} \quad (6)$$

将式(6)化简, 可得

$$Z_{cap}(2^n T_r) \leq \frac{V_{dd} \times rp\%}{2 I_{ave}} = Z_{t_tar} \quad (7)$$

其中, V_{dd} 为供电电压, $rp\%$ 为允许的电压波动, Z_{t_tar} 是新定义的时域目标阻抗变量。

2.3 去耦电容的去耦时间范围

根据式(1)可知, 由于阶跃信号 $I(t)$ 是由无穷多个三角脉冲 $I_{ave} h_n(t)$ 合成, 理论上需要考虑所有三角脉冲对电源噪声的影响, 但实际上, 当三角脉冲的上升时间大于一定门限时, 即使不添加任何去耦电容, 也可保证时域瞬态电压噪声要求。下面是详细推导过程。

对于一个尚未添加任何去耦电容的 VRM 支路而言(如图 1 中的 VRM 级), 假设其输出电感和等效电阻分别为 L_{vrm} 和 R_{vrm} , 输入电流激励形式为 $I_{ave} h_n(t)$ 的三角脉冲, 在 $t \in [0, 2^n T_r]$ 时间范围内 VRM 支路时域瞬态阻抗 $Z_{vrm}(t)$ 可以表示为

$$Z_{vrm}(t) = \frac{L_{vrm}}{t} + R_{vrm} \quad (8)$$

对于 VRM 支路来说, 电感是引起电压波动的

主要原因, 因此, 在计算电压噪声时, 只考虑电感时域瞬态阻抗 L_{vrm}/t 的影响。当电流激励为阶跃信号 $I(t)$ 时, 根据 2.2 小节分析可知, 为了满足电压噪声要求, 只要保证在 $t = 2^n T_r (n = 0, 1, 2, \dots)$ 时刻的 VRM 支路瞬态电压噪声 $V_{vrm}(t)$ 低于预设的电压噪声门限即可

$$V_{vrm}(2^n T_r) = \frac{L_{vrm}}{2^n T_r} \left[I_{ave} + \frac{1}{2} I_{ave} + \left(\frac{1}{2}\right)^2 I_{ave} + \left(\frac{1}{2}\right)^3 I_{ave} + \dots \right] \leq V_{dd} \times rp\% \quad (9)$$

对式(9)进行整理, 可得

$$2^n T_r \geq \frac{L_{vrm}}{Z_{t_tar}} = T_{roff} \quad (10)$$

通过式(10)可知, 对于上升时间大于门限 T_{roff} 的电流激励, 其对电压噪声的影响可以忽略。因此, 只需要考虑 $[T_r, T_{roff}]$ 时间范围内的电流激励, 为了叙述方便, 这里定义 T_d 为去耦时间点, 表示为

$$T_r \leq T_d = 2^n T_r (n = 0, 1, 2, \dots) \leq T_{roff} \quad (11)$$

3 时域去耦网络方案

去耦电容的效力在于对冲浪电流时间有限的瞬态响应, 因此去耦电容应该在有效的去耦时间范围内尽量保持较低的时域瞬态阻抗。本文第 2 小节已经分析过, 只要保证在 $t = 2^n T_r (n = 0, 1, 2, \dots)$ 时刻的瞬态电压噪声低于预设的电压噪声门限, 则可满足 PDN 的设计要求。假设在未添加任何去耦电容时, 在 $t = 2^n T_r$ 处时域瞬态阻抗超出目标阻抗, 为了尽量减少去耦电容个数, 应当选择在去耦时间点处具有最小时域瞬态阻抗的电容, 此时所需电容个数 N_c 最少, N_c 可以表示为

$$N_c = \left\lceil \frac{Z_{\min}(2^n T_r)}{Z_{t_tar}} \right\rceil \quad (12)$$

其中, $Z_{\min}(2^n T_r)$ 表示在去耦时间点 $2^n T_r$ 处具有最小时域瞬态阻抗的电容阻抗值, $\lceil \cdot \rceil$ 表示上取整。

如果两个电容在去耦时间点处的时域瞬态阻抗完全相同, 应选择时域瞬态阻抗曲线较平缓的电容, 因为电容的时域瞬态阻抗曲线越平缓, 则保持低于时域目标阻抗的范围越大, 包含的去耦时间点越多。为了分析各个参数对电容时域瞬态阻抗曲线平缓程度的影响, 下面对时域瞬态阻抗曲线的性质进行分析。结合时域瞬态阻抗的定义, 式(2)可重新写为

$$Z_{cap}(t) = \frac{t}{2C} + \frac{L}{t} + R = Z_{ck}(t) + R \quad (13)$$

其中, $Z_{ck}(t) = t/(2C) + L/t$ 是典型的对勾函数形式。因此, $Z_{cap}(t)$ 在某种程度上也满足对勾函数的性质, 主要有: (1) 在 $t_{\min} = \sqrt{2LC}$ 处取得最小值

$Z_{\text{cap}}(t_{\min}) = \sqrt{2L/C} + R$; (2) 有两条渐近线, 即 $t = 0$ 和 $Z_{\text{cap}}(t) = t/(2C) + R$; (3) $t \in (0, \sqrt{2LC}]$ 单调递减, 递减速度主要由寄生电感 L 决定, L 越大则递减速度越慢; $t \in [\sqrt{2LC}, +\infty]$ 单调递增, 递增速度主要由去耦电容 C 决定, C 越大则递增速度越慢。

图3给出了几种非理想电容的时域瞬态阻抗曲线示例(这里的参数设置只是为了说明电容各个参数对时域瞬态阻抗的影响, 并不对应实际电容的参数)。可以看出, 寄生电感 L 越小, $Z_{\text{cap}}(t)$ 递减速度越快, 这意味着 $Z_{\text{cap}}(t)$ 能够在较短时间内迅速降低到最小阻抗, 而电容值越大, $Z_{\text{cap}}(t)$ 递增速度越慢, 这意味着 $Z_{\text{cap}}(t)$ 能够在较长时间内保持低于时域目标阻抗 $Z_{t_{\text{tar}}}$ 的状态。由于寄生电阻 R 影响 $Z_{\text{cap}}(t)$ 纵轴上的平移量, R 越小则最小阻抗越小。同时, 也可以看出, 电容值对时域瞬态阻抗的影响最大, 寄生电感的影响次之, 寄生电阻的影响最小。因此, 在选择去耦电容时, 应根据参数对电容时域瞬态阻抗的影响从大到小依次选择。

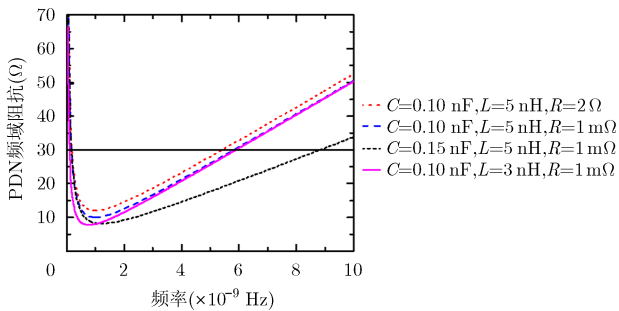


图3 参数不同的电容时域瞬态阻抗曲线

根据上述的分析, 本文的时域去耦网络设计步骤如下:

(1) 建立板级 PDN 的集总模型, 提取互连的结构参数, 该部分工作已在前期研究工作中完成^[9]。

(2) 根据输入的电流幅度、上升时间、允许的电压波动范围, 分别通过式(7)、式(10)和式(11)确定时域目标阻抗、去耦时间范围和去耦时间点。结合式(8)计算未添加去耦电容的 PDN 网络在去耦时间范围内的时域瞬态阻抗, 如果所有去耦时间点处的时域瞬态阻抗均在时域目标阻抗以下, 则 PDN 去耦网络设计满足要求, 结束; 否则进行时域去耦设计。

(3) 将不满足电压噪声的去耦时间点从小到大排列, 从第 1 个去耦时间点开始, 根据式(2)找到电容模型库中在该去耦时间点具有最小时域瞬态阻抗的去耦电容, 如果同时有两个或多个去耦电容满足条件, 则选择时域瞬态阻抗曲线最平缓的电容, 然

后根据式(12)确定去耦电容个数 N_c 。

(4) 重复步骤(3), 直至板级去耦网络的时域瞬态阻抗在所有去耦时间点均满足时域目标阻抗要求。

4 仿真验证

当前高速微处理器典型的 IO 电压是 3.3 V, 内核电压一般为 1.2 V, 为了验证本文提出的 PDN 去耦网络设计方法的有效性, 对这两种典型电压在不同上升时间和不同电流激励输入条件下的 4 种情况分别讨论。同时, 从去耦后的 PDN 频域阻抗曲线和去耦网络所需的电容个数两个方面, 对比分析本文所提方法与文献[9]中提出的传统频域目标阻抗法两者之间性能的优劣。

针对 IO 电压, 开关电流的平均值设为 2 A, 上升时间分别为 5 ns 和 50 ns; 同时, 由于内核电流一般较大, 设置其输入平均电流为 10 A, 上升时间分别是 5 ns 和 50 ns, 电压波动允许范围 $rp\%$ 统一设置成 5%, VRM 的输出电感和等效电阻分别设置成典型值 $L_{\text{vrm}} = 30$ nH 和 $R_{\text{vrm}} = 1$ m Ω 。本文进行去耦设计所使用的电容库已在前期相关研究工作中完成^[9], 如表 1 所示。

限于篇幅, 本文只以输入平均电流 $I_{\text{ave}} = 10$ A、上升时间 $T_r = 50$ ns 的内核 1.2 V 电压为范例, 详细阐述本文所提出的时域去耦网络设计过程, 但 4 种情况的仿真结果均在表 2 中详细列出。首先, 根据式(7)和式(10)计算出时域目标阻抗和去耦时间范围

表 1 电容库中去耦电容相关参数

电容名称	电容参数		
	$R(\Omega)$	$L(\text{H})$	$C(\text{F})$
Cap1	0.012012557	3.72182E-09	4.70E-04
Cap2	0.013663124	3.63413E-09	2.20E-04
Cap3	0.014775328	3.54039E-09	1.00E-04
Cap4	0.017575379	3.42039E-09	4.70E-05
Cap5	0.022775379	3.32389E-09	2.20E-05
Cap6	0.028257278	3.21284E-09	1.00E-05
Cap7	0.006701984	1.08185E-09	4.70E-06
Cap8	0.007761547	1.07732E-09	2.20E-06
Cap9	0.008117157	1.07496E-09	1.00E-06
Cap10	0.009570792	1.07000E-09	4.70E-07
Cap11	0.016950889	9.50000E-10	2.20E-07
Cap12	0.025851373	9.48000E-10	1.00E-07
Cap13	0.034547589	9.44208E-10	4.70E-08
Cap14	0.041547589	9.40208E-10	2.20E-08
Cap15	0.052547589	9.37708E-10	1.00E-08

分别为 3 mΩ 和 [50 ns, 10 ns], 则根据式(11)可知, 只需在 50 ns, 100 ns, 200 ns, 400 ns, 800 ns, 1.6 μs, 3.2 μs, 6.4 μs 这 8 个去耦时间点考察电压噪声, 并进行相关的去耦设计即可。在未添加任何去耦电容时, PDN 时域瞬态阻抗如图 4(a)中的点划线所示, 明显超出时域目标阻抗, 必须进行去耦设计。

将去耦时间点从小到大依次排列, 从第 1 个去耦时间点 50 ns 开始, 根据第 3 节总结的去耦电容选择标准, 电容库中的 “Cap7” 是针对该去耦时间点具有最优去耦效果的去耦电容, 并根据式(12)确定该种电容的数量 $N_c=12$, 对该去耦时间点进行去耦设计后的时域瞬态阻抗曲线如图 4(a)中实线部分所示。可以看出, “Cap7” 保证了 50 ns, 100 ns, 200 ns 这 3 个去耦时间点处的时域瞬态阻抗小于时域目标阻抗, 但其余 5 个去耦时间点处的时域瞬态阻抗仍不满足要求。因此, 针对第 4 个去耦时间点 400 ns 重复以上操作进行第 2 次去耦电容选择, 此次 “Cap1” 为该去耦时间点的最佳去耦电容, 并确定电容数量 $N_c=8$ 。该类去耦电容添加后的时域瞬态阻抗曲线如图 4(a)中虚线所示, 可以看出, 在 400 ns, 800 ns, 1.6 μs, 3.2 μs, 6.4 μs 这些去耦时间点处的时域瞬态阻抗均已满足要求, 此时去耦网络设计结束。在各去耦时间点处的最终时域瞬态阻抗如图

4(a)中的叉号所示。图 4(b)给出了经过时域去耦之后的 PDN 电压输出曲线, 可以看出, PDN 输出最大电压和最小电压分别为 1.200 V 和 1.174 V, 最大时域瞬态电压波动为 0.016 V, 小于电压允许波动 0.060 V。

图 5 分别给出了采用本文方法和文献[9]中传统的基于频域目标阻抗法对上述范例进行去耦后的 PDN 频域阻抗曲线, 可以看出, 利用本文提出的时域去耦算法设计的 PDN 去耦网络在频域中并没有满足频域目标阻抗要求, 但根据前面的分析可知, 其电压噪声已经满足 PDN 设计要求。而且, 通过表 2 给出的采用两种方法进行去耦后的电容选择结果, 更进一步说明了本文提出方法的优越性, 很明显, 传统的基于频域目标阻抗的方法存在过度设计。对于所列举的 4 个具有典型激励参数设置的实例, 与传统的频域目标阻抗法相比, 本文提出的算法所需电容数量至少能减少 24.59%, 设计的去耦电容网络更简单。

5 结束语

传统 PDN 设计方法主要集中在频域, 忽略了电压噪声的瞬态特性。本文从时域角度出发, 通过研究时域瞬态阻抗与最大瞬态噪声的关系, 从而提出

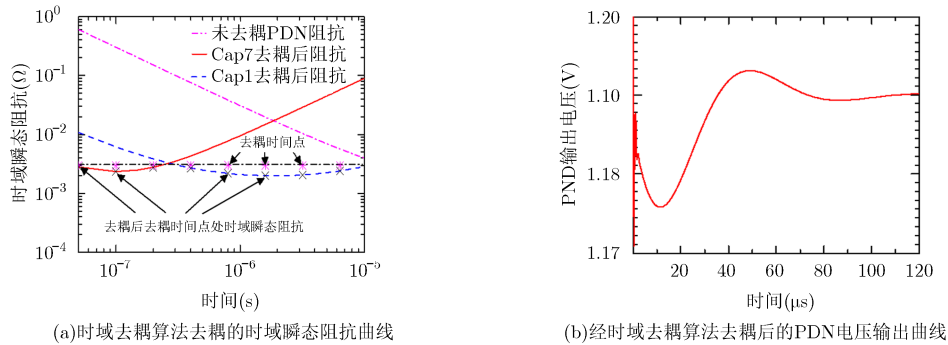


图 4 经时域去耦的时域瞬态阻抗曲线及 PDN 电压输出曲线

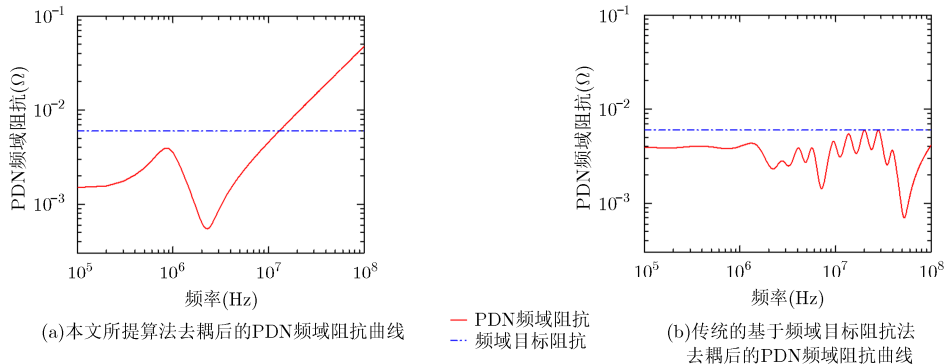


图 5 PDN 频域阻抗曲线对比

表 2 本文所提方法与传统频域目标阻抗法的电容选择结果对比

激励参数设置	时域去耦范围	时域目标阻抗 (mΩ)	最大允许噪声 (V)	时域去耦后最大时域瞬态噪声(V)	本文所提算法电容参数	传统频域目标阻抗法电容参数	电容数量减小比例 (%)	
$V_{dd}=3.3\text{ V}$ $I_{ave}=2\text{ A}$ $rp\%=5\%$	$T_r=5\text{ ns}$	[5 ns,0.7 μs]	41	0.165	0.073	Cap7 $N_c=6$	Cap15 $N_c=6$ Cap14 $N_c=1$ Cap13 $N_c=1$	50.00
	$T_r=50\text{ ns}$	[50 ns,0.7 μs]	41	0.165	0.045	Cap7 $N_c=1$ Cap1 $N_c=1$	Cap12 $N_c=1$ Cap11 $N_c=1$ Cap8 $N_c=1$ Cap5 $N_c=1$	83.33
	$T_r=5\text{ ns}$	[5 ns,10 μs]	3	0.060	0.019	Cap11 $N_c=73$ Cap7 $N_c=11$ Cap1 $N_c=8$	Cap15 $N_c=73$ Cap14 $N_c=12$ Cap13 $N_c=7$ Cap12 $N_c=6$ Cap11 $N_c=4$ Cap10 $N_c=6$	24.59
$V_{dd}=1.2\text{ V}$ $I_{ave}=10\text{ A}$ $rp\%=5\%$	$T_r=50\text{ ns}$	[50 ns,10 μs]	3	0.060	0.016	Cap7 $N_c=12$ Cap1 $N_c=8$	Cap9 $N_c=2$ Cap8 $N_c=2$ Cap7 $N_c=2$ Cap6 $N_c=5$ Cap1 $N_c=3$	83.61

了时域去耦的新标准, 并推导出了时域去耦范围。根据时域瞬态阻抗的性质, 确定了最优去耦电容的选择策略。通过与传统的频域目标阻抗法获得的去耦方案进行对比, 本文提出的算法在保证满足电压噪声要求的同时, 能够简化去耦网络, 减少设计成本。

参 考 文 献

- [1] YANG Hong, LI Gengfeng, ZENG Fangdi, *et al.* Researches on the optimization model and strategies against low voltage in power distribution network[C]. 2016 IEEE PES Asia-Pacific Power and Energy Engineering Conference (APPEEC), Xi'an, 2016: 435-438. doi: 10.1109/APPEEC.2016.7779902.
- [2] YAO Shengpeng, LI Chunlai, TENG Yun, *et al.* Research on reactive power and voltage optimization control method based on active distribution network[C]. 2016 International Conference on Smart City and Systems Engineering (ICSCSE), Human, 2016: 435-438. doi: 10.1109/ICSCSE.2016.0121.
- [3] BOUAKRA A and FOUAD S H. Voltage regulation of power distribution networks interconnected with a decentralized photovoltaic power producer[C]. 2016 3rd International Conference on Renewable Energies for Developing Countries (REDEC), Berlin, 2016: 1-6. doi: 10.1109/ICSCSE.2016.0121.
- [4] CHOI J Y and SWAMINATHAN M. Decoupling capacitor placement in power delivery networks using MFEM[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2011, 1(10): 1651-1661. doi: 10.1109/TCPMT.2011.2165954.
- [5] GUANG Chen. Challenges and solutions for core power distribution network designs[J]. *IEEE Electromagnetic Compatibility Magazine*, 2016, 5(4): 104-111. doi: 10.1109/MEMC.2016.7866247.
- [6] KIM Y W, KIM K Y, CHOI J Y, *et al.* Power distribution network design and optimization based on frequency dependent target impedance[C]. 2015 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), Seoul, 2015: 39-92. doi: 10.1109/EDAPS.2015.7383675.
- [7] YOON J and KIM J. A slope and amplitude controllable triangular-current generator for the injection of a broad-band PDN noise[J]. *IEEE Electromagnetic Compatibility Magazine*, 2016, 5(4): 112-116. doi: 10.1109/TCPMT.2011.2165954.
- [8] KIM J, WU S P, WANG H F, *et al.* Improved target impedance and IC transient current measurement for power distribution network design[C]. 2010 IEEE International Symposium on Electromagnetic Compatibility (EMC), Fort

- Lauderdale, 2010: 445-450. doi: 10.1109/ISEMC.2010.5711316.
- [9] LIU Yang, YUAN Yuzhang, CHEN Kongqian, *et al.* Decoupling capacitors selection algorithm based on maximum anti-resonance points and quality factor of capacitor[J]. *Electronics Letters*, 2015, 51(1): 90-92. doi: 10.1049/el.2014.2236.
- [10] LI Xingming and HU Shanqing. Power distribution network design from charge delivery perspective[J]. *Electromagnetic Compatibility Magazine*, 2014, 3(4): 55-58. doi: 10.1109/MEMC.2014.7023199.
- [11] SMITH L D and LEE J. Power distribution system for JEDEC DDR2 memory DIMM[C]. *Electrical Performance of Electronic Packages (EPEP)*, Princeton N.J, 2003: 121-124. doi: 10.1109/EPEP.2003.1250013.
- [12] ARCHAMBEAULT B and CONNOR S. The effect of decoupling capacitor distance on printed circuit boards using both frequency and time domain analysis[C]. *IEEE International Symposium on Electromagnetic Compatibility*, Chicago, 2005: 650-654. doi: 10.1109/ISEMC.2005.1513594.
- [13] DREWNIAK J L. Comparing time-domain and frequency domain techniques for investigation on charge delivery and power-bus noise for high-speed printed circuit boards[OL]. <http://design.icconnect007.com/index.php/article/19600/comparing-time-domain-and-frequency-domain-techniques-for-investigation-on-charge-delivery-and-power-bus-noise-for-high-speed-printed-circuit-boards/19603/?skin=design>, 2016.
- [14] ZHANG Mushui, LI Yushan, LI Liping, *et al.* An efficient power-delivery method for the design of the power distribution networks for high-speed digital systems[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2009, 57(3): 693-707. doi: 10.1109/TMTT.2009.2013308.
- [15] ZHANG Mushui, TAN Hongzhou, and MAO Junfa. New power distribution network design method for digital systems using time-domain transient impedance[J]. *IEEE Transactions on Components Packaging and Manufacturing Technology*, 2013, 3(3): 1399-1408. doi: 10.1109/TCPMT.2013.2261932.
- [16] JIN Hanbiao, LI Erping, ALBERT E, *et al.* Time domain PDN noise modeling for high performance system[C]. 2016 IEEE 25th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS), San Diego, 2016: 61-64. doi: 10.1109/EPEPS.2016.7835418.
- 刘 洋：男，1980 年生，副教授，研究方向为超高速电路设计与电磁兼容性。
- 白钰杰：女，1989 年生，硕士生，研究方向为超高速电路设计与电磁兼容性。
- 罗厚兴：男，1990 年生，硕士生，研究方向为超高速电路设计与电磁兼容性。
- 夏建强：男，1993 年生，硕士生，研究方向为超高速电路设计与电磁兼容性。