

一种新型低功耗抗软错误锁存器

张 章 周宇澄 刘俊丞 程 心* 解光军
(合肥工业大学电子科学应用物理学院 合肥 230009)

摘 要: 该文提出一种新型的 C 单元的连接方法, 将距离输出节点比较远的 P 型和 N 型晶体管的栅端与 C 单元的输出节点相连接, 利用晶体管自身的反馈机制形成反馈路径, 实现了自恢复功能, 因此大幅降低动态消耗和硬件开销; 采用点加强型 C 单元作为输出级电路并进行优化, 使得电路抵御单粒子翻转的能力更强; 基于上述改进, 搭建出一个新的抗软错误锁存器, 将输入信号经过传输门以后接传到输出端, 以降低输入信号传到输出节点的延迟, 利用节点之间的反馈比较机制进一步提升各个电路节点的临界电荷量。在 22 nm 的先进工艺下进行仿真, 实验结果表明, 提出的新型锁存器电路不仅具有优秀的抗软错误能力, 并且在功耗延迟积方面比现有的锁存器电路性能提升了 26.74%~97.50%。

关键词: 锁存器; 软错误; C 单元; 自恢复

中图分类号: TN47

文献标识码: A

文章编号: 1009-5896(2017)10-2520-06

DOI: 10.11999/JEIT170191

A Novel Low Power Consumption Soft Error-tolerant Latch

ZHANG Zhang ZHOU Yucheng LIU Juncheng CHENG Xin XIE Guangjun
(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, China)

Abstract: A novel C-element connect method is proposed. The gate of P-type/N-type transistor is modified from the top/bottom of conventional C-element to connect to output, which takes advantage of the transistor's own feedback mechanism to form a feedback path to achieve the self-recovery function. Therefore, the dynamic performance and hardware overhead are significant reduced. The node-enhanced C-element is used as the output stage circuit and optimized, making the circuit more resistant to single event upset. Based on the above description, a novel soft error-tolerant latch is proposed. Due to the only transmission gate in the shortest route between input and output, the delay in signal transmission is reduced. The critical charge can be further enhanced by using feedback comparison mechanism. Compared with latches in literature at 22 nm CMOS process, the results show that the proposed latch performs greater in reliability and the power delay products improvement of proposed latch achieves 26.74%~97.50%.

Key words: Latch; Soft error; C-element; Self-recovery

1 引言

随着集成电路特征尺寸的不断缩小, 电源电压、节点电容也相应减少, 使得一个节点所能储存的电荷量变小, 因而电路很容易受到外部噪声干扰^[1-4], 电路的可靠性成为了集成电路设计研究工作者们非常关注的一个问题。比如: 星系间的射线产生的宇宙中子或者封装材料中游离的 α 粒子。当这些粒子跟硅基 MOSFET 器件发生碰撞时, 穿过衬底会感

应出电子空穴对, 进而产生电荷流, 如果被电路中的敏感节点收集, 则会产生电压的瞬态。这种电压的瞬态变化就被称作瞬时错误(Transient Fault, TFSs)^[5-6]。如果收集的电荷量大于节点的临界电荷量 Q_{crit} , 则会使节点储存的逻辑值发生翻转。由于这些错误是非周期性和非长久性的, 故称之为软错误(Soft Errors, SEs)。其中, 单粒子翻转(Single Event Upset, SEU)和单粒子瞬态(Single Event Transient, SET)是引起数字电路发生软错误的重要诱因。SET 主要发生在组合逻辑电路中, 而 SEU 主要发生在时序元件中^[7-10]。

文献[11]指出, 时序逻辑电路比组合逻辑电路更容易发生软错误, 因为时序逻辑电路的脆弱窗口比

收稿日期: 2017-03-03; 改回日期: 2017-07-07; 网络出版: 2017-08-21

*通信作者: 程心 ceciliacheng1013@163.com

基金项目: 国家自然科学基金(61404043, 61674049, 61401137)

Foundation Items: The National Natural Science Foundation of China (61404043, 61674049, 61401137)

组合逻辑电路更长。为了加强电路的稳定性，近年来文献[12-20]提出了多种软错误的锁存器，主要分为 3 类：

(1)临界电荷强化型：这种类型的锁存器加固方法非常简洁，即通过增加电路内部节点的临界电荷量为手段，比如：增加关键节点所连接晶体管的数目或尺寸，来达到降低软错误的方法。

(2)冗余备份型：这种类型的锁存器将电路的存储区块进行冗余备份，并结合逻辑电路构成的表决电路进行筛选。其中，冗余机制一般包括时间和空间上的冗余，时间冗余技术是对一个指定节点在同一时钟周期内进行多重采样备份，来确保数据的完整性，但是这种技术需要额外的开销，性能损失比较大。空间冗余技术，比如三重冗余(Triple Modular Redundancy, TMR)和双互锁单元技术(Dual Interlocked Storage Cell, DICE)，使用这类冗余技术的系统可靠性非常强，在性能方面的牺牲相对较小，但是仍有提升空间，尤其是在能量效率方面。

(3)隔离型：这种类型的锁存器通常使用 C 单元将电路的内部与外界进行隔离，同时利用反馈的方式，加强内外互锁。优点在于采用这种结构的锁存器其抗软错误的能力和晶体管的尺寸关系一般无关。

一般而言，隔离型的锁存器通常都会采用 C 单元作为必不可少的设计元素。因为 C 单元可以使电路内部节点在发生软错误时，不会影响到输出的逻辑值，起到屏蔽软错误的作用。但是由于隔离型锁存器在构建电路时会使用两组及两组以上的 C 单元来保护电路的内部节点，所以晶体管数量偏多。而且 C 单元自身的功耗就很大，这样一来，锁存器电路的功耗和延迟就会增加。所以隔离型锁存器的功耗延迟积(Power-Delay-Product, PDP)比强化型的要高，设计时也必须额外付出更多的硬件成本。

针对上述问题，本文对传统的 C 单元进行改进，提出了一种新的 C 单元结构，该结构有着更低的动

态功耗以及自恢复的机制。此外，C 单元自身的节点的抗软错误能力常被忽视，为了防止输出端的 C 单元次要节点发生逻辑翻转时会影响输出节点的逻辑值，本文使用节点强化型 C 单元作为输出级电路，对其自身的次要内部节点提供反馈机制，同时进行优化，有效提升其临界电荷量。并以此为基础搭建了新的抗软错误锁存器，在保证延迟较小和抗软错误的同时，降低了功耗。最后通过实验和 ISO-DICE^[12]，FERST^[13]，STI^[14]，HLR^[15]，SIN 系列^[16]，HiPeR^[17]，RSETC^[18]，TSPCSEH^[19]和 HPST^[20]等经典的以及近几年提出的新颖的锁存器进行对比，验证本文提出的新型锁存器在功耗延迟等方面的提升。

2 C 单元的改进设计

传统的 C 单元是反馈隔离型锁存器中常见的电路结构。如图 1(a)，主要作用和优点是反相储存输入信号，屏蔽前级电路的暂态错误，隔离干扰的能力较强。因此在大部分已有的锁存器中较常见，尤其是输出级电路，如：ISO-DICE^[12]，FERST^[13]，STI^[14]、HLR^[15]，SIN 系列^[16]，HiPeR^[17]等。传统 C 单元的缺点是短路功耗较大，特别是使用多个传统 C 单元的锁存器，如：ISO-DICE^[12]和 FERST^[13]。虽然可靠性强，但是功耗过大。为了降低电路的功耗，文中将用设计的新型 C 单元替代部分传统 C 单元，作为静态的锁存器。

另外传统 C 单元作为输出级时，其内部次要节点如果受到干扰会直接影响到输出的逻辑值，并且输出容易呈现高阻态。尤其是采用时钟控制的 C 单元时，其内部节点对于输出的影响更大，如 HLR^[15]和 HPST^[20]。因此本文采用了内部节点加强型的 C 单元，提高次要节点的临界电荷量。同时保证输出不会进入高阻态，从而加强了整个锁存器电路的抗软错误能力。

2.1 功耗开销的降低——新型 C 单元

图 1(b)给出了本文设计的新型 C 单元连接方

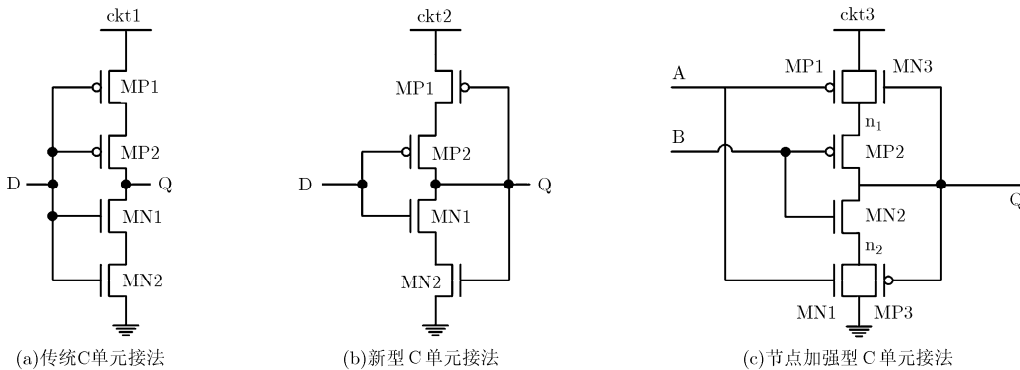


图 1 典型 C 单元电路

式: 新型 C 单元将传统 C 单元的最上端的 PMOS 和最下端 NMOS 的栅端改接到输出端 Q。其工作机制是: 当输出端 Q 不受外界干扰时, 逻辑功能等同于反相器, 当输出 Q 受到外界单粒子干扰时, 逻辑值虽然可能会发生暂时的变化, 但最终会恢复到与输入值反向的逻辑值。若新型 C 单元的输出端逻辑状态发生变化, 假设该 C 单元的初始状态为: $D = 0, Q = 1$ 时, Q 受到软错误影响, 状态变化为: $D = 0, Q = 1 \rightarrow 0$, 导致 MN2 关断, MP1 打开, 形成 VDD 到 Q_{b1} 的补电通路, 使得 Q 的逻辑状态恢复成 1, 因此 Q 受到软错误影响时, 通过新型 C 单元可以将该节点的状态恢复成正确的逻辑值。

这样的接法相比于传统的 C 单元来说, 虽然输出没有达到全摆幅, 但是一方面它降低了动态功耗, 另一方面利用了晶体管自身的反馈特性, 在不用多加晶体管的情况下就构建出了反馈路径(一般的做法是利用反相器环来实现), 而反馈机制也只在 C 单元输出节点 Q 受干扰时才开启, 进一步降低了构建锁存模块的硬件和功耗开销。

2.2 抗软错误能力的提升——内部节点加强型 C 单元

当暂态错误发生在传统 C 单元的内部节点 n_1, n_2 时, 会直接传递到输出节点 Q 导致软错误产生, 因此这两个内部节点受到攻击会导致传统 C 单元隔离机制的失效。内部节点加强型 C 单元的工作原理是在传统 C 单元的基础上增加了两个晶体管: MP3 和 MN3, 如图 1(c)。 n_1 和 n_2 节点由于接了 3 个 MOS 管, 其自身寄生电容得到增加, 临界电荷量随之升高。并且更重要的是当 n_1 和 n_2 节点受到干扰产生的电荷会被流经 MP3 和 MN3 的电流补偿掉。此外, 这两个 MOS 管的栅端是由输出节点 Q 直接控制, 会一直工作在饱和区, 流经上述两个 MOS 管的电流相对较大且稳定, 这是传统 C 单元直接增加 MP1 和 MN1 的尺寸所无法达到的效果。

因此, 节点加强型 C 单元不仅屏蔽了内部所有的暂态错误, 还加固了自身内部节点的。同时, 输出端不会像传统 C 单元那样进入高阻状态, 而是由这两个额外的晶体管维持输出节点的强逻辑, 避免了节点浮接的电位漂移, 进一步增强临界电荷量。所以上述结构作为输出级电路在面对软错误时要更加可靠一些。

3 高速低功耗抗软错误锁存器的设计

在设计抗软错误锁存器时, 抗软错误能力是决定锁存器能否被实际应用的指标, 但是锁存器的效能则决定了它应用范围的广度。因为现有的锁存器

中有些结构的抗软错误能力已经相当强, 所以效能成为了评判一个抗软错误锁存器结构优劣的重要考量因素, 其中功耗延迟积(Power Delay Product, PDP)就是反映锁存器效能的重要指标之一。为了保证锁存器的抗软错误能力, 我们采用了节点加强型 C 单元作为输出级电路; 为了降低功耗和硬件开销, 我们采用了新提出的自恢复 C 单元作为锁存备份模块; 为了降低传递延迟, 我们将输入和输出直接通过一个传输门连接。基于上文提到的两种改进设计的 C 单元, 设计出了一款高性能低功耗的抗软错误锁存器。

3.1 新锁存器的结构原理

如图 2 所示, 本文设计的锁存器主体电路包含 3 个传输门和 3 个 C 单元。

当 CLK 为高电平时, 本文所述锁存器处于传值模式, 3 个传输门全部打开。该锁存器的输入的数据有两条通路到达该锁存器的输出端, 第 1 条: 输入的数据通过传输门 TG2, 从输入端 D 端口直接传递到输出端 Q 端口; 第 2 条: 输入数据分别通过传输门 TG1, TG3 从输入端 D 端口传值到新型 C 单元; C 单元 1 和 C 单元 2 对输入数据进行保存并进行第 1 次反相, 再由 C 单元 3 反相至输出端 Q 端口。

当 CLK 为低电平时, 本文的锁存器处于锁存模式。3 个传输门全部关闭。该锁存器的两个新型 C 单元用来存储数据, 内部一共包括 4 个储存节点 d_1, d_2, Q_{b1}, Q_{b2} ; 当存储 0 逻辑时, $d_1 = d_2 = 0, Q_{b1} = Q_{b2} = 1$; 当存储 1 逻辑时, $d_1 = d_2 = 1, Q_{b1} = Q_{b2} = 0$; 这 4 个节点相互分离, 由于 C 单元的存在, 其中任意一个节点受到 SEU 时, 都会被隔离, 不至于影响输出, 从而保证逻辑正确。

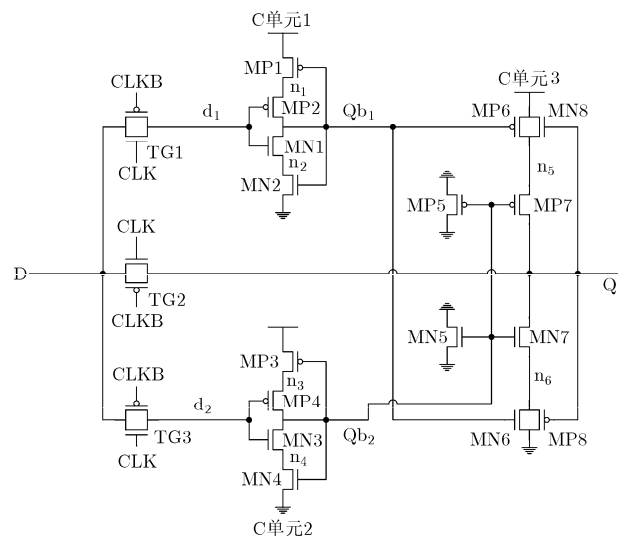


图 2 高性能低功耗抗软错误锁存器结构原理图

同时本文设计的锁存器中, 特别增加了 MN5 和 MP5 两个晶体管, 将它们的源端、漏端与地相连, 这样就形成了一个 MOS 电容。假设在本锁存器中, Q_{b_1} 和 Q_{b_2} 的初始状态为 0, 当 Q_{b_2} 受到暂态错误攻击时, 由 0 翻转成 1, 晶体管 MN7 就会导通, 使得输出端 Q 和次要节点 n_6 进行电荷分享。而 MP5 和 MN5 的出现减缓了 Q_{b_2} 受到攻击时瞬态电压的大小, 因此减少 Q_{b_2} 恢复正确值所需要的时间, 也就进一步降低了晶体管 MP7 或 MN7 的导通时间, 从而降低了电荷分享效应。避免了输出端 Q 的逻辑值受到输出级 C 单元(C 单元 3)内部次要节点的影响, 进一步增强了电路的抗软错误能力。

3.2 新锁存器的抗软错误机制

本文运用 22 nm 的 CMOS 预测工艺模型文件 (Predictive Technology Model, PTM) 针对各节点受到攻击时, 对电路的抗软错误能力进行检验, 电源电压为 1 V, 时钟周期为 2000 ps, 发现所提出锁存器在内部节点受到暂态错误能干扰时不会影响输出的逻辑, 其抗软错误原理分析如下:

当 d_1 受到 TFs 影响时, 假设: $Q = 1, Q_{b_1} = Q_{b_2} = 0, d_1 = d_2 = 1$, MP5, MP6, MP7 开启, MN5, MN6, MN7 关闭。 d_1 从 1 变成 0, Q_{b_1} 从 0 变成 1, MP5 关闭, MN5 开启, 但是因为 d_2 和 Q_{b_2} 的状态没变, 且由于输出节点 Q 没有受到影响, 所以 MN8 仍然导通, 输出节点 Q 维持原来的强逻辑不变。当 d_2 受到 TFs 影响时, 与上述情况类似。

当 Q_{b_1} 受到 TFs 影响时, 与 d_1 受到攻击的情况相同的是 Q 点会维持原来的逻辑值不变。不同的是: $Q = 1, Q_{b_1} = Q_{b_2} = 0, d_1 = d_2 = 1$, MN1, MP1 开启, MP2, MN2 关闭。 Q_{b_1} 从 0 变成 1 时, MP1 关闭, MN2 开启, 反馈机制开始作用, Q_{b_1} 会被迅速重新拉到逻辑 0。当 Q_{b_2} 受到 TFs 影响时, 与上述情况类似。

当 Q 点受到 TFs 影响时, 只会产生一个干扰突波, 这个突波的大小取决于注入电荷量的多少, 输出负载以及 MP7, MN7 和 TG2 晶体管的尺寸大小。此外, 由于其他节点的逻辑正确, Q 点电压会通过原有的电流通路迅速恢复到正常值。

当节点 n_5, n_6, n_7, n_8 受到 TFs 影响时, 若 $Q = 1, Q_{b_1} = Q_{b_2} = 0$, 只有 C 单元 3 的上面 3 个晶体管导通, n_5, n_6 为逻辑 1, n_7, n_8 浮空。 TFs 影响这 4 个节点只会导致输出产生突波并不会发生 SEU, 因为它们不会影响到内部节点的逻辑, 所以 TFs 在这些节点产生的影响会被流经 C 单元 3 两端的电流迅速纠正。

从上述分析可以看出, 新提出的锁存器可以完全容忍 SEU 的发生, 具有较强的抗软错误力。

4 锁存器的评估与比较

将本文所设计的锁存器与已有锁存器的抗软错误能力进行对比, 而电路中脆弱节点的最小临界电荷量是决定抗软错误能力的关键因素。因此本文对已有的锁存器和所提出的锁存器的薄弱敏感节点进行临界电荷量(均为最小临界电荷量)的测量, 结果如表 1 最后一列(“-”表示该点无论受到多大电荷量的攻击输出都不会发生翻转)。

可以发现本文设计的锁存器中最薄弱节点(n_5 和 n_6)的抗软错误能力也达到了较高的水平, 意味着无论该锁存器的哪个内部节点受到暂态错误影响时, 都不会使输出发生软错误。与已有的 ISO-DICE, FERST, HiPeR 一样具有较强的抵御软错误的能力, 可以完全抵御 SEU。而 HLR 和 HPST 电路, 采用了时钟控制的 C 单元作为输出电路, 其输出级的内部节点没有得到保护因而临界电荷量很低, 抗软错误能力也相对较弱。

为了更加详细地分析本文所设计的锁存器相比于已有的锁存器的优势, 我们还对组成锁存器所需晶体管数目、功耗、延迟、功耗延迟积等指标进行实验对比。可以发现本文设计的锁存器, 使用的晶体管数量(面积开销)并不是最低, 但是功耗达到了最小, 最终 PDP 在所比较的锁存器中达到了最低。

在表 1 中灰色部分列出了本文所设计的锁存器相比于已有的锁存器在这几项指标方面的相对变化量, 方便更加直观地展示各锁存器的效能差异。相对量的计算方法是

$$\Delta = (\text{本文锁存器} - \text{其他锁存器}) / \text{其他锁存器} \quad (1)$$

由结果可见, 本文设计的锁存器牺牲了 8.35% 的晶体管数目, 来换取功耗, 延迟, 以及抗软错误性能方面的提升; 在功耗方面平均降低了 54.71%, 因为本文新提出的 C 单元连接方式比传统结构能耗低很多, 从而带动了整体功耗的降低; 在延迟方面平均降低了 31.12%, 在功耗延迟积方面降低了 26.74%~97.50%, 平均值达到 64.37%, 成效显著。因此本文所设计的锁存器, 在抗软错误能力方面可靠性很高, 同时比已有的锁存器有着更低的功耗延迟积。

5 结束语

本文提出了一个新型的 C 单元连接方式, 比传统 C 单元有着更低的动态功耗以及自恢复的机制。为了防止输出端的 C 单元次要节点发生逻辑翻转时会影响到输出节点的逻辑值, 我们对输出端的 C 单元的次要节点提供反馈机制, 提升了其临界电荷量。

表 1 本文提出的锁存器与已有的锁存器各项指标的综合比较

	晶体管 数目	Δ 晶体管 数目 (%)	功耗 (μ W)	Δ 功耗 (%)	延迟 (ps)	Δ 延迟 (%)	功耗延迟 积(fJ)	Δ 功耗延 迟积 (%)	临界电荷量 (fc)
ISO-DICE ^[12]	36	-16.67	1.64	-84.76	12.32	-69.97	0.01233	-92.38	-
FERST ^[13]	36	-16.67	0.42	-40.48	17.46	-78.81	0.00739	-87.28	-
STI ^[14]	48	-37.50	1.64	-84.76	22.88	-83.83	0.03760	-97.50	1.72
HLR ^[15]	36	-16.67	0.55	-54.55	<u>2.76</u>	34.06	0.00151	-37.75	3.43
SIN_HR ^[16]	18	66.67	0.33	-24.24	5.12	-27.73	0.00170	-44.71	-
SIN_LC ^[16]	15	100.00	0.29	-13.79	5.38	-31.23	0.00155	-39.35	-
HiPeR ^[17]	24	25.00	0.60	-58.33	4.97	-25.55	0.00301	-68.77	-
RSETC ^[18]	31	-3.23	0.49	-48.98	4.03	-8.28	0.00200	-53.00	2.01
TSPCSEH ^[19]	27	11.11	3.48	-92.82	7.49	-50.60	0.02606	-96.39	0.05
HPST ^[20]	42	-28.57	0.45	-44.44	<u>2.83</u>	30.74	0.00128	-26.56	0.10
本文	30	-	<u>0.25</u>	-	<u>3.70</u>	-	<u>0.00094</u>	-	-
平均提升量	-	<u>8.35</u>	-	<u>-54.71</u>	-	<u>-31.12</u>	-	<u>-64.37</u>	-

并且可以在屏蔽内部 SEU 时,使输出保持强逻辑而不会进入高阻态,有着很强的抗软错误能力。利用传输门直接连接输入和输出,降低了传值延迟。

新提出的锁存器相比于已有的锁存器,虽然牺牲了一部分面积开销,但脆弱节点的临界电荷量达到无穷大,表现出了很好的可靠性。另外在功耗延迟积方面有了不小的提升,对比试验中本文的锁存器结构的 PDP 达到最小,达到了高性能低功耗的特性。

参 考 文 献

- [1] ZIVANOV N M and MARCUESCU D. A systematic approach to modeling and analysis of transient fault in logic circuits[C]. Proceedings of Quality of Electronic Design, California, USA, 2009: 408-413. doi: 10.1109/ISQED.2009.4810329.
- [2] KATERINA Katsarou and YIORGOS Tsiatouhas. Soft error immune latch under SEU related double-node charge collection[C]. Proceedings of IEEE 21st International On-Line Testing Symposium (IOLTS), Halkidiki, 2015: 46-49. doi: 10.1109/IOLTS.2015.7229830.
- [3] GANGADHAR S, SKOUFIS M, and TRAGOUDAS S. Propagation of transients along sensitizable path[C]. Proceedings of IEEE International On-Line Testing Symposium, Greece, 2008: 129-134. doi: 10.1109/IOLTS.2008.46.
- [4] HIEOKI Ueno and KAZUTERU Namba. Construction of a soft error (SEU) hardened latch with high critical charge[C]. Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), Storrs, 2016: 27-30. doi: 10.1109/DFT.2016.7684064.
- [5] WANG H B, LI Y Q, CHEN L, *et al.* An SEU-tolerant DICE latch design with feedback transistors[J]. *IEEE Transactions on Nuclear Science*, 2015, 62(2): 548-554. doi: 10.1109/TNS.2015.2399019.
- [6] MEIERAN E S, ENGAL P R, and MAY T C. Measurement of alpha particle radioactivity in IC device packages[C]. Proceedings of 17th International Reliability Physics Symposium, New York, 1979: 13-22. doi: 10.1109/IRPS.1979.362865.
- [7] BAUMANN R C. Radiation-induced soft-errors in advanced semiconductor technologies[J]. *IEEE Transactions on Device and Materials Reliability*, 2005, 5(3): 305-316. doi: 10.1109/TDMR.2005.853449.
- [8] 黄正峰, 陈凡, 蒋翠云, 等. 基于时序优先的电路容错混合加固方案[J]. *电子与信息学报*, 2014, 36(1): 234-240. doi: 10.3724/SP.J.1146.2013.00449.
HUANG Zhengfeng, CHEN Fan, JIANG Cuiyun, *et al.* A hybrid hardening strategy for circuit soft-error-tolerance based on timing priority[J]. *Journal of Electronics & Information Technology*, 2014, 36(1): 234-240. doi: 10.3724/SP.J.1146.2013.00449.
- [9] MOHAMMAD Saeed Ansari, MAHANI Ali, and HAN Jie. A novel gate grading approach for soft error tolerance in combinational circuits[C]. Proceedings of IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), Vancouver, 2016: 1-4. doi: 10.1109/CCECE.2016.7726658.
- [10] IBE E, TANIGUCHI H, YAHAGI Y, *et al.* Impact of scaling on Neutron-Induced soft error in SRAMs from a 250 nm to a 22 nm design rule[J]. *IEEE Transactions on Electron Devices*, 2010, 57(7): 1527-1538. doi: 10.1109/TED.2010.2047907.

- [11] MITRA S, IYTER R, RAVISHARKAR K, *et al.* Reliable system design: Models, metrics and design techniques[C]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design, California, USA, 2008. doi: 10.1109/ICCAD.2008.4681534.
- [12] WEY Ichyn, YANG Yusheng, WU Bincheng, *et al.* A low power-delay-product and robust Isolated-DICE based SEU-tolerant latch circuit design[J]. *Microelectronics Journal*, 2014, 45(1): 1-13. doi: 10.1016/j.mejo.2013.09.007.
- [13] FAZELI M, MIREMADI S G, EJLALI A, *et al.* Low energy single event upset/single event Transient-Tolerant latch for deep submicron technologies[J]. *IET Computer & Digital Techniques*, 2009, 3(3): 289-303. doi: 10.1049/iet-cdt.2008.0099.
- [14] NAN H and CHOI K. Novel soft error hardening design of nanoscale CMOS latch[C]. Proceedings of International Soc Design Conference, South Korea, 2010: 111-114. doi: 10.1109/SOCD.2010.5682959.
- [15] NAN Haiqing and CHOI Ken. High performance, low cost, and robust soft error tolerant latch designs for nanoscale CMOS technology[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, 59(7): 1445-1457. doi: 10.1109/TCSI.2011.2177135.
- [16] OMANA M, ROSSI D, and METRA C. Latch susceptibility to transient faults and new hardening approach[J]. *IEEE Transactions on Computers*, 2007, 56(9): 1255-1268. doi: 10.1109/TC.2007.1070.
- [17] SASAKI Y, NAMBA K, and ITO H. Soft error masking circuit and latch using schmitt trigger circuit[C]. Proceedings of 21st IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Virginia, 2006: 327-335. doi: 10.1109/DFT.2006.60.
- [18] ANJAN Kumar Pudi N S and MARYAM Shojaei Baghini. Robust soft error tolerant CMOS latch configurations[J]. *IEEE Transactions on Computers*, 2016, 65(9): 2820-2834. doi: 10.1109/TC.2015.2509983.
- [19] TAJIMA Saki and SHI Youhua. A low-power soft error tolerant latch scheme[C]. Proceedings of IEEE 11th International Conference on ASIC (ASICON), Chengdu, China, 2015: 1-4. doi: 10.1109/ASICON.2015.7516885.
- [20] HUANG Zhengfeng. A high performance SEU-Tolerant latch for nanoscale CMOS technology[C]. Proceedings of Design, Automation & Test in Europe Conference & Exhibition (DATE), Dresden, 2014: 1-5. doi: 10.7873/DATE.2014.175.
- 张 章: 男, 1982 年生, 副教授, 研究方向为集成电路设计与测试及新型半导体器件.
- 周宇澄: 男, 1992 年生, 硕士生, 研究方向为集成电路设计与测试及新型半导体器件.
- 程 心: 女, 1985 年生, 副教授, 研究方向为集成电路设计于测试及新型半导体器件.
- 解光军: 男, 1970 年生, 教授, 研究方向为新型半导体器件及量子器件.