

40 nm CMOS 工艺下的低功耗容软错误锁存器

黄正峰^① 王世超^① 欧阳一鸣^② 易茂祥^① 梁华国^{*①}

^①(合肥工业大学电子科学与应用物理学院 合肥 230009)

^②(合肥工业大学计算机与信息学院 合肥 230009)

摘要: 为了降低集成电路的软错误率, 该文基于时间冗余的方法提出一种低功耗容忍软错误锁存器。该锁存器不但可以过滤上游组合逻辑传播过来的 SET 脉冲, 而且对 SEU 完全免疫。其输出节点不会因为高能粒子轰击而进入高阻态, 所以该锁存器能够适用于门控时钟电路。SPICE 仿真结果表明, 与同类的加固锁存器相比, 该文结构仅仅增加 13.4% 的平均延时, 使得可以过滤的 SET 脉冲宽度平均增加了 44.3%, 并且功耗平均降低了 48.5%, 功耗延时积(PDP)平均降低了 46.0%, 晶体管数目平均减少了 9.1%。

关键词: 软错误; 单粒子翻转; 单粒子瞬态; 加固锁存器

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2017)06-1464-08

DOI: 10.11999/JEIT160889

Low Power Soft Error Tolerant Latch for 40 nm CMOS Technology

HUANG Zhengfeng^① WANG Shichao^① OUYANG Yiming^② YI Maoxiang^① LIANG Huaguo^①

^①(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, China)

^②(School of Computer & Information, Hefei University of Technology, Hefei 230009, China)

Abstract: To reduce the soft error rate of the circuit, this paper proposes a low power soft error tolerant latch based on time redundancy technology. The proposed latch can fully tolerate the Single Event Upset (SEU) when particles strike on internal nodes. Furthermore, it can efficiently mask the input Single Event Transient (SET). Its output node will not enter a high impedance state when a particle strikes on internal nodes, so the proposed latch can be applied to clock-gating circuits. Detailed SPICE simulations are done to evaluate the proposed latch circuit and previous latch circuits designed in the literatures. Compared with other soft error tolerant latches, the proposed latch introduces 13.4% delay overhead on average. While it can achieve 44.3% increase in filterable SET pulse width, 48.5% reduction in power, 46.0% reduction in Power Delay Product (PDP), and 9.1% reduction in transistor numbers on average.

Key words: Soft error; Single Event Upset (SEU); Single Event Transient (SET); Hardened latch

1 引言

随着集成电路技术的发展以及微电子工艺水平的不断提高, 特征尺寸不断减小, 电源电压持续降低, 以及电路时钟频率的升高, 使得电路对于辐射效应引发的软错误变得越来越敏感^[1,2]。当高能粒子轰击集成电路中的敏感节点时, 该粒子会在通过的路径上电离出电荷。这些电荷被节点收集后, 收集的电荷形成一个短暂的电流脉冲, 进而形成的电压脉冲就有可能导致软错误^[3,4]。

如果高能粒子轰击时序逻辑单元, 有可能会导致存储的逻辑值发生翻转, 这种现象称为单粒子翻转(Single Event Upset, SEU)。如果高能粒子轰击组合逻辑单元, 收集的电荷会在该节点上生成一个瞬时电压脉冲, 这种现象称为单粒子瞬态(Single Event Transient, SET)。SET 被组合逻辑末端的锁存器捕获, 就会引起软错误。

针对 SEU, 对于存储单元通常采用低成本的错误校正码技术^[5,6], 用于抑制由粒子轰击所产生的软错误。而对于时序逻辑电路, 比如锁存器, 国内外学者提出了许多加固方法^[7-21]。锁存器加固方法一般可分为两类, 第 1 类方法是修改锁存器的电路结构, 使其免疫任意大小能量的粒子轰击。其中最常见的结构就是文献[7]提出的 DICE 结构, 使用冗余状态节点实现从 SEU 中自行恢复。第 2 类方法是调

收稿日期: 2016-09-02; 改回日期: 2017-02-22; 网络出版: 2017-04-06

*通信作者: 梁华国 huagulg@hfut.edu.cn

基金项目: 国家自然科学基金(61574052, 61371025, 61474036, 61674048), 安徽省自然科学基金(1608085MF149)

Foundation Items: The National Natural Science Foundation of China (61574052, 61371025, 61474036, 61674048), The Natural Science Foundation of Anhui Province (1608085MF149)

整电路节点的电容和关键晶体管的尺寸。针对 SET, 常见的加固方法有 CVSL 方法^[8], 利用施密特触发器来屏蔽 SET 的方法^[9]以及通过时间冗余的方法^[10]。CVSL 方法需要对每个逻辑门进行复制, 硬件开销较大, 不适用大规模电路的加固。基于施密特触发器的方法只能屏蔽有限宽度的 SET。而时间冗余的方法, 硬件开销小, 容 SET 能力强, 本文采用的就是这种方法。传统的加固技术主要集中于 SEU, 而随着近年来集成电路技术的不断发展, 工艺尺寸的不断下降, 电源电压不断降低, SET 成为影响集成电路可靠性的重要因素^[11]。

三模冗余(Triple Modular Redundancy, TMR)是经典的加固技术, 已经得到广泛的应用。TMR 加固锁存器^[12]的思想是将 3 个同构的静态锁存器并联, 在数据输入端加入延时单元, 并通过多数表决器产生正确的输出。其中任意一个锁存器发生 SEU, 都会因为另外两个没有受到干扰的锁存器而被表决器屏蔽。由于延时单元的加入, 构成时间冗余电路, 使其有过滤 SET 的能力。该锁存器虽然可靠性高, 但是面积和延时开销较大。

文献[13]提出了 BISER 加固技术, 将静态锁存器复制两份, 并接入一个 C 单元, 利用 C 单元的特性来屏蔽 SEU。虽然该锁存器能够完全免疫 SEU, 但是它不能够容忍 SET。文献[14]采用施密特触发器(Schmitt trigger)来过滤 SET, 这种锁存器不能够完全免疫 SEU, 且过滤 SET 的能力有限。LCHR 锁存器^[15]在 BISER 的基础上, 加入了一个旁路, 并在这条旁路上加入施密特触发器, 使该锁存器能够过滤 SET。

SIN-LC 锁存器^[16]采用了反馈回路和冗余的节点来恢复敏感节点存储的值。DET-SEHPL 锁存器^[17]和 SEHLD 锁存器^[18]都在 SIN-LC 锁存器上做了改进。DET-SEHPL 锁存器和 SEHLD 锁存器方法结构简单, 面积开销和功耗较小, 但是不能完全容忍 SEU。当粒子轰击这两种锁存器的输出节点 Q, 会导致其存储的逻辑值发生翻转。

文献[19]提出了 LESH-1 和 LESH-2 锁存器, 这两种锁存器处于透明期的时候存在导通的反馈环, 导致额外的功耗开销。锁存器 BISER^[13], LCHR^[15], LSEH-1^[19]为了适用于门控时钟, 在输出节点加入反馈环, 使其输出节点不会处于高阻抗状态, 这些反馈环引入额外的面积和功耗开销。

基于现有加固锁存器的不足, 本文提出了一种低功耗容软错误锁存器, 该锁存器能够完全容忍锁存器内部的 SEU, 还能有效屏蔽组合逻辑传来的

SET。基于 SMIC 40 nm 工艺, 使用 HSPICE 工具进行电路仿真。和相关加固锁存器相比, 该锁存器能够适用于门控时钟, 具有低功耗, 面积开销小, 功耗延时积(Power Delay Product, PDP)小的优点。最后还研究了 PVT (Process, supply Voltage and Temperature, PVT) 波动对各种加固设计的影响。

2 本文提出的加固锁存器设计

2.1 时间冗余电路

文献[10]提出时间冗余电路, 将它置于组合逻辑末端, 来屏蔽 SET。时间冗余电路的形式主要有两种: 基于时间冗余的三模冗余(TMR-TR)和基于时间冗余的 C 单元(CE-TR), 分别如图 1(a)和图 1(b)所示。TMR-TR 结构中, 假设延时单元的延时分别为 D 和 $2D$, SET 的脉冲宽度是 t_{SET} , 如果 $D > t_{SET}$, 产生的脉冲会被表决器过滤。CE-TR 与 TMR-TR 相比, 它的开销更少。CE-TR 技术用到了 C 单元(C-element)和延时单元。C 单元最早由 David Muller 在 1959 年提出, 最初的用途是在异步电路设计中同步握手信号并产生局部的时钟信号, 现在已经广泛应用于抗辐射加固领域。如图 1(b)所示, C-element 是包括 4 个晶体管的双输入单输出的门。当两个输入具有相同逻辑值, 输出是输入的互补逻辑。如果两个输入不同, 输出呈高阻态并保持原来的状态。当 SET 的脉冲宽度小于延时单元的延时, SET 脉冲会被 C 单元屏蔽。本文采用了 CE-TR 时间冗余电路来屏蔽从组合逻辑传来的 SET。

2.2 电路结构

为了缓解单粒子效应引发的软错误, 本文提出了一种新颖的加固锁存器。如图 2 所示, 该锁存器包含 3 个传输门 TG1, TG2, TG3, 3 个半 C 单元 HC1, HC2, HC3, 1 个钟控半 C 单元 HC4, 1 个延时单元 δ , 1 个反相器 inv1, 以及 1 个 C 单元 CE1。其中半 C 单元是由 2 个晶体管组成的双输入单输出的门。当两个输入具有相同逻辑值, 输出是输入的反相。D 为锁存器的输入信号, Q 为锁存器的输出信号, clk, nclk 为锁存器的时钟控制信号, nclk 是 clk 的反相信号。其中的延时单元的电路结构如图 3 所示。

2.3 容 SET 原理

当 $clk=1, nclk=0$ 时, 该锁存器工作在透明期。此时传输门 TG1 和 TG2 导通, 传输门 TG3 和钟控半 C 单元 HC4 关闭。输入信号 D 通过两条独立的路径到达 C 单元 CE1, 再经过一个反相器到达输出信号 Q。其中一条路径是输入信号 D 经过传输门 TG1 直接到达 X1。而另一条路径是输入信号 D

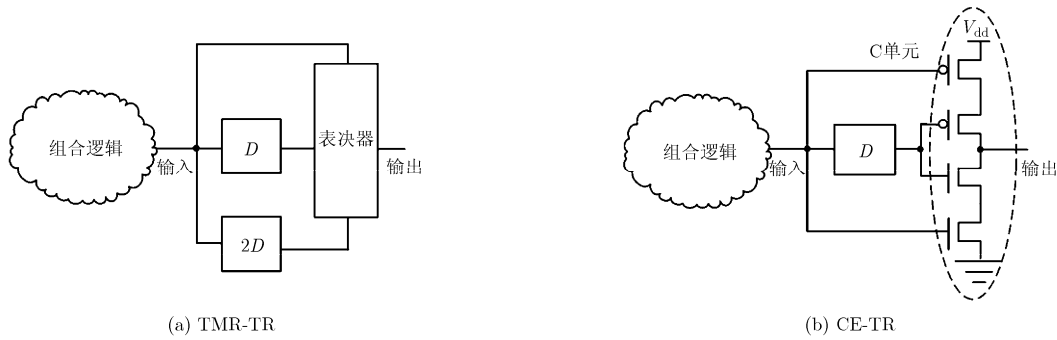


图 1 时间冗余电路

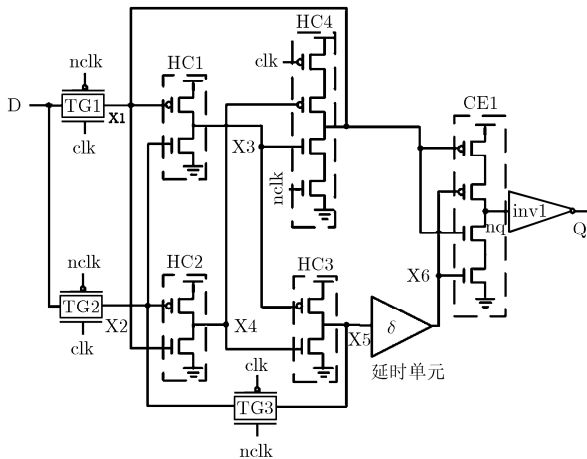


图 2 本文提出的加固锁存器设计

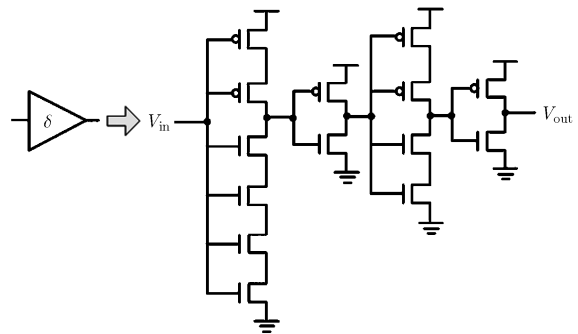


图 3 延时单元设计

经过设定的延时到达 X6。假设此时 SET 脉冲到达输入端 D，经过上述的两条路径到达 C 单元 CE，再经过一个反相器 inv1 到达输出端 Q。

上述的两条路径存在着延时差，构成时间冗余电路。根据 2.1 节讲述的时间冗余电路特性，只要 SET 脉冲的宽度小于两条路径的延时差，那么该 SET 脉冲将被 C 单元屏蔽。在透明期使传输门 TG3 和钟控半 C 单元 HC4 关闭，关闭反馈环路，以减少锁存器的功耗开销。

2.4 容 SEU 原理

当 $clk=0, nclk=1$ 时，该锁存器工作在锁存期。

此时传输门 TG1 和 TG2 关闭，传输门 TG3 和钟控半 C 单元 HC4 导通。该锁存器通过 3 个半 C 单元 HC1, HC2, HC3 和 1 个钟控半 C 单元 HC4 构成反馈环来存储数据，其内部有 4 个存储节点，分别为 X1, X3, X4, X5。半 C 单元 HC1, HC2, HC3 和 1 个钟控半 C 单元 HC4 构成了双模互锁 DICE 结构。根据 DICE 结构的特性可知，其中任意一个内部存储节点发生瞬态故障，在经过一段时间后都会被另外的存储节点纠正。假设 X1, X2, X3, X4, X6 中任意节点发生瞬态故障，根据 DICE 结构的特性，

在经过一段时间后都会被另外的存储节点恢复。假设节点 nq 和 Q 中任意节点发生瞬态故障，由于反馈环存储正确的数据，经过 C 单元 CE1，对 nq 或 Q 进行恢复。所以说，该锁存器能够完全容忍 SEU。

因为 DICE 有自恢复的特性，任意一个节点发生故障最后都会被恢复，节点 X1 和 X5 不会发生错误，所以 C 单元 CE1 的输出 nq 不会进入高阻态，因此该锁存器能够适用于门控时钟。

综上所述，锁存器能够完全免疫锁存器内部的 SEU，并且有着较强的容 SET 能力，而且可以应用于门控时钟电路。

2.5 仿真实验

基于 SMIC 40 nm 工艺库，使用 HSPICE 软件进行 SEU/SET 故障注入分析。仿真条件为 TT (Typical NMOS and Typical PMOS) 工艺角，1.1 V 的电源电压，室温 25°C。

为了评估该锁存器屏蔽 SET 的能力，采用矩形波来模拟从上游组合逻辑传播过来 SET 脉冲。如图 4 所示，当锁存器处于透明期时，在不同的时间，对输入信号 D 注入一定脉冲宽度的 SET，而锁存器的输出 Q 没有受到任何影响。可以得出结论，本文

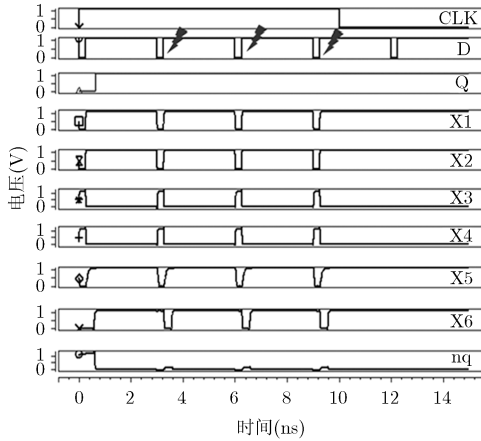


图 4 透明期, 对 D 进行 SET 故障注入

提出的锁存器具有屏蔽 SET 的能力。

为了证明其容 SEU 能力, 采用文献[22]提出的双指数电流源模型对提出的锁存器进行故障注入, 注入电荷量为 70 fc。双指数电流源用式(1)表示,

$$I(t) = \frac{Q}{\tau_\alpha - \tau_\beta} \left(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta} \right) \quad (1)$$

这里的 Q 是指粒子轰击造成的沉积电荷量, τ_α 表示电荷沉积的时间常数, τ_β 是粒子轨迹确定的时间常数。时间常数 τ_α 和 τ_β 取决于电路的制造工艺。根据文献[15,16,23]的数据和仿真的结果, τ_α 的取值为 164 ps, τ_β 的取值是 50 ps。

如图 5(a)所示, 当锁存器处于锁存期且 $Q = 1$ 时, 在不同时刻, 分别对锁存器内部所有的节点都进行了故障注入。对除了输出节点 Q 以外的节点进行故障注入, 输出节点 Q 不会受到影响, 被轰击的节点经过短暂的时间后发生自恢复。当对输出节点

Q 进行故障注入, Q 产生了一个很小的毛刺后, 恢复到原来的值。图 5(b)是当锁存器处于锁存期且 $Q = 0$ 时, 在不同时刻, 分别对锁存器内部所有的节点都进行了故障注入。由此可知, 该锁存器的任何内部节点受到瞬态错误的影响, 都不会导致错误信号被锁存器锁存, 因此本结构有着很好的容 SEU 能力。

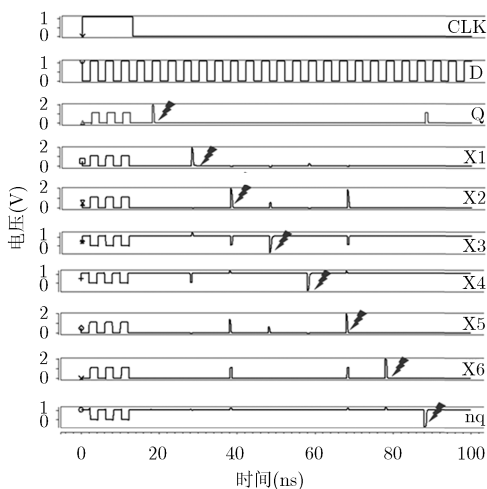
2.6 泄漏电流的影响

为了降低电路的功耗开销, 许多电路设计都会使用门控时钟技术, 通过关闭芯片的空闲模块, 实现功耗节省的目的。使用门控时钟技术时, 时钟长时间关闭, 锁存器将长期处于锁存期。如果此时锁存器内部节点遭受粒子轰击导致输出进入高阻态, 那么输出节点就会因为泄漏电流导致充/放电, 从而逐渐跳变到错误的逻辑状态, 进而引发软错误[24]。本节将分析在使用门控时钟的情况下泄露电流对本文提出的锁存器的影响。

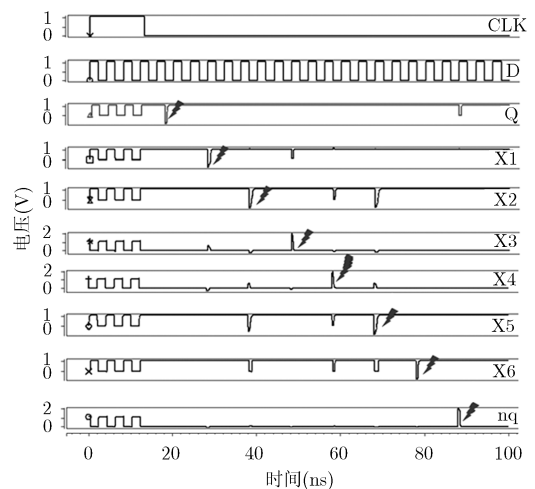
如图 6(a)和图 6(b)所示, 将锁存器长期处于锁存期来模拟门控时钟情形, 分别在不同时刻对内部节点 $X1, X2, X3, X4, X5, X6$ 进行故障注入, 可以看到, 受轰击的节点仅暂时改变并且迅速恢复原来的值, 输出节点 Q 不会进入高阻抗状态。当对节点 nq 和 Q 进行 SEU 故障注入时, Q 产生了一个很小的毛刺后, 恢复到原来的值, 没有进入高阻抗状态。节点恢复所需要的时间取决于粒子能量、驱动节点的晶体管强度以及节点电容大小。所以该锁存器适用于门控时钟设计。

3 评估与对比

本文将对所提出锁存器和相关的加固锁存器进行全面的对比, 包括锁存器的加固能力, 性能以及



(a) 当 $Q=0$ 的时候



(b) 当 $Q=1$ 的时候

图 5 锁存期时, 对内部各个节点进行故障注入

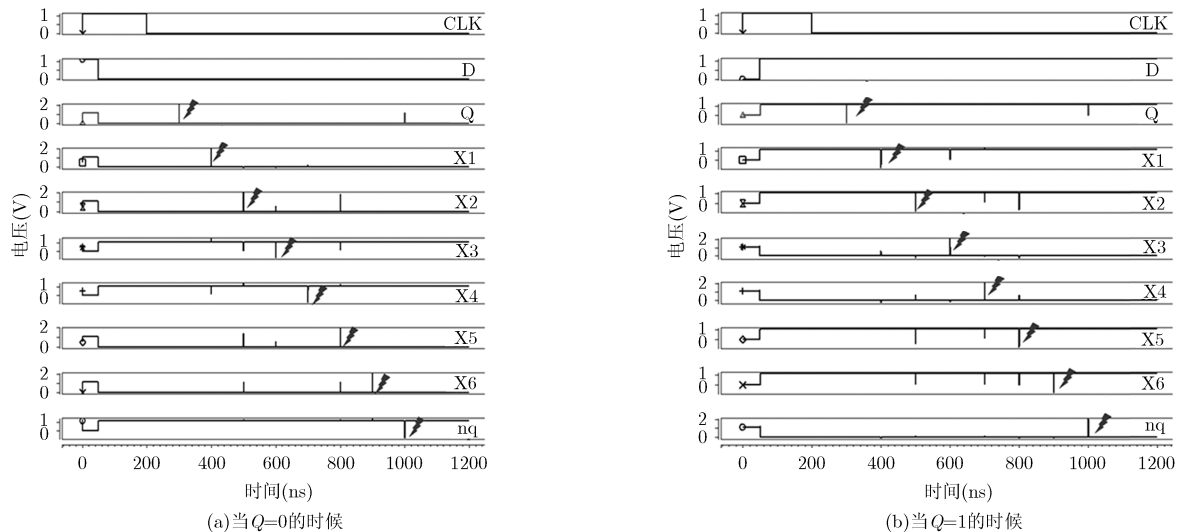


图 6 泄漏电流对该锁存器的影响

开销。本文的实验是基于 SMIC 40 nm 工艺库，采用 HSPICE 仿真工具，实验条件为 TT 工艺角下，1.1 V 的电源电压，室温 25℃ 下，500 MHz 的时钟频率。为了更加公平的比较，对所有的锁存器都采用了最小的面积设计规则，对所有的延时单元采用了同样的设计。

3.1 加固能力比较

对锁存器进行了 SEU/SET 故障注入，仿真结果如表 1。由第 3 列可知，除了锁存器 1, 3, 4, 5 不能够完全免疫 SEU，其他的锁存器都可以完全免疫 SEU。

第 4 列说明锁存器 3~10 都可以容忍 SET。第 5 列给出各个锁存器能够容忍 SET 的最大宽度。可以发现，本文提出的锁存器的容忍 SET 的最大宽度为 320 ps，在所有的锁存器中容忍 SET 的最大宽度最大。由第 6 列可知，除了锁存器 1, 3, 4, 5 不能适用于门控时钟以外，其他的都可以。

由表 1 可知，序号为 6~10 的锁存器能够完全免疫 SEU，且有过滤 SET 的能力，本文将这些锁存器

看成是同一种类型。

综上所述，本文提出的设计能够完全容忍锁存器内部的 SEU，拥有较好的容 SET 能力，且能够适用于门控时钟。和常见的加固锁存器相比，该锁存器具有更好的单粒子加固能力。

3.2 性能与开销比较

表 2 给出了和本文提出的设计相同类型的锁存器的性能和开销对比。第 1 列给出锁存器的名称。第 2 列给出了各个锁存器的晶体管数目。第 3 列给出的锁存器的延时比较。由于本文锁存器采用时间冗余电路来屏蔽 SET，所以本文的延时比较大。第 4 列给出了各个锁存器的功耗开销。可以发现，和同类的锁存器对比，本文提出的设计具有最小的功耗开销。第 5 列给出了各个锁存器的 PDP。可以看到，该锁存器的 PDP 在所有的锁存器中，是比较小的。

表 3 给出了常见加固锁存器相对于本文提出的结构的面积、功耗、PDP 及能够过滤的 SET 宽度之间的比较。其变化量 Δ 由式(2)计算得：

表 1 各锁存器加固能力对比

序号	锁存器名称	完全免疫 SEU	容忍 SET	容忍 SET 的最大宽度(ps)	适用于门控时钟
1	Ref	否	否	-	否
2	BISER	是	否	-	是
3	Cascade ST	否	是	147	否
4	DET-SEHPL	否	是	230	否
5	SEHLD	否	是	256	否
6	LESH-1	是	是	310	是
7	LESH-2	是	是	217	是
8	LCHR	是	是	85	是
9	TMR	是	是	275	是
10	本文结构	是	是	320	是

表 2 性能与开销对比

锁存器名称	晶体管数目	延时(ps)	功耗(μ W)	PDP(fJ)
LESH-1	26	411	0.67	0.28
LESH-2	22	295	1.44	0.42
LCHR	36	204	0.92	0.19
TMR	78	353	1.68	0.59
本文结构	36	358	0.56	0.20

表 3 性能与开销的相对变化(%)

锁存器名称	$\Delta_{\text{晶体管数目}}$	$\Delta_{\text{延时}}$	$\Delta_{\text{功耗}}$	Δ_{PDP}	$\Delta_{\text{SET宽度}}$
LESH-1	38.5	-12.9	-16.4	-28.6	3.2
LESH-2	63.6	21.4	-61.1	-52.4	47.5
LCHR	0	75.5	-39.1	5.3	276.5
TMR	-53.8	1.4	-66.7	-66.1	16.4
平均值	-9.1	13.4	-48.5	-46.0	44.3

$$\Delta = \frac{\text{本文提出的锁存器} - \text{对标的锁存器}}{\text{对标的锁存器}} \times 100\% \quad (2)$$

其中, 平均值变化量($\Delta_{\text{平均值}}$)由式(3)计算得出:

$$\Delta_{\text{平均值}} = \frac{\text{本文提出的锁存器} - \text{所有锁存器平均值}}{\text{所有锁存器平均值}} \times 100\% \quad (3)$$

由表 3 可知, 与同类锁存器相比, 本文提出的结构增加 13.4% 的平均延时使得可以过滤的 SET 脉冲宽度平均增加了 44.3%, 功耗平均降低了 48.5%, PDP 平均降低了 46.0%, 晶体管数目平均减少了 9.1%。

3.3 不同工艺节点下的对比

在 SMIC 40 nm, SMIC 65 nm 以及 SMIC 180 nm 工艺库下分别对本文提出的设计进行加固能力的评估和性能开销的比较, 结果见表 4。由于 SEU 加固能力取决于锁存器电路的拓扑结构, 所以由表 4 可知, 在不同的工艺节点下, 该锁存器都能够完全免疫 SEU。由前文分析可知, 本文提出的加固锁存器的容 SET 能力取决于时间冗余电路的延时差。随着工艺节点变大, 延时差也随着变大, 容 SET 能力不断提升。从表 4 可知, 在不同的工艺节点下,

该锁存器都有着较强的容 SET 能力。随着工艺的进步, 该锁存器的延时、功耗和 PDP 都不断缩小。

3.4 PVT 波动分析

随着工艺尺寸的不断降低, PVT 波动对纳米集成电路的可靠性的影响日益严重^[25]。因此本文评估了 5 种同类锁存器在 PVT 波动下的功耗与延时。

图 7(a)和 7(b)分别是温度变化对锁存器延时和功耗的影响, 温度的设置为从 -40°C 变化到 100°C。从图中可看出本文提出的锁存器的功耗和延时随着温度的变化走势平缓, 说明了该锁存器对温度波动不敏感。

图 8(a)和 8(b)给出了各个工艺角下, 各种加固设计的功耗和延时的变化情况。SMIC 40 nm 工艺库提供了 5 种不同的工艺角: TT (Typical NMOS and Typical PMOS)工艺角, FF (Fast NMOS and Fast PMOS)工艺角, SS (Slow NMOS and Slow PMOS)工艺角, FNFP (Fast NMOS and Slow PMOS)工艺角和 SNFP (Slow NMOS and Fast PMOS)。各种加固设计很容易受到工艺变化的影响, 在 FF 工艺角下, 各加固锁存器延时处于最小值, 在 SS 工艺角下, 各加固锁存器延时处于最大值。

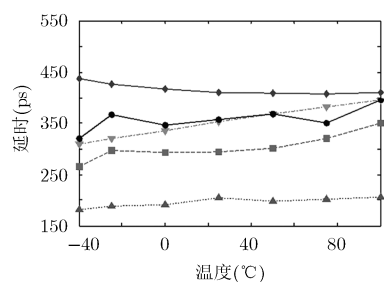
图 9(a)和 9(b)给出了电源电压波动对锁存器延时和功耗的影响, 电压的变化范围为 0.9~1.5 V。由图可知, 延时随着电源电压的增加而减小, 这是因为电源电压越高, 导通电流的速度越快则延时越小, 另外功耗与电源电压的平方成正比, 所以随着电压升高功耗不断的增加。

4 结束语

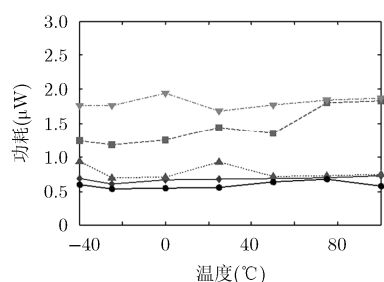
随着集成电路工艺尺寸的缩减, 使得电路对于辐射效应引发的软错误变得越来越敏感。针对这种现象, 本文提出了一种能够同时容忍 SEU 和 SET 的加固锁存器。在 SMIC 40 nm 的工艺下, 使用 HSPICE 进行故障注入和仿真分析。实验表明, 该锁存器能够过滤上游组合逻辑传播过来的 SET 脉冲, 完全免疫内部节点和输出节点的 SEU, 并且可以应用于门控时钟电路。和同类的加固锁存器相比, 该锁存器在增加延时的情况下, 获得了较好的容 SET 能力, 更小的功耗开销以及更小的 PDP。

表 4 不同工艺节点下的对比

工艺节点(nm)	完全免疫 SEU	容忍 SET	容忍 SET 的最大宽度(ps)	延时(ps)	功耗(μ W)	PDP(fJ)
40	是	是	320	358	0.56	0.20
65	是	是	505	577	2.27	1.31
180	是	是	2160	2249	31.80	71.52

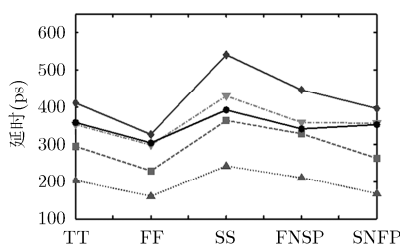


(a) 延时

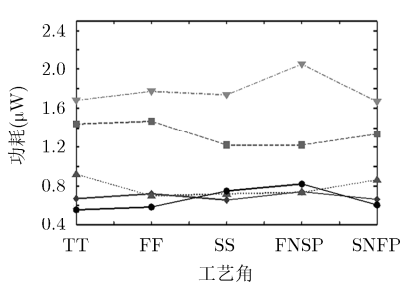


(b) 功耗

图7 温度变化对性能的影响

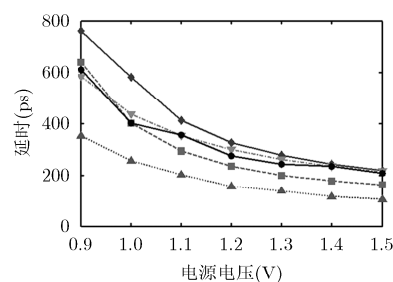


(a) 延时

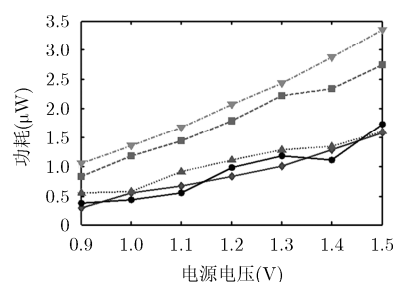


(b) 功耗

图8 工艺角变化对性能的影响



(a) 延时



(b) 功耗

图9 电源电压变化对性能的影响

参考文献

- [1] ROBERT L. S. Porting and scaling strategies for nanoscale CMOS RHBD[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(12): 2856-2863. doi: 10.1109/TCSI.2015.2495779.
- [2] 黄正峰, 陈凡, 蒋翠云, 等. 基于时序优先的电路容错混合加固方案[J]. *电子与信息学报*, 2014, 36(1): 234-240. doi: 10.3724/SP.J.1146.2013.00449. HUANG Zhengfeng, CHEN Fan, JIANG Cuiyun, et al. A hybrid hardening strategy for circuit soft-error-tolerance based on timing priority[J]. *Journal of Electronics & Information Technology*, 2014, 36(1): 234-240. doi: 10.3724/SP.J.1146.2013.00449.
- [3] ARTOLA L, GAILLARDIN M, HUBERT G, et al. Modeling single event transients in advanced devices and ICs[J]. *IEEE Transactions on Nuclear Science*, 2015, 62(4): 1528-1539. doi: 10.1109/TNS.2015.2432271.
- [4] VÉRONIQUE F C, LLOYD W M, and PASCAL G. Single event transients in digital CMOS — A review[J]. *IEEE Transactions on Nuclear Science*, 2013, 60(3): 1767-1790. doi: 10.1109/TNS.2013.2255624.
- [5] NEALE A and SACHDEV M. Neutron radiation induced soft error rates for an adjacent-ECC protected SRAM in 28 nm CMOS[J]. *IEEE Transactions on Nuclear Science*, 2016, 63(3): 1912-1917. doi: 10.1109/TNS.2016.2547963.
- [6] NEALE A, JONKMAN M, and SACHDEV M. Adjacent-MBU-tolerant SEDED-TAEC-yAED codes for embedded SRAMs[J]. *IEEE Transactions on Circuits and System-II Express Briefs*, 2015, 62(4): 387-391. doi: 10.1109/TCSII.2014.2368262.
- [7] CALIN T, NICOLAIDIS M, and VELAZCO R. Upset hardened memory design for submicron cmos technology[J]. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2874-2878. doi: 10.1109/23.556880.
- [8] CASEY M C, BHUVU B L, BLACK J D, et al. HBD using cascade-voltage switch logic gates for SET tolerant digital designs[J]. *IEEE Transactions on Nuclear Science*, 2005, 52(6): 2510-2515. doi: 10.1109/TNS.2005.860715.
- [9] SASAKI Y, NAMBA K, and ITO H. Circuit and latch capable of masking soft errors with Schmitt trigger[J]. *Journal of Electronic Testing*, 2008, 24(1-3): 11-19. doi: 10.1007/s10836-007-5034-2.
- [10] NICOLAIDIS M. Design for soft error mitigation[J]. *IEEE Transactions on Device and Materials Reliability*, 2005, 5(3): 405-418. doi: 10.1109/TDMR.2005.855790.
- [11] REN Yi, CHEN Li, and BI Jinshun. An RHBD bandgap reference utilizing single event transient isolation technique[J]. *IEEE Transactions on Nuclear Science*, 2016, 63(3): 1927-1933. doi: 10.1109/TNS.2016.2554104.
- [12] MAVIS D G and EATON P H. Soft error rate mitigation techniques for modern microcircuits[C]. Proceedings of 2002 IEEE International Reliability Physics Symposium, Dallas, TX, USA, 2002: 216-225.
- [13] ZHANG M, MITRA S, MAK T M, et al. Sequential element

- design with built-in soft error resilience[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2006, 14(12): 1368-1378. doi: 10.1109/TVLSI.2006.887832.
- [14] LIN S, KIM Y B, and LOMBARDI F. Soft-error hardening designs of nanoscale cmos latches[C]. Proceedings of 27th IEEE VLSI Test Symposium, Santa Cruz, CA, USA, 2009: 41-46.
- [15] QI C, XIAO L, GUO J, *et al.* Low cost and highly reliable radiation hardened latch design in 65 nm CMOS technology [J]. *Microelectronics Reliability*, 2015, 55(6): 863-872 . doi: 10.1016/j.microrel.2015.03.014.
- [16] OMANA M, ROSSI D, and METRA C. Latch susceptibility to transient faults and new hardening approach[J]. *IEEE Transactions on Computers*, 2007, 56(9): 1255-1268. doi: 10.1109/TC.2007.1070.
- [17] HOSSEIN K A and VOJIN G O. Low-power soft error hardened latch[J]. *Journal of Low Power Electronics*, 2010, 6(1): 1-9. doi: 10.1007/978-3-642-11802-9_30.
- [18] SAEIDEH S and RAHEBEH N A. A novel soft error hardened latch design in 90nm CMOS[C]. Proceedings of the 16th CSI International Symposium on Computer Architecture and Digital Systems, Shiraz, Iran, 2012: 60-63.
- [19] RAJAEI R, TABANDEH M, and FAZELI M. Low cost soft error hardened latch designs for nano-scale CMOS technology in presence of process variation[J]. *Microelectronics Reliability*, 2013, 53(6): 912-924. doi: 10.1016/j.microrel.2013.02.012.
- [20] HUANG Zhengfeng, LIANG Huaguo, and HELLEBRAND S. A high performance SEU tolerant latch[J]. *Journal of Electronic Testing*. 2015, 31(4): 349-359. doi: 10.1007/s10836-015-5533-5.
- [21] JUN F, JUNKI Y, and KAZUTOSHI K. A radiation-hardened non-redundant flip-flop, stacked leveling critical charge flip-flop in a 65 nm thin BOX FD-SOI process[J]. *IEEE Transactions on Nuclear Science*, 2016, 63(4): 2080-2086. doi: 10.1109/TNS.2016.2543745.
- [22] LU Y, LOMBARDI F, PONTARELLI S, *et al.* Design and analysis of single-event tolerant slave latches for enhanced scan delay testing[J]. *IEEE Transactions on Device and Materials Reliability*, 2014, 14(1): 333-343. doi: 10.1109/TDMR.2013.2266543.
- [23] MESSENGER G C. Collection of charge on junction nodes from ion tracks[J]. *IEEE Transactions on Nuclear Science*, 1982, 29(6): 2024-2031. doi: 10.1109/TNS.1982.4336490.
- [24] NAN H and CHOI K. High performance, low cost, and robust soft error tolerant latch designs for nanoscale CMOS technology[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, 59(7): 1445-1457. doi: 10.1109/TCSI.2011.2177135.
- [25] YAN Aibin, LIANG Huaguo, HUANG Zhengfeng, *et al.* An SEU resilient, SET filterable and cost effective latch in presence of PVT variations[J]. *Microelectronics Reliability*, 2016, 63(1): 239-250. doi: 10.1016/j.microrel.2016.06.004.
- 黄正峰: 男, 1978 年生, 博士, 副教授, 硕士生导师, 研究方向为数字集成电路的硬件容错、星载 SoC 芯片的抗辐射加固。
- 王世超: 男, 1992 年生, 硕士, 研究方向为数字集成电路的硬件容错。
- 欧阳一鸣: 男, 1963 年生, 博士, 教授, 研究方向为片上系统与片上网络、嵌入式系统的综合与测试、数字系统设计自动化。
- 易茂祥: 男, 1964 年生, 博士, 教授, 研究方向为 VLSI 测试、计算机应用。
- 梁华国: 男, 1959 年生, 教授, 博士生导师, 研究方向为内建自测试、数字系统设计自动化、ATPG 算法、分布式控制。