

## 基于脉冲跨周期调制的DC-DC变换器自适应电压调节技术

王东俊 罗萍\* 彭宣霖 甄少伟 贺雅娟  
(电子科技大学电子薄膜与集成器件国家重点实验室 成都 610054)

**摘要:** 为实现减小数字电路的供电电压来降低其能量消耗的目的, 该文提出基于脉冲跨周期调制(PSM)的DC-DC变换器自适应电压调节(AVS)技术。AVS技术通过追踪和探测关键路径复制(CPR)的延迟时间自适应地调节数字电路的供电电压。同时, 具有自适应占空比的PSM调制模式(APSM)被用来改善轻负载下变换器输出电压的纹波和效率。实验结果显示, 当负载工作频率在30~150 MHz范围内变化时, 输出电压在0.6~1.5 V之间稳定输出。和传统的固定工作电压相比, 该文设计的DC-DC变换器最大可节省83%的能耗。

**关键词:** DC-DC变换器; 自适应电压调节; 脉冲跨周期调制; 关键路径复制; 自适应占空比

中图分类号: TN624

文献标识码: A

文章编号: 1009-5896(2017)01-0213-08

DOI: 10.11999/JEIT160283

## Adaptive Voltage Scaling Technique for DC-DC Converter Based on Pulse Skip Modulation

WANG Dongjun LUO Ping PENG Xuanlin ZHEN Shaowei HE Yajuan  
(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** In order to decrease energy consumption of digital circuits by reducing the supply voltage, an Adaptive Voltage Scaling (AVS) for DC-DC converter based on Pulse Skip Modulation (PSM) is proposed. The AVS technique can scale supply voltage adaptively by probing and tracking the Critical Path Replica (CPR) delay time. To improve the output voltage ripple and efficiency of converter especially in light load, the PSM with Adaptive ratio duty (APSM) also is used. The experimental results show that the output voltage is well regulated from 0.6~1.5 V when the operation frequency of load varies within the range of 30~150 MHz. The maximum energy saving of 83% is obtained with the proposed converter compared to the traditional fixed voltage.

**Key words:** DC-DC converter; Adaptive Voltage Scaling (AVS); Pulse Skip Modulation (PSM); Critical Path Replica (CPR); Adaptive duty ratio

### 1 引言

片上系统(SoC)受益于集成电路制造工艺的快速发展而经历了高速发展阶段。因此在单一芯片上集成了越来越多的功能, 而芯片的尺寸却在持续减小, 造成电子系统的能耗密度急剧增加。而能量消耗却是评估电子器件性能的重要指标之一。所以, 能量消耗成了以电池作为供电系统的便携式、穿戴式和可移植医疗电子等新兴电子产品的重要问题<sup>[1,2]</sup>。动态电压调整(DVS)作为降低数字电路能耗和提高变换器效率一种非常有效的方式而被广泛用

来约束数字电路的能耗。但是DVS是一种需要提前预置查找表(LUT), 工作在开环状态的电压频率调节技术<sup>[3-5]</sup>。因此, 为了保证数字电路在最坏的工艺和环境下正常工作, 预留了一定的供电电压裕度。然而过度保守的电压裕度导致了数字电路能耗和性能的损失, 同时这种极端的工艺和工作环境也很少出现。所以, 从能耗和应用的观点出发, 过保守的电压裕度正变得不再被接受<sup>[6]</sup>。

为了减小一点最坏情况下的电压裕度, 关键路径复制(CPR)技术被广泛用在具有闭环调节特性的自适应电压调节(AVS)技术中。由于在工作环境和频率的多种组合下, CPR能提供最接近数字电路实际性能的指标, 因而数字电路的供电电压能够被自适应地调节到最小值<sup>[5-8]</sup>。在现代深亚微米技术下, 由反相器组成的简化了的复制关键路径变的越来越不可靠, 因其在不同的工艺角或工作状态之间会发

收稿日期: 2016-03-28; 改回日期: 2016-08-30; 网络出版: 2016-10-17

\*通信作者: 罗萍 pingl@uestc.edu.cn

基金项目: 国家自然科学基金(61274027), 国家自然科学基金青年基金(61404025)

Foundation Items: The National Natural Science Foundation of China (61274027), The National Natural Science Youth Foundation of China (61404025)

生较大变化<sup>[9]</sup>。事实上,在关键路径延时的测量中,由于CPR和关键路径之间结构的差异引起的误差十分微小,而在不同的工艺和工作环境下由片内互连引起的延迟误差却急剧增加。基于这些原因,一种能够复制任何产品的关键路径而无需定制的通用延迟线(UDL)结构被提出<sup>[10]</sup>。实验显示关键路径的延时主要由NMOS和PMOS组成的具有“2:2”双堆叠的电路结构引起,故UDL由具有双堆叠的电路结构组成。但是UDL的控制逻辑十分复杂,因此消耗了一部分因减小电压裕度而节约的能量,且在变换器的负载较轻时更加显著。

现在,随着低压低功耗技术的发展,数字电路的能耗在不断减小,因此DC-DC变换器的负载变的越来越轻,每个开关周期内变换器输出电压的调节和能量传递变的越来越细微和精确<sup>[11]</sup>。因此从应用和能量传递的角度不再接受较大的输出电压纹波<sup>[12]</sup>。当变换器工作在断续导通模式(DCM)或负载较轻时,脉冲跨周期调制(PSM)模式被用来改善变换器的效率。PSM是一种改善变换器转换效率的新奇的控制模式<sup>[13,14]</sup>。在PSM控制下,变换器具有较小的谐波和较快的响应速度,但是其输出电压纹波有点大<sup>[15-17]</sup>。为了改善输出电压纹波和转换效率,本文提出了一种具有自适应占空比的PSM调制模式(APSM)。

基于PSM DC-DC变换器的AVS技术,通过AVS和CPR技术降低数字电路的工作电压并消除一定的电压裕度,最终实现降低数字电路能耗的目标。本文提出的APSM控制模式改善了变换器的电压纹波和转换效率。本文分析了DC-DC变换器的电路结构和APSM控制模式的工作原理,通过仿真验证了所提出的电路结构能显著降低数字电路能耗,实验结果显示了输出电压对频率变化的跟随和APSM控制模式对电压纹波的改善。

## 2 DC-DC变换器整体电路结构和工作原理分析

图1显示了本文提出的具有AVS功能的DC-DC变换器整体结构框图。由于变换器工作在DCM模式下,因此变换器的电路结构由于不需要环路补偿而变得简单且容易实现<sup>[18]</sup>。图1中主要包括功率级、驱动电路、负载、数控振荡器(DCO)和AVS控制电路。AVS控制电路主要由控制逻辑算法和APSM控制器组成,其中控制逻辑算法通过数字设计方法实现。负载可以是数字信号处理(DSP)、便携式产品和医疗电子等数字电路,其等效电阻为 $R_{Load}$ 。DC-DC变换器的输出电压 $V_{OUT}$ 作为负载的

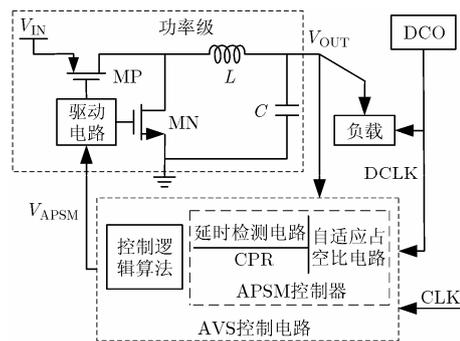


图1 DC-DC变换器的整体结构框图

工作电压,DCO产生的时钟DCLK作为负载的工作时钟。APSM控制器中的延时检测电路能够检测时钟DCLK通过CPR的延时 $T_D$ 和电压 $V_{OUT}$ 之间的关系,并输出调压信号 $D_{SIG}$ 。当负载以某一频率 $f_{DCLK}$ 工作时,如果输出电压 $V_{OUT}$ 小于使负载能正常工作的最小电压 $V_{DDMIN}$ ,则延迟时间 $T_D$ 大于时钟DCLK的周期 $T_{DCLK}$ ,同时调压信号 $D_{SIG}$ 为低电平。相反,当 $V_{OUT} > V_{DDMIN}$ 时,则 $T_D < T_{DCLK}$ ,而调压信号 $D_{SIG}$ 为高电平且负载可以正常工作。

当 $V_{OUT} < V_{DDMIN}$ 时,信号 $D_{SIG}$ 保持低电平。功率开关由AVS控制电路产生的 $V_{APSM}$ 脉冲控制,其频率和占空比分别为2 MHz和0.3。而当 $V_{OUT} > V_{DDMIN}$ 时,信号 $D_{SIG}$ 将一直保持高电平,同时功率管被占空比为0的 $V_{APSM}$ 脉冲关闭。然而当 $V_{OUT}$ 接近 $V_{DDMIN}$ 时,调压信号 $D_{SIG}$ 将会在高低电平之间快速翻转,此时只需微调电压 $V_{OUT}$ 。根据 $D_{SIG}$ 快速翻转的高低电平,控制脉冲 $V_{APSM}$ 的占空比会在0和0.3之间自适应地变化。随着 $D_{SIG}$ 的变化,控制脉冲 $V_{APSM}$ 以微调的方式对电压 $V_{OUT}$ 进行调节。然而延迟时间 $T_D$ 随着负载工作环境和温度的变化而变化,此时的电压 $V_{OUT}$ 对于负载当前的工作状态有点太高或太低,APSM控制器根据 $D_{SIG}$ 的变化,生成具有自适应占空比的控制脉冲 $V_{APSM}$ 对 $V_{OUT}$ 进行调节。同时,当时钟DCLK的频率 $f_{DCLK}$ 发生变化时,AVS控制电路根据 $D_{SIG}$ 的变化通过脉冲 $V_{APSM}$ 调节电压 $V_{OUT}$ ,直到电压 $V_{OUT}$ 满足数字负载工作频率对电压的要求。

### 2.1 APSM控制器工作原理

在数字电路各种能量消耗中,由开关电容充放电引起的动态功耗 $E_d$ 是数字电路能量消耗的主要成分,有

$$E_d = \alpha C_{eff} V_{DD}^2 f_{DCLK} \quad (1)$$

其中, $V_{DD}$ , $C_{eff}$ 和 $\alpha$ 分别是供电电压,平均开关电容和活跃因子<sup>[19]</sup>。但是对于一个给定的任务,数字电路完成该任务需要的时钟周期个数 $M$ 是恒定不变

的<sup>[9]</sup>。所以, 如果数字电路完成该任务的时间  $T_{OP} = MT_{DCLK}$  在式(1)中被考虑, 有

$$E_d = \alpha C_{eff} V_{DD}^2 f_{DCLK} \cdot MT_{DCLK} = \alpha C_{eff} V_{DD}^2 M \quad (2)$$

其中,  $T_{DCLK} = 1/f_{DCLK}$ 。如式(2)所示, 当数字电路的工作电压  $V_{DD}$  不变而工作频率  $f_{DCLK}$  发生变化时, 其动态能耗保持不变。这也是在实现低功耗技术中改变工作电压  $V_{DD}$  而不是工作频率  $f_{DCLK}$  的原因。然而对于一个包含有  $N$  级门电路的延迟链, 例如对数字负载关键路径复制的 CPR 的工作电压为  $V_{DD}$  时, 时钟 DCLK 穿过 CPR 的延迟时间  $T_D$  为

$$T_D = \eta N t_d = \eta N \frac{V_{DD}}{(V_{DD} - V_{th})^2} \quad (3)$$

其中,  $\eta$  是比例因子。此时若 CPR 能正常工作, 则时钟周期  $T_{DCLK}$  应该大于延迟时间  $T_D$ <sup>[20]</sup>。  $T_{DCLK}$ ,  $T_D$  和  $V_{DD}$  之间的关系为

$$T_D = \eta N \frac{V_{DD}}{(V_{DD} - V_{th})^2} \leq T_{DCLK} \quad (4)$$

因此, 供电电压  $V_{DD}$  有一个最小值  $V_{DDMIN}$  使式(4)成立。即当 CPR 的工作频率为  $f_{DCLK}$  时, 使 CPR 能够正常工作的最小电压为  $V_{DDMIN}$ 。由于 CPR 是对数字负载关键路的复制, 为了提高 CPR 对关键路径的复制精度同时减小电压裕度, CPR 由具有“2:2”双堆叠的 NMOS 和 PMOS 结构组成<sup>[10]</sup>。所以, CPR 能够模拟负载在不同工作环境和频率下的实际工作状态, 通过对 CPR 的紧密追踪和跟随可以得到负载即时的性能指标。同时, 根据式(4)时钟频率  $f_{DCLK}$  和最小工作电压  $V_{DDMIN}$  之间有一对一的关系, 即对于任意的工作频率  $f_{DCLK}$ , 都有一个最小工作电压  $V_{DDMIN}$  与之对应。然而, 当频率  $f_{DCLK}$  保持不变时, 延迟时间  $T_D$  会随着负载工作环境和温度的变化而变化, 因此根据式(4)最小工作电压  $V_{DDMIN}$  也会发生改变。同样地, 当频率  $f_{DCLK}$  因系统或工作任务而改变时, 最小工作电压  $V_{DDMIN}$  随着延迟时间  $T_D$  的变化而不同。

当数字负载的工作频率  $f_{DCLK}$  保持恒定而工作电压  $V_{DD}$  等于其最小工作电压  $V_{DDMIN}$  时, 式(1)中数字负载的动态功耗  $E_d$  有最小值。但是, 即使数字

负载的工作频率  $f_{DCLK}$  保持不变, 由于负载工作环境和温度的变化使得最小电压  $V_{DDMIN}$  不同, 动态功耗  $E_d$  的最小值随着电压  $V_{DDMIN}$  的变化而变化。然而, 如何检测延迟时间  $T_D$  和最小电压  $V_{DDMIN}$  的变化是一个十分关键的问题, 而 APSM 控制器则能有效地解决该问题, APSM 控制器可以敏感地检测到  $V_{DDMIN}$  和  $T_D$  的变化, 同时输出调压信号  $D_{SIG}$ 。

APSM 控制器电路框图如图 2 所示, 主要包括延迟检测电路, CPR 和自适应占空比电路。其中延迟检测电路和 CPR 的工作原理如图 3 所示。当数字负载以某个频率  $f_{DCLK}$  工作时, 如果其供电电压  $V_{DD}$  (即 DC-DC 变换器的输出电压  $V_{OUT}$ ) 大于最小电压  $V_{DDMIN}$ , 则延迟时间  $T_D$  小于 DCLK 的时钟周期  $T_{DCLK}$ 。所以 DCLK 的上升沿在一个周期  $T_{DCLK}$  内可以通过 CPR。正如图 2 和图 3 所示, 时钟 DCLK 的上升沿可以用信号 F 的上升沿代替。所以, 如果  $V_{OUT} > V_{DDMIN}$ , 在一个周期  $T_{DCLK}$  内 F 的上升沿能够通过 CPR。与非门接收信号 DT 和 F, 同时输出低电平信号 Xor。D 触发器被信号 F\_n 的上升沿触发, 采样到 Xor 信号的低电平, 同时输出高电平调压信号  $D_{SIG}$ 。与此相反, 如果  $V_{OUT} < V_{DDMIN}$ , 在一个周期  $T_{DCLK}$  内 F 的上升沿将不能通过 CPR。D 触发器将采样到 Xor 信号的高电平, 同时输出的  $D_{SIG}$  信号为低电平。然而, 当输出电压  $V_{OUT}$  保持不变时, 延迟时间  $T_D$  会随着负载工作环境和温度和工作频率  $f_{DCLK}$  的变化而变化。因此  $D_{SIG}$  可能为高或低, 导致最小工作电压  $V_{DDMIN}$  发生改变。根据上述延迟检测电路的工作原理, 在不同的工艺角和温度下对延迟检测电路进行仿真, 得到数字负载最小工作电压  $V_{DDMIN}$  和工作频率  $f_{DCLK}$  之间的对应关系。仿真结果如图 4 所示, 在不同的温度和工艺角下, 随着  $f_{DCLK}$  的降低  $V_{DDMIN}$  急剧减小。延迟检测电路快速的检测和精确的展示了电压  $V_{DDMIN}$  和频率  $f_{DCLK}$  之间的一致关系。延迟检测电路将数字负载在不同状态下对工作电压的实际需求通过调压信号  $D_{SIG}$  及时显现出来。

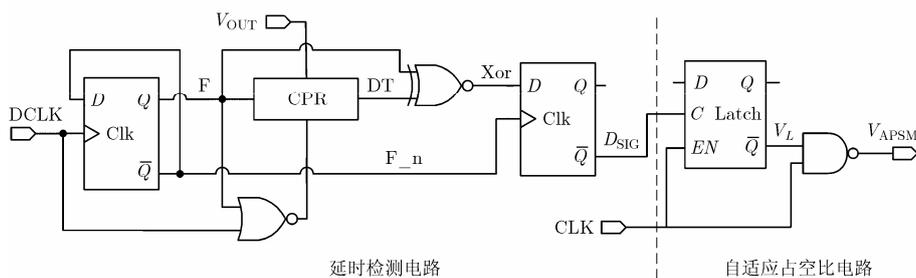


图2 APSM 控制器的电路结构框图

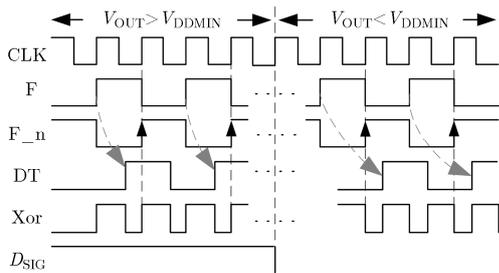
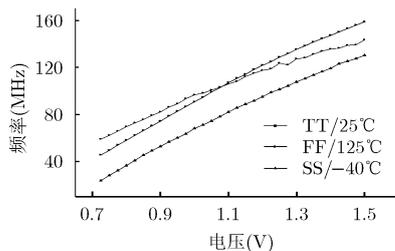


图3 延迟检测电路的工作原理

图4 延迟检测电路频率 $f_{DCLK}$ 和电压 $V_{DDMIN}$ 之间关系的仿真

在 APSM 控制器中, 延时检测电路仅仅能够获得调压信号  $D_{SIG}$ , 但是自适应占空比电路能够根据  $D_{SIG}$  信号生成具有自适应占空比的控制脉冲  $V_{APSM}$ 。如图 2 所示, 自适应占空比电路结构非常的简洁和易于实现, 其工作原理如图 5 所示。工作时钟 CLK 的频率和占空比分别为 2 MHz 和 0.3。在时钟 CLK 开关周期的高电平开始时, 如果信号  $D_{SIG}$  为高电平, 功率开关将不会开启, 输出电压  $V_{OUT}$  因为负载消耗了滤波电容  $C$  中的电荷而逐渐减小。同时, 在该周期的高电平期间一旦  $D_{SIG}$  变为低电平 ( $V_{OUT} < V_{DDMIN}$ ), 功率开关将立刻被开启并在该周期剩下的高电平期间维持开启状态。同理, 在时钟 CLK 开关周期的高电平开始时, 如果信号  $D_{SIG}$  为低电平, 功率开关将会被开启, 电压  $V_{OUT}$  将逐步上升。在此期间一旦  $D_{SIG}$  变为高电平 ( $V_{OUT} > V_{DDMIN}$ ), 在该周期余下的时间内功率开关将保持关闭。如果在时钟 CLK 的高电平期间  $D_{SIG}$  保持高电平, 则出现脉冲跨周期现象。因此, 脉冲  $V_{APSM}$  的占空比  $D_A$  随着电压  $V_{OUT}$  ( $D_{SIG}$ ) 的变化在 0 和  $D_{AMAX} = 0.3$  之间自适应的改变, APSM 控制器产生了具有跨周期和自适应占空比特性的控制脉冲  $V_{APSM}$ 。

## 2.2 控制逻辑算法

在 APSM 控制器模块中, 延迟检测电路可以对负载的实际工作性能进行检测, 结果用  $D_{SIG}$  信号的高低电平表示。而自适应占空比电路根据  $D_{SIG}$  信号生成的控制脉冲  $V_{APSM}$  对电压  $V_{OUT}$  进行调节。然而, 各个模块之间怎样协同高效工作却是一个问题。实际上, 模块之间的相互配合对整个电路保持稳定、性能优化和效率改善是非常重要的。因此, 为达到

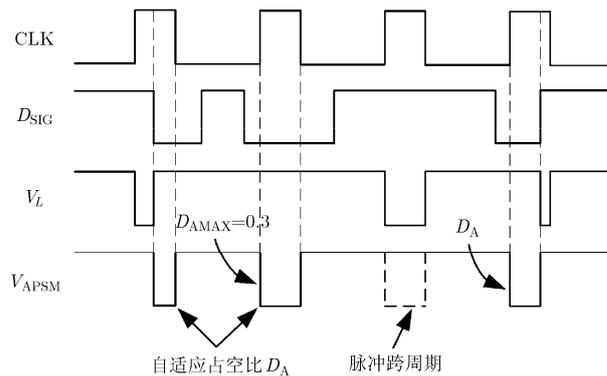


图5 自适应占空比产生电路的工作原理

改善电路性能和实现自适应电压调节的目的, 在 DC-DC 变换器中加入了控制逻辑算法。如图 6 给出了控制逻辑算法的工作原理。当环路开始时, 通过 DCO 的控制码设定数字负载的工作频率  $f_{DCLK}$ 。然后延迟检测电路开始对负载在电压  $V_{OUT}$  下的工作状态进行检测。如图 3 所示, 如果  $V_{OUT} > V_{DDMIN}$ , 则负载和 CPR 能够正常工作且  $D_{SIG}$  为高电平; 如果  $V_{OUT} < V_{DDMIN}$ , 则信号  $D_{SIG}$  为低电平且负载和 CPR 不能正常工作。因此, 当 CPR 能够正常工作时, 即代表此时  $V_{OUT} > V_{DDMIN}$ , 应该减小电压  $V_{OUT}$ 。在  $V_{OUT}$  减小的过程中, 延迟检测电路依然对负载的工作状态进行及时的检测, 同时能够观察到如图 5 所示  $V_{APSM}$  的脉冲跨周期现象。输出电压  $V_{OUT}$  将会持续地减小直到检测结果显示  $D_{SIG}$  在高低电平之间快速翻转, 代表输出电压  $V_{OUT}$  已经满足数字负载对电压的要求, 结束整个环路。

当整个环路开始时, 设定好工作频率  $f_{DCLK}$  的初始值。如果  $V_{OUT} < V_{DDMIN}$ , 则  $D_{SIG}$  为低电平且 CPR 不能正常工作。此时控制脉冲  $V_{APSM}$  开启功率开关提升电压  $V_{OUT}$ 。在  $V_{OUT}$  上升期间, 延迟检测电路仍对负载的工作状态进行检测。如图 5 所示, 此时  $V_{APSM}$  具有最大占空比  $D_{AMAX} = 0.3$ 。电压  $V_{OUT}$  持续上升直到  $D_{SIG}$  在高低电平之间快速翻转且负载能够正常工作, 则输出电压  $V_{OUT}$  保持稳定, 结束整个环路。

然而, 还有另外一种情况, 即一旦频率  $f_{DCLK}$  发生改变, 无论电压  $V_{OUT}$  正处于上升、下降或是稳定状态, 根据此时  $V_{OUT}$  值控制逻辑算法将立刻重新开始。同时, 延迟检测电路将对负载在新工作频率  $f_{DCLK}$  下的工作状态进行检测。APSM 模块将根据调压信号  $D_{SIG}$  对输出电压  $V_{OUT}$  进行自适应调节。因此, 控制逻辑算法使得 DC-DC 变换器模块之间的相互协调变的更加紧密, 优化了变换器的性能, 改善了能量转换的效率。

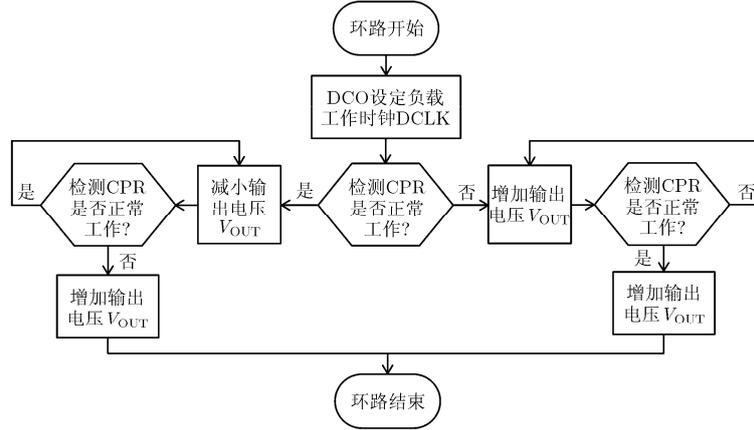


图 6 DC-DC 变换器控制逻辑算的工作原理

### 3 电压纹波分析

为了对 DC-DC 变换器的输出电压纹波进行分析和讨论，定义参数  $V_e$  为电压误差且  $V_e = V_{DDMIN} - V_{OUT}$ ；参数  $D_A$  (非 0 和  $D_{AMAX}$ ) 为在一个开关周期内控制脉冲  $V_{APSM}$  的自适应占空比；参数  $R_{Load}$  为数字负载的等效电阻，而  $\Delta V$  定义为 DC-DC 变换器输出电压  $V_{OUT}$  的电压纹波。当具有 AVS 功能的 DC-DC 变换器在 DCM 模式下稳定工作时，将详细分析在一个开关周期内参数  $D_A$ ,  $R_{Load}$ ,  $\Delta V$  和  $V_e$  之间的密切关系。在一个开关周期内输出电压  $V_{OUT}$  和电感电流  $I_L$  的波形如图 7 所示，在开关周期开始时，假设变换器的输出电压  $V_{O1}$  小于最小工作电压  $V_{DDMIN}$ ，则在  $nT$  到  $(n+D_A)T$  的时间内，有电感电流  $I_L$ ：

$$I_L = (V_{IN} - V_{OUT})(t - nT) / L \quad (5)$$

其中， $L$ ,  $T$  为滤波电感值和控制脉冲  $V_{APSM}$  的时钟周期。在  $t_0$  时刻，有电感电流  $I_L$ ：

$$I_L(t_0) = I_{Load} = V_{OUT} / R_{Load} \quad (6)$$

从  $nT$  到  $t_0$  的时间内从滤波电容  $C$  中流出的电荷  $Q_1$  为

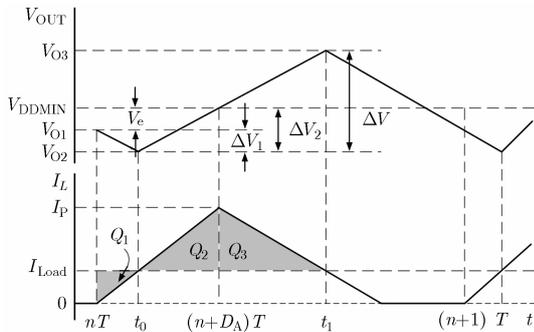


图 7 一个开关周期内自适应占空比  $D_A$  和电压误差  $V_e$  之间的关系示意图

$Q_1 = (t_0 - nT)I_{Load} / 2 = C(V_{DDMIN} - V_{O1}) = V_e C$  (7)  
其中， $C$  是滤波电容值。在  $(n+D_A)T$  时，有电感的峰值电流  $I_P$ ：

$$I_P = (V_{IN} - V_{OUT})(D_A T) / L \quad (8)$$

在  $t_0$  到  $(n+D_A)T$  的时间内，流入滤波电容  $C$  的电荷  $Q_2$  为

$$Q_2 = [(n + D_A)T - t_0](I_P - I_{Load}) / 2 = C(V_{DDMIN} - V_{O2}) = \Delta V_2 C \quad (9)$$

有电压误差  $V_e$  为

$$V_e = V_{DDMIN} - V_{O1} = \Delta V_2 - \Delta V_1 = (Q_2 - Q_1) / C \quad (10)$$

联立式(5)-式(9)代入式(10)，有自适应占空比  $D_A$

$$D_A = \frac{\sqrt{2CL(V_{IN} - V_{OUT})V_e + \left(\frac{LV_{OUT}}{R_{Load}}\right)^2} + \frac{LV_{OUT}}{R_{Load}}}{T(V_{IN} - V_{OUT})} \quad (11)$$

如式(11)，当数字负载的等效电阻  $R_{Load}$  保持不变时，自适应占空比  $D_A$  将会随着电压误差  $V_e$  的增加而变大，但是  $D_A$  的最大值被限制为最大占空比  $D_{AMAX}$ 。同样当电压误差  $V_e$  不变时，占空比  $D_A$  随着负载等效电阻  $R_{Load}$  的逐渐变大而越来越小，且其最小值为  $D_A = 2LV_{OUT} / [R_{Load} T \cdot (V_{IN} - V_{OUT})]$ 。

在时间  $(n+D_A)T$  到  $t_1$  之间，有  $I_L$ ：

$$I_L = I_P - [t - (n + D_A)T]V_{OUT} / L \quad (12)$$

在  $t_1$  时刻，电感电流  $I_L$  等于负载电流  $I_{Load}$ ，故

$$I_L(t_1) = I_{Load} = V_{OUT} / R_{Load} \quad (13)$$

在  $(n+D_A)T$  到  $t_1$  时间内流入滤波电容  $C$  的电荷  $Q_3$  为

$$Q_3 = [t_1 - (n + D_A)T](I_P - I_{Load}) / 2 \quad (14)$$

有输出电压纹波  $\Delta V$  为

$$\Delta V = V_{O3} - V_{O2} = (Q_3 + Q_2) / C \quad (15)$$

联立式(5)~式(9)和式(12)~式(14)代入式(15)，有电压纹波  $\Delta V$

$$\Delta V = \frac{1}{2LC} \frac{V_{IN}}{V_{OUT}} (D_A T)^2 (V_{IN} - V_{OUT}) \cdot \left[ 1 - \frac{LV_{OUT}}{D_A T R_{Load} (V_{IN} - V_{OUT})} \right]^2 \quad (16)$$

根据式(16)知,当负载等效电阻  $R_{Load}$  固定时,电压纹波  $\Delta V$  随着占空比  $D_A$  的增加而变大。而当  $D_A$  保持不变时,负载越轻则  $\Delta V$  越大。综合式(16)和式(11),占空比  $D_A$  随着电压误差  $V_e$  的变化而自适应变化,且正比于  $V_e$  的平方根。因此,如果电压误差  $V_e$  突然变大,即 DC-DC 变换器的输出电压  $V_{OUT}$  突然急剧下降,则占空比  $D_A$  也会立刻增加,这提升了变换器的响应速度但也导致电压纹波变大。因此负载越轻,占空比  $D_A$  越小,纹波电压  $\Delta V$  越小。所以,当  $V_{OUT} > V_{DDMIN}$ ,控制脉冲  $V_{APSM}$  的占空比  $D_A$  为零。否则  $D_A$  随着  $V_e$  的变化而自适应地改变。因此,本文提出的 APSM 技术改善了输出电压的纹波。DC-DC 变换器在不同负载下的仿真结果如图 8,变换器输出电压  $V_{OUT}$  的纹波随着负载的变轻而减小,同时可以明显看到控制脉冲  $V_{APSM}$  的跨周期和自适应占空比现象。

#### 4 测试结果

本文中基于 PSM DC-DC 变换器的 AVS 技术使用标准  $0.13 \mu\text{m}$  CMOS 工艺制造,其中芯片版图面积为  $1.2 \text{ mm}^2$ 。图 1 中显示的主要模块都被集成在芯片上,包括功率 MOS 和驱动电路。片外器件只有滤波电感  $L$  和滤波电容  $C$ ,其值分别为  $3.3 \mu\text{H}$  和  $2.2 \mu\text{F}$ 。当负载的工作频率在  $30 \sim 150 \text{ MHz}$  范围

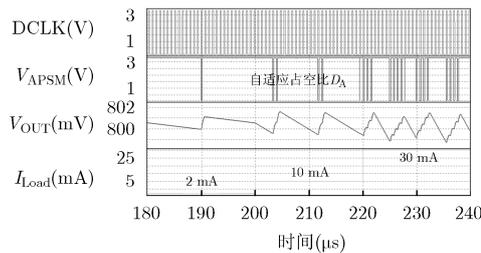
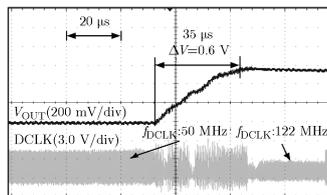


图8 不同负载下,DC-DC变换器的仿真结果



(a) DC-DC变换器上调压时频率追踪测试波形

内变换时,DC-DC 变换器自适应的调节其输出电压  $V_{OUT}$  在  $0.6 \sim 1.5 \text{ V}$  之间变化。根据式(2)对数字电路能量消耗的定义。图 9 给出了不同的温度和工艺角下,工作频率不同时数字负载的能量消耗。在使用本文提出的基于脉冲跨周期 DC-DC 变换器的自适应电压调节技术,相比于传统固定工作电压的电路最多能节约 83% 的能量。

图 10 给出了当数字负载的工作频率变化时,DC-DC 变换器的输出电压  $V_{OUT}$  对频率变换的响应波形。如图 10(a),当数字负载工作频率从  $50 \text{ MHz}$  变到  $122 \text{ MHz}$  时,电压  $V_{OUT}$  变化了大约  $0.6 \text{ V}$ ,建立时间大约为  $35 \mu\text{s}$ 。如图 10(b),负载工作频率从  $161 \text{ MHz}$  变到  $32 \text{ MHz}$  时,电压  $V_{OUT}$  变化了大约  $1.1 \text{ V}$  时建立时间为  $65 \mu\text{s}$ 。图 11 则给出了数字负载工作频率从  $50 \text{ MHz}$  变到  $152 \text{ MHz}$  或从  $152 \text{ MHz}$  变到  $50 \text{ MHz}$  时,输出电压  $V_{OUT}$  大约变化了  $0.9 \text{ V}$ 。

图 12 给出了 DC-DC 变换器稳定工作时,功率开关的控制脉冲  $V_{APSM}$ 、调压信号  $D_{SIG}$  和输出电压  $V_{OUT}$  的测试波形。电压  $V_{OUT}$  的纹波大约为  $50 \text{ mV}$ 。同时能很明显的观察到控制脉冲  $V_{APSM}$  的自适应占空比及其脉冲跨周期现象。其中,控制脉冲  $V_{APSM}$  的自适应占空比现象是当输出电压  $V_{OUT}$  趋于稳定时,由于  $V_{OUT} < V_{DDMIN}$ ,使  $D_{SIG}$  为低电平以开启功率开关提升电压  $V_{OUT}$ ;跨周期现象则是由于在时钟 CLK 的高电平期间输出电压  $V_{OUT}$  大于最小工作电压  $V_{DDMIN}$  ( $D_{SIG}$  为高电平)。同时,在表 1 中给出了对本文与参考文献性能比较的总结。

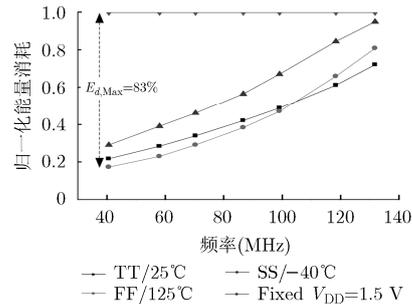
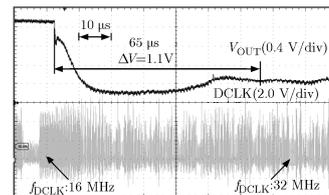


图9 不同温度、工艺角和频率下,数字负载的能耗示意图



(b) DC-DC变换器下调压时频率追踪测试波形

图10 DC-DC变换器频率追踪测试波形

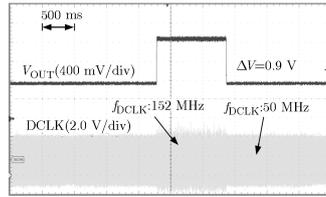


图 11 DC-DC 变换器上下调压时频率追踪测试波形

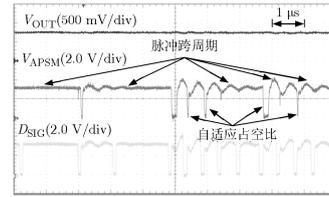


图 12 DC-DC 变换器稳定工作时, 信号  $V_{OUT}$ ,  $V_{APSM}$  和  $D_{SIG}$  的测试波形

表 1 性能比较

序号	文献[3]	文献[5]	文献[6]	文献[8]	文献[9]	文献[10]	本文
输入电压(V)	/	2.6-3.6	/	/	/	1.1	3.3
输出电压(V)	0.7-1.0	1.7-1.8	1.0-1.2	0.4-0.8	0.9-1.8	/	0.6-1.5
工艺	90 nm	0.13 $\mu\text{m}$	65 nm	22 nm	0.18 $\mu\text{m}$	40 nm	0.13 $\mu\text{m}$
	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS
芯片面积( $\text{mm}^2$ )	/	5.29	/	4.0 $\times$ 5.8	0.9 $\times$ 0.9	6.51 $\times$ 6.5	1.2
工作频率(MHz)	40-145	2	/	800	10-45	533	40-145
峰值性能	节约87%	最大效率	节约13.5%	节约14.5%	节约39%	节约27%	节约83%
	能量@0.62 V	95%	能量	能量@0.8 V	能量	能量@1 V	能量

## 5 结论

本文提出了基于脉冲跨周期 DC-DC 变换器的自适应电压调节技术, 通过理论分析和仿真结果验证了 APSM 技术和自适应电压调压技术的工作原理。由于 CPR 技术在 AVS 中的使用, 减小了数字电路的工作电压和能量消耗。通过使用 APSM 技术, 控制脉冲的占空比随着变换器输出电压的变化而自适应地改变, 进而改善了输出电压的纹波。仿真和测试结果显示 DC-DC 变换器根据数字负载工作环境、温度和频率的变化而自适应地调节输出电压, 其在频率响应阶段能稳定工作, 同时证实了关于电压纹波的理论分析。该电路结构在便携式、可穿戴电子产品和可植入医疗电子等低压低功耗电子产品中具有广泛的应用前景。

## 参考文献

- [1] KONIJNENBURG M, STANZIONE S, YAN L, *et al.* A battery-powered efficient multi-sensor acquisition system with simultaneous ECG, BIO-Z, GSR, and PPG[C]. *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, USA, 2016: 480-481.
- [2] DINI Michele, ROMANI Aldo, FILIPPI Matteo, *et al.* A nanocurrent power management IC for low-voltage energy harvesting sources[J]. *IEEE Transactions on Power Electronics*, 2016, 31(6): 4292-4304.
- [3] JOSE Luis and NUNEZ Yanez. Adaptive voltage scaling with in-situ detectors in commercial FPGAs[J]. *IEEE Transactions on Computers*, 2015, 64(1): 45-53. doi: 10.1109/TC.2014.2365963.
- [4] DANCY A P, AMIRTHARAJAH R, and CHANDRAKASAN A P. High-efficiency multiple-output DC-DC conversion for low-voltage systems[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2000, 8(3): 252-263. doi: 10.1109/92.845892.
- [5] ZHEN Shaowei, LUO Ping, and ZHANG Bo. Design of highly integrated power management unit with dual DVS-enabled regulators[J]. *Analog Integrated Circuits and Signal Processing*, 2014, 80: 209-220. doi: 10.1007/s10470-014-0313-1.
- [6] WIRNSHOFER M, HEIß L, GEORGAKOS G, *et al.* A variation-aware adaptive voltage scaling technique based on in-situ delay monitoring[C]. *IEEE 14th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*, Cottbus, Germany, 2011: 261-266.
- [7] LUO Ping, FU Songlin, ZHANG Xiang, *et al.* An adaptive voltage scaling circuits based on dominate pole compensation [C]. *Processing 11th IEEE International Conference on ASIC*, Chengdu, China, 2015: 1-4.
- [8] CHO M, KIM S, TOKUNAGA C, *et al.* Post-silicon voltage-guard-band reduction in a 22nm graphics execution core using adaptive voltage scaling and dynamic power gating [C]. *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, USA, 2016: 152-153.
- [9] ELGEBALY M and SACHDEV M. Variation-aware adaptive voltage scaling system[J]. *IEEE Transactions on Very Large*

- Scale Integration (VLSI) Systems*, 2007, 15(5): 560-571. doi: 10.1109/TVLSI.2007.896909.
- [10] IKENAGA Y, NOMURA M, SUENAGA S, *et al.* A 27% active-power-reduced 40-nm CMOS multimedia SoC with adaptive voltage scaling using distributed universal delay lines[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(4): 832-840. doi: 10.1109/JSSC.2012.2185340.
- [11] KAPAT S, BANERJEE S, and PATRA A. Discontinuous map analysis of a DC-DC converter governed by pulse skipping modulation[J]. *IEEE Transactions on Circuits and System I*, 2010, 57(7): 1793-1801. doi: 10.1109/TCSI.2009.2034888.
- [12] LIOU W R, YEH M L, and KUO Y L. A high efficiency Dual-Mode buck converter IC for portable applications[J]. *IEEE Transactions on Power Electronics*, 2008, 23(2): 667-677. doi: 10.1109/TPEL.2007.915047.
- [13] LUO Ping, LI Zhaoji, and ZHANG Bo. A novel improved PSM model in DCDC converter based on energy balance[C]. 37th IEEE Power Electronics Specialists Conference, Jeju, South Korea, 2006: 1-4.
- [14] KAPAT S, MANDI B C, and PATRA A. Voltage-mode digital pulse skipping control of a DC-DC converter with stable periodic behavior and improved light-load efficiency[J]. *IEEE Transactions on Power Electronics*, 2016, 31(4): 3372-3379. doi: 10.1109/TPEL.2015.2455553.
- [15] 罗萍, 李肇基, 熊富贵, 等. 开关变换器的跨周期调制模式[J]. 电子与信息学报, 2004, 26(6): 984-988.  
LUO Ping, LI Zhaoji, XIONG Fugui, *et al.* Pulse-cycle skip modulation in switching converter[J]. *Journal of Electronics & Information Technology*, 2004, 26(6): 984-988.
- [16] 牛全民, 罗萍, 李肇基, 等. Boost 变换器跨周期调制(PSM)的状态空间平均模型[J]. 电子与信息学报, 2006, 28(10): 1955-1958.  
NIU Quanmin, LUO Ping, LI Zhaoji, *et al.* Space state average model of PSM in boost converter[J]. *Journal of Electronics & Information Technology*, 2006, 28(10): 1955-1958.
- [17] 李航标, 张波, 罗萍, 等. 开关 DC-DC 变换器的自适应占空比跨周期控制方法[J]. 电子与信息学报, 2014, 36(9): 2265-2271. doi: 10.3724/SP.J.1146.2013.01693.  
LI Hangbiao, ZHANG Bo, LUO Ping, *et al.* Pulse skip with adaptive duty ratio control technique for switching DC-DC converter[J]. *Journal of Electronics & Information Technology*, 2014, 36(9): 2265-2271. doi: 10.3724/SP.J.1146.2013.01693.
- [18] LI Hangbiao, ZHANG Bo, LUO Ping, *et al.* Adaptive duty ratio modulation technique in switching DC-DC converter operating in discontinuous conduction mode[J]. *Analog Integrated Circuits and Signal Processing*, 2014, 78(2): 361-371. doi: 10.1007/s10470-015-0603-2.
- [19] WEI G Y and HOROWITZ M. A fully digital energy-efficient adaptive power supply regulator[J]. *IEEE Journal of Solid-State Circuits*, 1999, 34(4): 520-528. doi: 10.1109/4.753685.
- [20] CALHOUN B H, WANG A, and CHANDRAKASAN A. Model and sizing for minimum energy operation in subthreshold circuits[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(9): 1778-1786. doi: 10.1109/JSSC.2005.852162.
- 王东俊: 男, 1988 年生, 博士, 研究方向为电源管理技术与功率集成电路.
- 罗萍: 女, 1968 年生, 教授, 研究方向为电源管理技术与功率集成电路.
- 彭宣霖: 男, 1989 年生, 硕士, 研究方向为电源管理技术与功率集成电路.
- 甄少伟: 男, 1982 年生, 副教授, 研究方向为电源管理、传感器读出等模拟、混合信号集成电路设计.
- 贺雅娟: 女, 1978 年生, 副教授, 研究方向为低压低功耗数字电路设计.