

## 一种 -100 dB 电源抑制比的非带隙基准电压源

黄国城<sup>①②</sup> 尹 韬<sup>①</sup> 朱渊明<sup>①②</sup> 许晓冬<sup>①</sup> 张亚朝<sup>①②</sup> 杨海钢<sup>\*①</sup>

<sup>①</sup>(中国科学院电子学研究所 北京 100190)

<sup>②</sup>(中国科学院大学 北京 100049)

**摘要:** 该文提出一种非带隙基准电路, 通过一个带超级源极跟随器的预调制电路提供一个稳定的电压, 为基准核心电路供电。超级源极跟随器通过降低基准核心电路电源端的对地阻抗, 有效提高了基准电路的电源抑制能力。该基准电路采用 0.35  $\mu\text{m}$  CMOS 工艺设计并流片, 测试结果表明, 该电路的工作电源电压为 1.8~5 V, 静态电流约为 13  $\mu\text{A}$ 。低频处电源抑制比(PSRR)约等于 -100 dB, 在小于 1 kHz 频率范围内 PSRR 均优于 -93 dB。并且其片上面积仅为 0.013  $\text{mm}^2$ 。

**关键词:** CMOS 基准电路; 非带隙基准电路; 预调制电路; 超级源极跟随器; 电源抑制比

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2016)08-2122-07

DOI: 10.11999/JEIT151256

## A -100 dB Power Supply Rejection Ratio Non-bandgap Voltage Reference

HUANG Guocheng<sup>①②</sup> YIN Tao<sup>①</sup> ZHU Yuanming<sup>①②</sup> XU Xiaodong<sup>①</sup>  
ZHANG Yachao<sup>①②</sup> YANG Haigang<sup>①</sup>

<sup>①</sup>(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

<sup>②</sup>(University of the Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** This paper presents a non-bandgap voltage reference, which contains a pre-regulated circuit with a super source follower. The pre-regulated circuit includes a super source follower, which attenuates the impedance from the supply of the core reference circuit to ground. In this way, the pre-regulated circuit provides a relative stable voltage for the core reference circuit, improving the Power Supply Rejection Ratio (PSRR) of the output voltage of the reference. The proposed reference circuit is implemented in standard 0.35  $\mu\text{m}$  CMOS process. Measured results show that the supply range is from 1.8 to 5 V and the quiescent current is only about 13  $\mu\text{A}$  at room temperature. The PSRR at low frequency achieves -100 dB and the PSRR below 1 kHz is better than -93 dB. The active area of the proposed reference is only 0.013  $\text{mm}^2$ .

**Key words:** CMOS reference circuit; Non-bandgap reference circuit; Pre-regulated circuit; Super source follower; Power Supply Rejection Ratio (PSRR)

### 1 引言

近年来, 智能手机、掌上电脑、便携式影音设备以及医疗设备等消费类电子呈现不断增长的趋势。在为这些设备供电时, 不论是开关电源还是线性电源, 都必须经过电源管理模块输出稳定的供电电压, 才能保证设备的功能和性能达到预期指标。基准电压源是电源管理以及一些数模混合电路中的

关键模块, 它的电源抑制比(Power Supply Rejection Ratio, PSRR)和温漂特性都将直接影响整体电路的性能。

传统的基准电压源采用由双极型晶体管实现的带隙基准电路, 在集成电路工艺中, 双极型晶体管可以直接采用双极型工艺产生<sup>[1]</sup>, 也可以由标准 CMOS 工艺中的寄生三极管产生<sup>[2-7]</sup>。相对于双极型工艺, CMOS 工艺具有静态功耗低、电源电压适用范围广以及掩膜层数少等优点, 因此在集成电路领域得到了广泛应用。为了兼容 CMOS 工艺以及降低制造成本, 无三极管的非带隙基准电压电路得到了广泛的研究<sup>[8-16]</sup>。文献[2]提出一种提高 PSRR 的自调制电路, 但是由于采用了三极管产生带隙基准, 整体电路的电源电压以及静态功耗都相对较大, 同

收稿日期: 2015-11-09; 改回日期: 2016-03-25; 网络出版: 2016-05-09

\*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

基金项目: 国家自然科学基金(61474120), 国家重点基础研究发展计划(2014CB744600)

Foundation Items: The National Natural Science Foundation of China (61474120), The National Key Basic Research Program of China (2014CB744600)

时耗费的面积也较大。文献[9]提出了一种基于饱和区的 PMOS 管和 NMOS 管的栅源电压权重差的基准电压，电路结构简单，但是 PSRR 只有-47 dB。在电源管理芯片如低压差线性稳压器(LDO)中，输出电压的 PSRR 是一个重要的参数。由于 LDO 的输出电压与基准电压是比例关系，意味着 LDO 的输出电压的 PSRR 比基准电压 PSRR 少几个 dB。一般来说 LDO 的输出电压 PSRR 也将受到限制<sup>[7]</sup>。因此，基准电压的 PSRR 会影响 LDO 输出电压的 PSRR 能达到的上限。本文针对以上所述问题，提出一种高电源抑制比的非带隙基准电路，并采用 Global Foundry 0.35 μm CMOS 工艺进行流片以及测试，测试结果表明，该电路在扩大电源电压适用范围(1.8~5 V)、减少静态功耗(13 μA)的同时，低频处 PSRR 达到了约-100 dB，在小于 1 kHz 频率范围内 PSRR 均优于-93 dB, 30 MHz 频率范围内的 PSRR 优于-40 dB。在 0°C~100°C 范围内温漂为 160 ppm/°C，片上有效面积仅为 0.013 mm<sup>2</sup>。

## 2 电路结构与分析

图 1 为整体电路图，包括启动电路、预调制电路、电流基准以及电压基准电路；整个电路结构不包含运放和三极管，因此能有效减少静态功耗。采用包含超级源极跟随器的预调制电路模块，其目的是为了有效提高电源抑制比。

### 2.1 非带隙基准电压源电路结构

电压基准电路由 M12~M15 构成，M14 和 M15 采用二极管连接的形式，M13 的栅极电压由 M14 和 M15 的分压产生，通过 M12~M15 的连接关系，基准电压  $V_{ref}$  可用式(1)表示。

$$V_{ref} \approx \left(1 + \frac{g_{m15}}{g_{m14}}\right) V_{GS13} - |V_{GS12}| \quad (1)$$

其中， $V_{GS12}$  和  $V_{GS13}$  分别为 M12 和 M13 的栅源电压， $g_{m14}$  和  $g_{m15}$  分别为 M14 和 M15 的跨导。由于 M14 和 M15 的电流相等，可以调整 M14 和 M15 的宽长比，达到控制  $g_{m14}$  和  $g_{m15}$  的值。之所以采用二极管连接的形式，而没有采用电阻分压的方式，是为了减少面积的开销。流过 M14 和 M12 的电流分别为 200 nA 和 800 nA，如果采用电阻分压的方式，大约需要 7.5 MΩ 的片上电阻( $V_2$  结点电压为  $2V_{GSP}$ ，约等于 1.5 V)。

M12 和 M13 都工作在饱和区，由 MOS 管平方律公式<sup>[1]</sup>可以得出， $|V_{GS} - V_{th}| = \sqrt{2I/\mu C_{OX}}$ ，其中  $V_{th}$  为阈值电压， $\mu$  为载流子迁移率， $C_{OX}$  为栅极氧化层电容密度。假设漏极电流  $I$  一定，栅源电压与阈值电压成正比的关系，M12 和 M13 分别为 PMOS 管和 NMOS 管，如果二者的阈值电压和载流子迁移率的温度特性呈现一定的关系，则将有可能在某温度下获得零温度系数。

NMOS 管和 PMOS 的阈值电压与温度成线性关系，载流子迁移率则是温度的指数函数，这两个参数分别可分别表示为<sup>[18]</sup>

$$V_{thn}(T) = V_{thn}(T_0) - \beta_{vthn}(T - T_0) \quad (2)$$

$$V_{thp}(T) = |V_{thp}(T_0)| - \beta_{vthp}(T - T_0) \quad (3)$$

$$\mu_n(T) = \mu_n(T_0)(T/T_0)^{-\beta_{\mu n}} \quad (4)$$

$$\mu_p(T) = \mu_p(T_0)(T/T_0)^{-\beta_{\mu p}} \quad (5)$$

其中， $V_{thn}$ ,  $V_{thp}$ ,  $\mu_n$ ,  $\mu_p$ ,  $\beta_{vthn}$ ,  $\beta_{vthp}$ ,  $\beta_{\mu n}$ ,  $\beta_{\mu p}$  分别为 NMOS 和 PMOS 管的阈值电压和迁移率以及它们的温度系数， $T_0$  为参考温度。

将式(1)对温度  $T$  求导并令其在室温  $T_r$  下等于 0，并代入式(2)~式(5)，得到式(6)<sup>[9]</sup>：

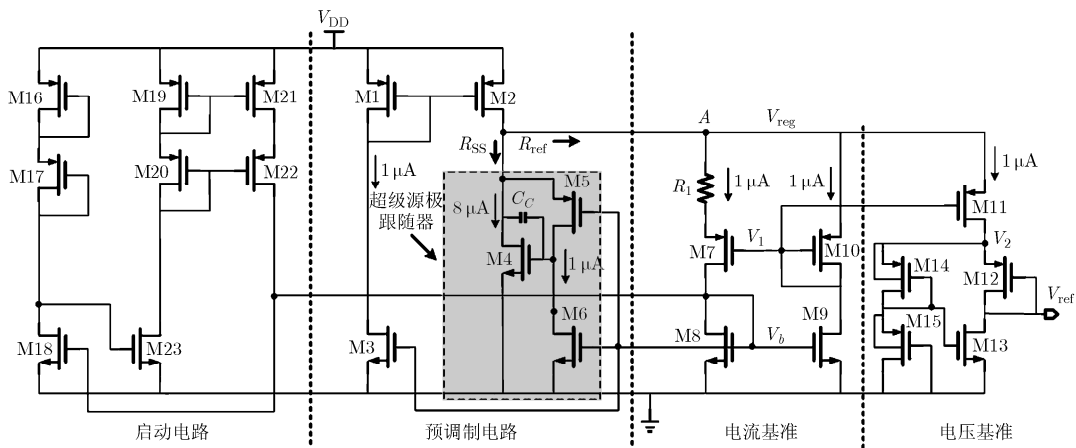


图 1 非带隙电压基准电路图

$$\begin{aligned}
\left. \frac{\partial V_{\text{ref}}}{\partial T} \right|_{T=T_r} &= \left( 1 + \frac{g_{m15}}{g_{m14}} \right) \frac{\partial V_{\text{GS13}}}{\partial T} - \frac{\partial |V_{\text{GS12}}|}{\partial T} \\
&= \left[ - \left( 1 + \frac{g_{m15}}{g_{m14}} \right) \beta_{\text{vthn}} + \beta_{\text{vthp}} \right] \\
&\quad + \frac{\beta_{\mu\text{P}}}{T_0} \sqrt{\frac{2I_{d12}}{\mu_{\text{p}}(T_0)C_{\text{ox}}(W/L)_{12}}} \\
&\quad \times \left[ \left( 1 + \frac{g_{m15}}{g_{m14}} \right) \left( \frac{1}{2} + \frac{\beta_{\mu\text{N}}}{2\beta_{\mu\text{P}}} \right) \sqrt{\frac{\mu_{\text{p}}(T_0)(W/L)_{12}}{\mu_{\text{n}}(T_0)(W/L)_{13}}} \right. \\
&\quad \left. - \left( \frac{T_r}{T_0} \right)^{[(\beta_{\mu\text{P}} + \beta_{\mu\text{N}} - 2)/2]} - \left( \frac{T_r}{T_0} \right)^{(\beta_{\mu\text{P}} - 1)} \right] \quad (6)
\end{aligned}$$

令相加的两项各等于 0, 得到在室温下取得零温度系数的条件为

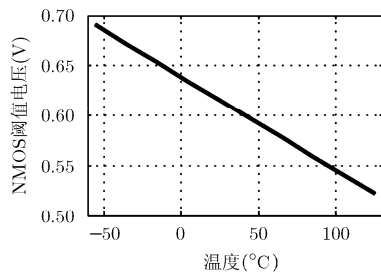
$$\frac{g_{m15}}{g_{m14}} = \frac{\beta_{\text{vthp}}}{\beta_{\text{vthn}}} - 1 \quad (7)$$

$$\left( \frac{W}{L} \right)_{\text{p}} = \frac{\mu_{\text{n}}(T_0) \left( \frac{T_r}{T_0} \right)^{\beta_{\mu\text{P}} + \beta_{\mu\text{N}}}}{\mu_{\text{p}}(T_0) \left( \frac{T_r}{T_0} \right)^{\beta_{\mu\text{P}}}} = \left( \frac{W}{L} \right)_{12} \quad (8)$$

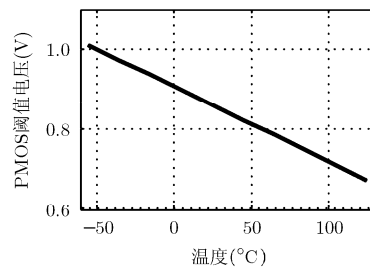
$$\left( \frac{W}{L} \right)_{\text{n}} = \frac{\left( \frac{\beta_{\text{vthp}}}{\beta_{\text{vthn}}} \right)^2 \left( \frac{1}{2} + \frac{\beta_{\mu\text{N}}}{2\beta_{\mu\text{P}}} \right)^2}{\left( \frac{W}{L} \right)_{13}}$$

对于 Global Foundry 0.35  $\mu\text{m}$  CMOS 工艺来说, NMOS 管和 PMOS 管的阈值电压和迁移率的温度特性仿真如图 2 所示。

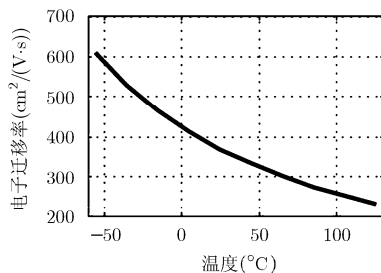
$$\begin{aligned}
v_{\text{b}} &= v_{\text{reg}} \frac{g_{m10}r_{\text{ds9}} + g_{m7}r_{\text{ds7}} + 1}{(g_{m7}r_{\text{ds7}} + 1)g_{m8}g_{m10}r_{\text{ds9}}R_1 + g_{m7}r_{\text{ds7}}(g_{m8}R_1 - g_{m9}r_{\text{ds9}}) + g_{m8}g_{m10}r_{\text{ds9}}r_{\text{ds7}} + g_{m8}(r_{\text{ds7}} + R_1) + 1} \\
&\approx v_{\text{reg}} \frac{g_{m10}r_{\text{ds9}} + g_{m7}r_{\text{ds7}}}{g_{m7}r_{\text{ds7}}g_{m8}g_{m10}r_{\text{ds9}}R_1} = v_{\text{reg}} \frac{r_{\text{ds9}} + \sqrt{2}r_{\text{ds7}}}{\sqrt{2}r_{\text{ds7}}g_{m8}g_{m10}r_{\text{ds9}}R_1} \quad (9)
\end{aligned}$$



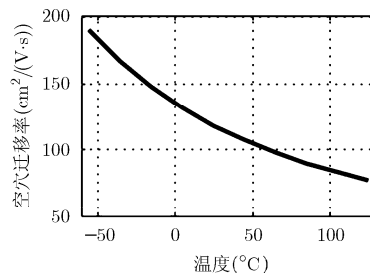
(a) NMOS 阈值电压与温度的关系



(b) PMOS 阈值电压与温度的关系



(c) 电子迁移率与温度的关系



(d) 空穴迁移率与温度的关系

图 2 Global Foundry 0.35  $\mu\text{m}$  CMOS 工艺下阈值电压和迁移率的温度特性

通过曲线拟合可以得到各温度系数的取值为  $\beta_{\text{vthn}} \approx 0.9 \text{ mV}/^\circ\text{C}$ ,  $\beta_{\text{vthp}} \approx 1.9 \text{ mV}/^\circ\text{C}$ ,  $\beta_{\mu\text{N}} \approx 1.6$ ,  $\beta_{\mu\text{P}} \approx 1.5$ 。分别代入式(7)和式(8)可以得到:  $g_{m15}/g_{m14} \approx 1$ ,  $(W/L)_{12}/(W/L)_{13} \approx 2$ 。为了减小沟道长度效应的影响, 通过仿真微调, M12 和 M13 的宽长比分别设为  $(W/L)_{12}=20/4(\mu\text{m})$ ,  $(W/L)_{13}=10/4(\mu\text{m})$ 。

## 2.2 预调制电路以及 PSRR 分析

为了增强电源抑制能力, 电路中增加了预调制电路<sup>[2,5]</sup>, 给基准电路提供一个较稳定的供电电压, 如图 1 中的 A 结点电压  $V_{\text{reg}}$ 。本文采用的预调制电路由一对电流镜和一个超级源极跟随器(super source follower)模块<sup>[1]</sup>组成。超级源极跟随器由 M4~M6 组成, 其在普通源极跟随器(M5 和 M6)的基础上加了一个内部负反馈(M4), 通过 M4 的负反馈作用, 使得从 M5 源极往 GND 看的阻抗  $R_{\text{SS}}$  下降, 从而减少了由 M2 漏极看向基准核心电路的阻抗。从直观上理解, 由于电阻分压原理, 预调制电压  $V_{\text{reg}}$  具备了一定的电源抑制能力, 从而提高了基准输出电压  $V_{\text{ref}}$  的 PSRR。基准核心电路的小信号分析模型如图 3 所示, 其中  $v$  表示小信号电压,  $V$  表示大信号电压。通过基尔霍夫定律, 并忽略体效应, 可以求得  $v_{\text{b}}$  和  $v_{\text{i}}$  的表达式为

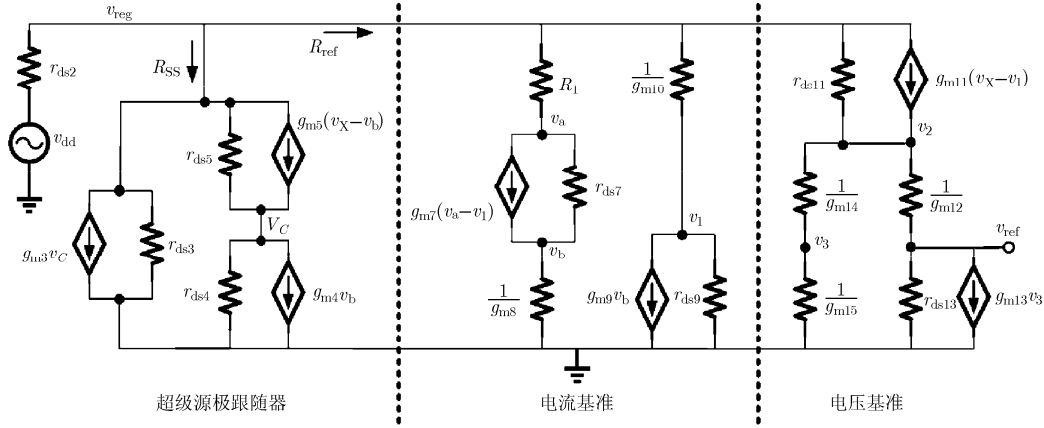


图 3 非带隙基准电路的小信号分析模型

$$v_1 = v_{\text{reg}} \frac{g_{m7} r_{\text{ds}7} g_{m9} g_{m10} R_1 + g_{m9} g_{m10} (R_1 + r_{\text{ds}7}) + g_{m9} g_{m7} r_{\text{ds}7} + (g_{m10} - g_{m9})}{g_{m7} r_{\text{ds}7} g_{m9} g_{m10} R_1 + g_{m9} g_{m10} (R_1 + r_{\text{ds}7}) + g_{m9} g_{m7} r_{\text{ds}7} (R_1 / r_{\text{ds}9} - 1) + g_{m9} \frac{r_{\text{ds}7} + R_1}{r_{\text{ds}9}} + g_{m10} + \frac{1}{r_{\text{ds}9}}} \approx v_{\text{reg}} \quad (10)$$

其中,  $g_{m7} \sim g_{m15}$  和  $r_{\text{ds}7} \sim r_{\text{ds}15}$  分别为 M7~M15 的跨导值和小信号漏源电阻。电流基准电路的 M7 和 M10 的尺寸之比为 2:1, 由于两者电流相等, 其跨导之比为  $g_{m7} / g_{m10} = \sqrt{2}$ 。在式(9)和式(10)的分母中,  $g_{m7} r_{\text{ds}7} g_{m9} g_{m10} r_{\text{ds}9} R_1$  远大于其它项时, 等式约成立。可以看出, 在 M7~M10 的栅长取值较大时,  $v_1$  约等于  $v_{\text{reg}}$ 。

从预调制点 ( $V_{\text{reg}}$ ) 看向电流和电压基准电路的输入阻抗为  $R_{\text{ref}}$ , 看向超级源极跟随器的输入阻抗为  $R_{\text{SS}}$ 。将式(9)和式(10)代入图 3 的小信号模型重新计算, 可得  $V_{\text{ref}}$ ,  $R_{\text{ref}}$  以及  $R_{\text{SS}}$  可表示为

$$v_{\text{ref}} \approx v_{\text{reg}} \frac{2g_{m12} - g_{m13}}{g_{m12} r_{\text{ds}11} (g_{m13} + g_{m14})} \quad (11)$$

$$R_{\text{ref}} \approx r_{\text{ds}9} \parallel r_{\text{ds}11} \quad (12)$$

$$R_{\text{SS}} \approx 1 / (g_{m5} g_{m4} r_{\text{ds}5}) \quad (13)$$

其中  $g_{m4}$  和  $g_{m5}$  为 M4 和 M5 的跨导值,  $r_{\text{ds}5}$  为 M5 的漏源电阻, 在没有 M4 的情况下,  $R_{\text{SS}}$  的值为  $1 / g_{m5}$ 。式(13)表明, M4 的反馈作用, 使得  $R_{\text{SS}}$  的值减少为原来的  $g_{m4} r_{\text{ds}5}$  倍。对比式(12)和式(13)可以看出,  $R_{\text{SS}}$  的数值远小于  $R_{\text{ref}}$ , 即  $V_{\text{DD}}$  对  $V_{\text{reg}}$  的波动影响大部分被超级源极跟随器吸收了。 $V_{\text{reg}}$  处的 PSRR 表达式为

$$\begin{aligned} \text{PSRR}_{V_{\text{reg}}} &= \frac{v_{\text{reg}}}{v_{\text{dd}}} \approx \frac{R_{\text{SS}} \parallel R_{\text{ref}}}{R_{\text{SS}} \parallel R_{\text{ref}} + r_{\text{ds}2}} \approx \frac{R_{\text{SS}}}{R_{\text{SS}} + r_{\text{ds}2}} \\ &= \frac{1 / (g_{m5} g_{m4} r_{\text{ds}5})}{1 / (g_{m5} g_{m4} r_{\text{ds}5}) + r_{\text{ds}2}} \approx \frac{1}{g_{m5} g_{m4} r_{\text{ds}5} r_{\text{ds}2}} \quad (14) \end{aligned}$$

其中, 为减小沟道长度调制效应, 预调制电路中的电流镜 M1~M2 的栅长取值也较大, 使得 M1 的栅极小信号电压接近  $v_{\text{dd}}$ , 从而 M1 和 M2 的电流就受  $V_{\text{DD}}$  的影响就更小。将式(14)代入式(11)可得  $V_{\text{ref}}$  的

PSRR 表达式:

$$\begin{aligned} \text{PSRR}_{V_{\text{ref}}} &= \frac{v_{\text{ref}}}{v_{\text{dd}}} \approx \frac{1}{g_{m5} g_{m4} r_{\text{ds}5} r_{\text{ds}2}} \\ &\quad \cdot \frac{2g_{m12} - g_{m13}}{g_{m12} r_{\text{ds}11} (g_{m13} + g_{m14})} \quad (15) \end{aligned}$$

从式(11), 式(14)和式(15)可以看出, 加了预调制电路之后, 基准电压的 PSRR 优化了约  $g_{m5} g_{m4} r_{\text{ds}5} r_{\text{ds}2}$  倍, 而最小电压取值只在原来的基础上增加了一个晶体管的漏源电压 ( $V_{\text{ds}2}$ )。

为了避免基准电路进入“简并”的偏置状态, 需要给基准电路加入启动电路。启动电路由 M16~M22 组成, 如图 1 所示。在刚上电时, 电流基准电路的 M8 的栅极电压  $V_b$  还处于 0 电位, M18 为截止状态, M16 和 M17 导通。从而 M23 也处于导通状态, M19~M22 构成的 cascode 电流镜流过电流向  $V_b$  点充电。当  $V_b$  点电压高于 M3 的阈值电压时, M1 和 M2 开始流过电流为预调制点  $V_{\text{reg}}$  充电, 电流基准电路也开始启动。由于 M18 的宽长比设置较大, 当启动稳定之后,  $V_b$  处于 NMOS 管阈值电压的状态, 使得 M18 进入线性区。M18 的漏极接近 0 电位, 从而 M23 截止。M19~M22 的电流消失, 启动电路停止动作, 不影响基准电路的正常工作。

### 2.3 环路稳定性分析

图 1 电路的环路分析如图 4 所示, 主要有两个主要的环路, 环路 1 是超级源极跟随器引入 M4 形成的环路, 环路 2 是预调制电路与电流基准电路形成的环路。

首先分析环路 1 的稳定性。环路 1 可以分为两级, 第 1 级为从 M5 源极到 M4 的栅极。从 M5 源极到 M4 栅极有两条支路, 一条是“M5 源极-B 点”,

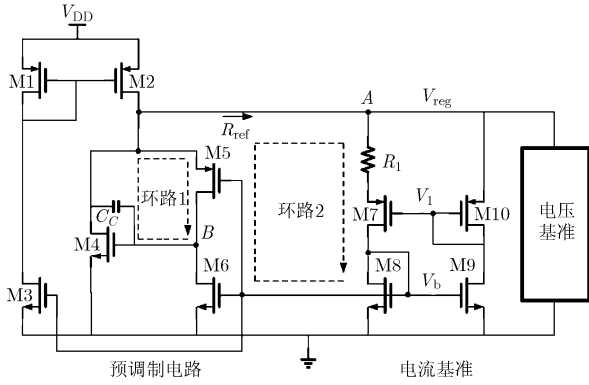


图4 基准电路的环路分析

另一条是“ $A$ 点- $R_1$ - $M7$ - $V_b$ - $M6$ - $B$ 点”这条支路,但是从式(9)可以看出从 $A$ 点( $V_{reg}$ )到 $V_b$ 的增益远小于1,因此只考虑 $M5$ 的作用。环路1的第2级为从 $M4$ 的栅极到 $M5$ 的源极。由于 $M4$ 和 $M5$ 流过电流分别为 $8\ \mu\text{A}$ 和 $1\ \mu\text{A}$ ,并且 $M4$ 的栅长取值比 $M5$ 和 $M6$ 的栅长小, $M5$ 和 $M6$ 的漏极( $B$ 点)相对 $M4$ 的漏极为高阻结点,因此取 $B$ 点为主极点。采用 $C_C$ 跨接在第2级上,作用密勒补偿,提高环路的稳定性。 $C_C$ 采用poly电容实现,大小约为 $750\ \text{fF}$  ( $20 \times 30\ \mu\text{m}^2$ )。结合图4以及图3的小信号分析图,忽略体效应,可以求得环路1的环路增益和主极点为

$$A_{\text{loop1}} \approx g_{m4}(r_{\text{ds4}} \parallel r_{\text{ds2}} \parallel R_{\text{ref}}) \cdot \frac{(g_{m5}r_{\text{ds5}} + 1)r_{\text{ds6}}}{g_{m5}r_{\text{ds5}}r_{\text{ds4}} + r_{\text{ds4}} + r_{\text{ds5}} + r_{\text{ds6}}} \approx g_{m4}r_{\text{ds6}} \quad (16)$$

$$\omega_d \approx \frac{1}{(r_{\text{ds6}} \parallel g_{m5}r_{\text{ds5}}r_{\text{ds4}}) \cdot (g_{m4}r_{\text{ds4}}C_C)} \approx \frac{1}{g_{m4}r_{\text{ds4}}r_{\text{ds6}}C_C} \quad (17)$$

其中 $g_{m5}r_{\text{ds5}}r_{\text{ds4}} \gg r_{\text{ds4}} + r_{\text{ds5}} + r_{\text{ds6}}$ ,  $r_{\text{ds6}} \parallel g_{m5}r_{\text{ds5}}r_{\text{ds4}} \approx r_{\text{ds6}}$ 。同时,由于 $M4$ 的栅长比较小,并且流过电流较大, $r_{\text{ds4}} \parallel r_{\text{ds2}} \parallel R_{\text{ref}} \approx r_{\text{ds4}}$ 。

接下来分析环路2的稳定性。环路2也存在两条支路,第1条支路为“ $V_b$ - $M5$ - $A$ 点”,第2支路为“ $V_b$ - $M3$ - $M2$ - $A$ 点”,第1条支路为超级源极跟随器, $V_b$ 到 $A$ 点的增益约等于1;第2条支路中 $V_b$ 到 $A$ 点的增益约为 $g_{m3}g_{m2}R_{\text{SS}}/g_{m1}$ 。通过式(9)可以计算出环路2的环路增益为

$$A_{\text{loop2}} \approx \frac{v_{\text{reg}}}{v_b} \left( 1 + \frac{g_{m3}}{g_{m1}} g_{m2} R_{\text{SS}} \right) = \frac{r_{\text{ds9}} + \sqrt{2}r_{\text{ds7}}}{\sqrt{2}r_{\text{ds7}}g_{m8}g_{m10}r_{\text{ds9}}R_1} \left( 1 + \frac{g_{m3}g_{m2}}{g_{m1}g_{m5}g_{m4}r_{\text{ds5}}} \right) \quad (18)$$

假设 $r_{\text{ds9}}$ 和 $r_{\text{ds7}}$ 为同一量级,且 $g_{m3}g_{m2} \ll g_{m1}g_{m5}g_{m4}r_{\text{ds5}}$ ,于是有 $A_{\text{loop2}} \sim 1/(g_{m8}g_{m10}r_{\text{ds9}}R_1)$ ,意味着 $A_{\text{loop2}} \ll 1$ 。从两条支路去推断环路2为正反馈,但是由

于其环路增益远小于1,不会对稳定性造成影响。

图4中的两个环路的环路增益的仿真曲线如图5所示,图5(a)表示环路1的环路增益,从图中可以看出,环路1的直流增益约为67 dB,相位裕度约为 $72^\circ$ 。图5(b)表示环路2的环路增益,虽然是正反馈,但是其增益总是远小于1,因此不会产生稳定性的问题。从图5的仿真可以看出,整个电路系统中包含的两个主要环路均为稳定状态,因此整个系统也是稳定的。

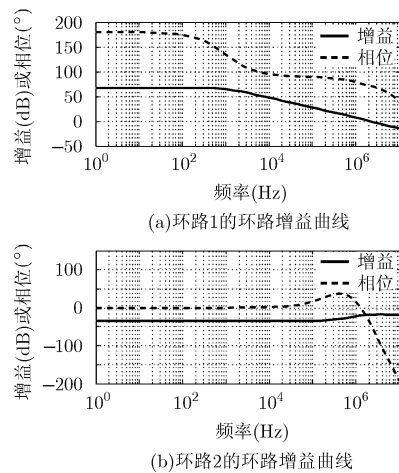


图5 基准电路中两个环路的环路增益曲线

### 3 测试结果与分析

本文所设计的非带隙基准电路采用 Global Foundry  $0.35\ \mu\text{m}$  CMOS 工艺设计实现并流片验证。图6为基准电路的显微照片,已应用于一款LDO电路当中。基准电路的有效面积为 $0.013\ \text{mm}^2$ 。实验采用 Agilent E3661A 电源、E34401A 数字万用表以及 E5061B 矢量网络分析仪等仪器对芯片进行测试。

基准电压输出特性的仿真与测试曲线如图7所示,实线和虚线分别为测试和仿真曲线,输出特性的仿真和测试曲线比较吻合。从图中可以看出基准电路正常工作的最小电压约为 $1.8\ \text{V}$ 。电源电压 $V_{\text{DD}}$

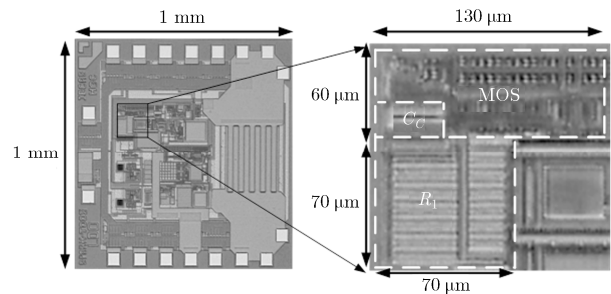


图6 应用于LDO中的非带隙基准电路显微照片

从 2~5V 变化时，输出电压变化约 40  $\mu\text{V}$ 。线性调整率(Line Regulation)约为 13  $\mu\text{V}/\text{V}$ ，即 24.2 ppm/V。室温条件下，基准电路的静态电流约为 13  $\mu\text{A}$ 。

图 8 为基准电路温度特性的典型工艺角(Typical NMOS and Typical PMOS Corner, TT corner)仿真与实际测试曲线比较图，在 0°C~100°C 范围内，测试的输出变化值约为 8.25 mV，温漂系数约为 160 ppm/°C，由于实际芯片制造工艺误差，尤其是掺杂浓度和晶体管尺寸的不匹配，由于设计的经验不足，芯片没有采用片外的补偿(trimming)，但是 TT corner 的仿真结果是不错的，温漂系数为 39.4 ppm/°C。

PSRR 的仿真和测试曲线如图 9 所示。图 9 的仿真曲线有两条，其中一条为不包含预调制电路的仿真曲线，另一条是包含预调制电路的仿真曲线。从仿真的结果可以看出，加入本文提出的带超级源极跟随器的预调制电路之后，低频处的 PSRR 提高了接近 62 dB。

同时，对比图 9 中的测试和仿真曲线可以看出，在低频处仿真和测试的 PSRR 非常接近，约为-100 dB。在小于 1 kHz 的频率范围内，PSRR 优于-93 dB；并且，在仪器可测的  $3 \sim 3 \times 10^7$  Hz 的频率范围内，PSRR 均优于-40 dB。在 1~100 kHz 的频率范围，测试的 PSRR 比仿真结果要差 10 dB 左右，这可能是由于在实际的芯片中，从  $V_{\text{DD}}$  到预调制点的寄生电容大于仿真值，导致从电源的高频噪声更容易耦合到预调制点。在 100 kHz 以上的频率范围，基准电路的内部环路失效，此范围的 PSRR 取决于  $V_{\text{DD}}$  到输出端的寄生电容与输出端到地的寄生电容的电抗之比，受频率变化的影响较小。表 1 为本文的基准源电路与近年文献的对比，本文电路在 PSRR 以及线性调整率等方面具备一定优势。

### 4 结论

本文提出一种非带隙基准电路，包含一种新颖的带超级源极跟随器的预调制电路，为核心基准电

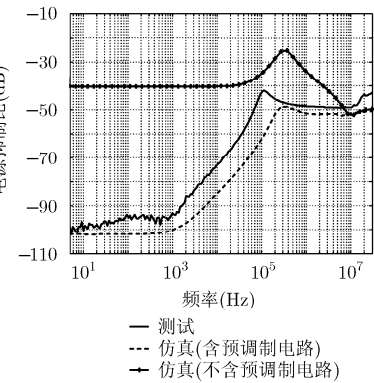
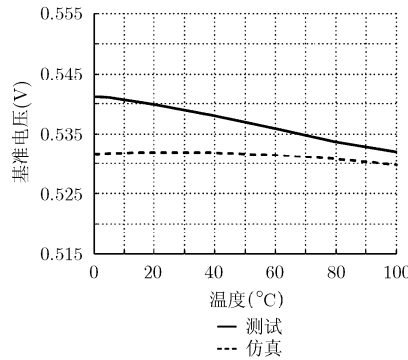
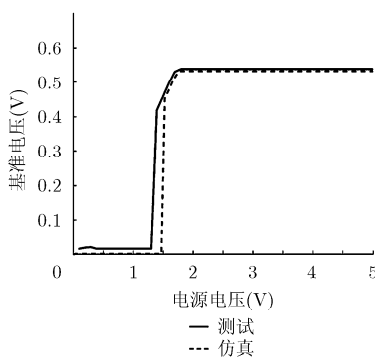


图 7 基准电压输出仿真与测试结果对比 图 8 电压基准的温度特性测试与仿真结果对比 图 9 电源抑制比的测试和仿真结果对比

表 1 芯片测试结果对比

参数	文献[11]	文献[12]	文献[3]	文献[13]	本文
工艺	0.25 $\mu\text{m}$ CMOS	0.35 $\mu\text{m}$ CMOS	0.35 $\mu\text{m}$ CMOS	0.35 $\mu\text{m}$ CMOS	0.35 $\mu\text{m}$ CMOS
时间(年)	2011	2013	2015	2015	2015
电源电压(V)	1.5~3.5	>1.85	>1.8	1.25~2	1.8~5
静态电流( $\mu\text{A}$ )	0.08	65	9.8	0.24	13
输出电压(mV)	670~1040	905.5	508.5	536.01	540
温度系数(ppm/°C)	627	14.8	10	19.32	160
温度范围(°C)	20~50	0~100	-40~130	-40~85	0~100
线性调整率(ppm/V)	200	-	781	4136	24.2
PSRR	-51 dB@100 Hz	-61 dB@10 Hz	-65.2 dB@100 Hz	-55.31 dB@10 Hz -16.67 dB@1 MHz	<b>-100 dB@DC</b> <b>-93 dB@1 kHz</b> <b>-49 dB@1 MHz</b>
面积( $\text{mm}^2$ )	0.011	0.01	0.0875	0.0077	0.013

路提供稳定的供电电压,有效提高了输出电压的电源抑制比。该基准电路已经通过  $0.35\ \mu\text{m}$  CMOS 工艺芯片验证,室温下,整个基准电路的静态电流仅  $13\ \mu\text{A}$ 。测试结果显示,在低频处的 PSRR 达到了  $-100\ \text{dB}$ ,在小于  $30\ \text{MHz}$  的频率范围内,PSRR 均优于  $-40\ \text{dB}$ 。并且,电源电压在  $2\sim 5\ \text{V}$  变化时,线性调整率约为  $24.2\ \text{ppm/V}$ 。该基准电路已经应用于一款 LDO 芯片当中,为其提供高 PSRR 的基准电压。

### 参 考 文 献

- [1] GRAY P R, HURST P, MEYER R G, *et al.* Analysis and Design of Analog Integrated Circuits[M]. New Jersey, USA. Wiley, 1990: 201-300.
  - [2] ZHU Y, LIU F, YANG Y, *et al.* A  $-115\ \text{dB}$  PSRR CMOS bandgap reference with a novel voltage self-regulating technique[C]. 2014 IEEE Proceedings of the Custom Integrated Circuits Conference (CICC), San Jose, CA, USA, 2014: 1-4. doi: 10.1109/CICC.2014.6946006.
  - [3] BASYURT P B and AKSIN D Y. A compact curvature corrected bandgap reference in  $0.35\ \mu\text{m}$  CMOS process[J]. *Analog Integrated Circuits and Signal Processing*, 2015, 83(1): 65-73. doi: 10.1007/s10470-015-0503-5.
  - [4] WANG B, LAW M K, and BERMAK A. A precision CMOS voltage reference exploiting silicon bandgap narrowing effect [J]. *IEEE Transactions on Electron Devices*, 2015, 62(7): 2128-2135. doi: 10.1109/TED.2015.2434495.
  - [5] CHAHARDORI M, ATARODI M, and SHARIFKHANI M. A sub-1V high PSRR CMOS bandgap voltage reference[J]. *Microelectronics Journal*, 2011, 42(9): 1057-1065. doi: 10.1016/j.mejo.2011.06.010.
  - [6] CAI C, SONG S X, LUO Y, *et al.* A high accuracy low-power bandgap voltage reference with trimming[C]. 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Guilin, China. 2014: 1-4. doi: 10.1109/ICSICT.2014.7021565.
  - [7] LAM Y H and KI W H. CMOS bandgap references with self-biased symmetrically matched current-voltage mirror and extension of sub-1-V design[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2010, 18(6): 857-865. doi: 10.1109/TVLSI.2009.2016204.
  - [8] COLOMBO D M, WIRTH G, and BAMPI S. Sub-1 V band-gap based and MOS threshold-voltage based voltage references in  $0.13\ \mu\text{m}$  CMOS[J]. *Analog Integrated Circuits and Signal Processing*, 2015, 82(1): 25-37. doi: 10.1007/s10470-014-0343-8.
  - [9] LEUNG K N and MOK P K T. A CMOS voltage reference based on weighted  $V_{GS}$  for CMOS low-dropout linear regulators[J]. *IEEE Journal of Solid-State Circuits*, 2003, 38(1): 146-150. doi: 10.1109/JSSC.2002.806265.
  - [10] CAJUEIRO J P C. Tracking- $V_{gs}$ : a temperature compensation technique to implement all-MOS reference voltages[C]. Proceedings of the 6th International Caribbean Conference on Devices, Circuits and Systems, Playa del Carmen, México, 2006: 287-291. doi: 10.1109/ICDCS.2006.250875.
  - [11] CHANG S I, ALASHMOUNY K, and YOON E. A  $1.5\ \text{V}$   $120\ \text{nW}$  CMOS programmable monolithic reference generator for wireless implantable system[C]. 2011 Annual International Conference of the Engineering in Medicine and Biology Society (EMBC), Boston, MA, USA, 2011: 2981-2984. doi: 10.1109/IEMBS.2011.6090818.
  - [12] ZHOU Z, ZHU P, SHI Y, *et al.* A resistorless CMOS voltage reference based on mutual compensation of  $V_T$  and  $V_{TH}$ [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2013, 60(9): 582-586. doi: 10.1109/TCSII.2013.2268639.
  - [13] CHOUHAN S S and HALONEN K. Design and implementation of a micro-power CMOS voltage reference circuit based on thermal compensation of  $V_{gs}$ [J]. *Microelectronics Journal*, 2015, 46(1): 36-42. doi: 10.1016/j.mejo.2014.09.015.
  - [14] CHOUHAN S S and HALONEN K. Design and implementation of all MOS micro-power voltage reference circuit[J]. *Analog Integrated Circuits and Signal Processing*, 2014, 80(3): 399-406. doi: 10.1007/s10470-014-0361-6.
  - [15] CHOUHAN S S and HALONEN K. A simple all MOS voltage reference for RFID applications[C]. 2013 IEEE NORCHIP Conference, Vilnius, Lithuania, 2013: 1-3. doi: 10.1109/NORCHIP.2013.6702027.
  - [16] ROH H D, ROH J, and DUAN D Q Z. All mos transistors bandgap reference using chopper stabilization technique[C]. 2010 International SoC Design Conference (ISOC), Incheon, South Korea, 2010: 353-357. doi: 10.1109/SOCDC.2010.5682897.
  - [17] TAN X L, CHONG S S, CHAN P K, *et al.* A LDO regulator with weighted current feedback technique for  $0.47\ \text{nF}$ - $10\ \text{nF}$  capacitive load[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(11): 2658-2672. doi: 10.1109/JSSC.2014.2346762.
  - [18] FILANOVSKY I M and ALLAM A. Mutual compensation of mobility and threshold voltage temperature effects with application in CMOS circuits[J]. *IEEE Journal of Solid-State Circuits*, 2001, 48(7): 876-884. doi: 10.1109/81.933328.
- 黄国城: 男, 1989 年生, 博士生, 研究方向为低功耗低噪声模拟集成电路设计。
- 尹 韬: 男, 1980 年生, 副研究员, 主要研究方向为微弱信号检测集成电路设计、高速接口集成电路设计。
- 朱渊明: 男, 1989 年生, 硕士, 主要研究方向为高速模数转换、可编程逻辑芯片设计。
- 许晓冬: 男, 1985 年生, 助理研究员, 主要研究方向为 CMOS 射频电路、高速接口芯片设计。
- 张亚朝: 男, 1988 年生, 硕士生, 研究方向为微弱信号检测、可编程模拟阵列芯片设计。
- 杨海钢: 男, 1960 年生, 研究员, 主要研究方向为大规模可编程逻辑芯片设计和智能信息获取、处理与传输集成化芯片系统。