

一种基于与非锥簇架构 FPGA 输入交叉互连设计优化方法

黄志洪^{①②} 李威^① 杨立群^{①②} 江政泓^{①②} 魏星^{①②} 林郁^① 杨海钢^{*①}

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院大学 北京 100190)

摘要: 该文针对与非锥(And-Inverter Cone, AIC)簇架构 FPGA 开发中面临的簇面积过大的瓶颈问题, 对其输入交叉互连设计优化进行深入研究, 在评估优化流程层次, 首次创新性提出装箱网表统计法对 AIC 簇输入和反馈资源占用情况进行分析, 为设计及优化输入交叉互连结构提供指导, 以更高效获得优化参数。针对输入交叉互连模块, 在结构参数设计层次, 首次提出将引脚输入和输出反馈连通率分离独立设计, 并通过大量的实验, 获得最优连通率组合。在电路设计实现层次, 有效利用 AIC 逻辑锥电路结构特点, 首次提出双相输入交叉互连电路实现。相比于已有的 AIC 簇结构, 通过该文提出的优化方法所得的 AIC 簇自身面积可减小 21.21%, 面积制约问题得到了明显改善。在实现 MCNC 和 VTR 应用电路集时, 与 Altera 公司的 FPGA 芯片 Stratix IV(LUT 架构)相比, 采用具有该文所设计的输入交叉互连结构的 AIC 架构 FPGA, 平均面积延时积分分别减小了 48.49% 和 26.29%; 与传统 AIC 架构 FPGA 相比, 平均面积延时积分分别减小了 28.48% 和 28.37%, 显著提升了 FPGA 的整体性能。

关键词: 与非锥(AIC); AIC 簇; 装箱网表统计法; 连通率; 分类独立设计; 双相输入交叉互连

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2016)09-2397-08

DOI: 10.11999/JEIT151216

An Input Crossbar Optimisation Method for And-inverter Cone Based FPGA

HUANG Zhihong^{①②} LI Wei^① YANG Liqun^{①②} JIANG Zhenghong^{①②}

WEI Xing^{①②} LIN Yu^① YANG Haigang^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: In order to break through the bottleneck of the huge cluster area in AIC (And-Inverter Cone) architecture based FPGA, the research on the optimisation of the input crossbar architecture is carried on. A post-pack netlist statistics method is creatively proposed to analyze the utilization of AIC cluster inputs and feedbacks and to guide the input crossbar design. And on the architecture parameter design level, it is firstly proposed to separately design the connective probability of the AIC cluster inputs and feedbacks. Through substantial experiments, optimum connective probability combination is derived. From the circuit implement view, dual-phases multiplexer input crossbar is presented according to the characteristics of AIC. The area of the AIC cluster, optimized through the proposed approach, achieves 21.21% smaller than the original one, the huge area problem is markedly ameliorated. When implementing the MCNC and VTR benchmarks, compared to Stratix IV, LUT based FPGA from Altera, the area-delay product of the AIC FPGA after optimisation is reduced by 48.49% and 26.29%, respectively. Compared to the original AIC-based FPGA architecture, the area-delay product is reduced by 28.48% and 28.37%, respectively.

Key words: And-Inverter Cone (AIC); AIC cluster; Post-pack netlist statistics; Connective probability; Separately design; Dual-phases multiplexer input crossbar

1 引言

FPGA(Field-Programmable Gate Arrays)自

1984 年诞生以来, 发展至今已成为数字电路系统的核心器件。FPGA 灵活的可编程能力使其能够实现各种逻辑功能, 满足不同领域用户的功能需求, 其开发周期短, 容易升级的特点更适用于技术不断革新的市场应用^[1,2]。当前主流的商用 FPGA 器件基本都采用孤岛型结构^[3], 逻辑功能普遍通过查找表(Look up Table, LUT)结构^[4]实现, k 位输入的查找表能够实现 2^k 种功能。查找表结构逻辑单元强大

收稿日期: 2015-11-25; 改回日期: 2016-04-27; 网络出版: 2016-04-14

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

基金项目: 国家自然科学基金(61271149)

Foundation Item: The National Natural Science Foundation of China (61271149)

的可编程能力推动了 FPGA 的快速发展和广泛应用,然而其高度灵活性也带来了面积和性能的开销,且其本身的可扩展性约束也随着工艺节点的不断进步逐渐凸显,如何改进 LUT 结构进一步提升 FPGA 性能一直是学术界和工业界的研究焦点^[5-7]。

2012 年,文献[8,9]提出了一种基于与非锥结构的新型 FPGA 逻辑单元。其核心思想是利用综合工具如 abc^[10]中的 Boolean SAT 技术方案^[11],使得电路在映射成为有向无环图 AIG(And-Inverter Graph)时能够在不同深度上找到大量可复用的子图,而 AIC 架构 FPGA 能够提供可复用的逻辑单元,从而最大程度地提高逻辑资源利用率。

2014 年第 22 届 FPGA 国际会议上,文献[12]首次尝试通过标准 CMOS 工艺实现基于 AIC 架构的 FPGA 电路设计,通过实验仿真获得性能参数,并提供结构参数和模型输入 VTR^[13]架构评估工具,以获得待评估电路集中不同电路的面积、时延性能,并得出结论:LUT 和 AIC 结构在不同应用电路上各有优劣,基于 AIC 架构的 FPGA 在平均时延性能上更优,但面积相对较大。文献[12]中输入交叉互连模块(input crossbar)占到了整个逻辑簇面积的 62.77%,而真正的功能逻辑和时序电路模块仅占到 AIC 簇面积的 10.3%,庞大的输入交叉互连模块直接导致 AIC 架构逻辑簇面积过大的缺陷。

本文首次采用统计方法对映射装箱后的应用电路网表资源利用率进行计算分析,利用分析结果指导输入交叉互连结构设计,并提出将 AIC 簇的输入引脚和输出反馈连通率分离独立设计,在电路实现层次,提出一种双相输出交叉矩阵,以优化 AIC FPGA 的实现性能。通过集成了改进的面向 AIC 结构映射工具^[14]的完整高效 FPGA 架构评估流程,经过大量的仿真、优化和实验,获得一种优化的适用于 AIC 簇架构 FPGA 的输入交叉互连结构。

2 AIC 逻辑簇及输入交叉互连模块

AIC 基本单元的结构如图 1 中 BAE(Basic AIC Element)所示,多级 AIC 逻辑锥由多层次的基本单元 BAE 组成,其中,第 1 级采用改进型可编程 AIC 单元(Enhanced AIC Element, EAE)即在各输入端加入正反信号选择模块,使第 1 级 AIC 即能实现 AB , \overline{AB} , $\overline{A}B$, $A\overline{B}$, $A+B$, $\overline{A}+\overline{B}$, $\overline{A}+B$, $A+\overline{B}$ 8 种逻辑功能。

根据德摩根律^[15],任何函数功能通过逻辑运算都能够通过运算转换成与非单元的组合表达式。因而可将任意的函数映射到 AIC 组合结构上。

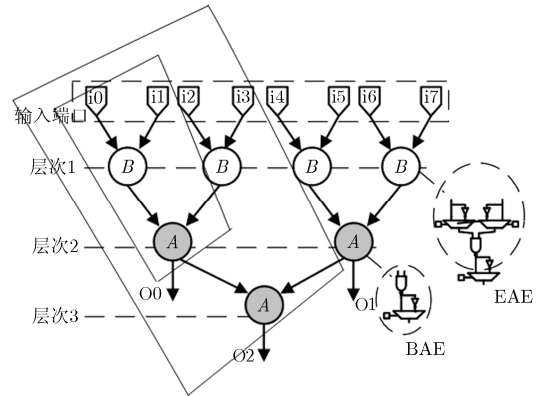


图 1 AIC 逻辑单元及 AIC 逻辑锥

AIC 逻辑锥区别于传统查找表结构的一个重要特点是其在各级中间层次可具有多个输出,因而能够最大程度上复用资源实现映射生成的重复子图单元,从而在提高资源利用率的同时提升性能。

AIC 逻辑簇是由一个或者多个 AIC 锥通过局部互连组成的可编程逻辑模块,与基于 LUT 结构的 LAB 模块相对应。在文献[12]中为了实现与主流商用 FPGA 进行对比,采用了全定制设计方法,在 Cadence 的 Virtuso 设计平台上,通过 40 nm 标准 CMOS 工艺实现了 Altera 公司 Stratix-IV 的逻辑功能簇^[16]作为对比的参照基准,性能与实际芯片数据相近。

该 AIC 逻辑簇由 3 个层次为 6 的 AIC 逻辑锥(AIC6)组成,每个 AIC6 有 64 个输入端,由第 2 级开始输出,称为 AIC6_2。通道提供了 64 个输入引脚,经过输入交叉互连模块选择后,为 3 个 AIC6_2 提供 192 个输入。每个 AIC6_2 共 31 个输出,通过中间交叉互连模块选择后,可选择是否连接到寄存器 DFF 实现时序或者直接提供组合逻辑输出,再经过输出交叉互连模块将数目减少到 20 并最终输出到全局互连通道资源。

文献[12]中的 AIC 逻辑簇与传统 LUT 结构逻辑簇相比,在平均延时性能上有一定优势,但电路实现平均面积较差。深入分析该 AIC 簇结构,由于 AIC 簇拥有多输入多输出的结构特点,使得其能较快处理多输入信号,而且多层次中间节点输出的存在使得其能够复用逻辑运算模块的中间结果,从而提高逻辑运算密度和利用率。但丰富的局部布线资源也意味着资源的冗余和面积、延时代价。统计结果可得,文献[12]中局部互连资源(input/middle/output crossbar)占整个 AIC 簇结构中面积的 79.89%,延时占 AIC 簇总延时 43.3%至 70.7%。

由于映射工具受限等因素,如原映射工具在映射阶段没有合理考虑不同单元的映射代价,且仅支

持 AIC 每个层次都需输出, 直接导致输出数目的倍增, 限制制约了 AIC 簇设计的灵活性。针对这些问题, 我们基于开源的 abc 软件对新的工艺映射工具进行了开发^[14], 引入了映射单元库, 建立映射代价函数, 在映射阶段即考虑不同映射结果的代价, 并在大量的候选映射划分中, 选择最优的映射方案, 同时实现 AIC 逻辑簇的输入、输出层次、输出个数独立可调节, 使得结构设计能有更大的自由空间, 选择更为合理的方式。

通过限制 AIC6 从第 3 级开始输出, 并简称该与非锥为 AIC6_3, 其输出数目即可降为 15, 原 AIC 逻辑簇中的中间输出交叉互连和输出交叉互连即可移除, AIC 逻辑簇结构改进部分为图 2 阴影部分所示。

限制 AIC6 输出级数后可以移除中间和输出交叉互连模块, 但输入交叉互连模块仍然必须保留, 以保障为 AIC 逻辑功能块提供丰富的输入资源。而此时, 输入交叉互连模块占用整个 AIC 簇面积的比例则更加凸显, 高达 73.89%, 延时则占整个 AIC 簇逻辑的 24.14%~50.2%。因此如何合理改进输入交叉互连模块, 设计高效的互连关系, 采用优化的电路实现方式, 成为了 AIC 逻辑簇整体性能得到进一步提高的关键。

3 AIC 簇输入交叉互连模块结构设计

3.1 AIC 簇互连结构参数评估流程

本文对 AIC 簇输入交叉互连模块结构参数评估采用的 CAD 流程如图 3 所示。所建立的完整流程包括: 通过设定预设结构参数, 电路设计、仿真验证、管子参数优化, 获得映射单元面积和时延库, 以提供工艺映射过程建立合理代价函数, 获得电路

基本结构参数以提供装箱及后续步骤, 建立延时和面积模型以提供布局布线过程, 对应用电路的实现面积和时延信息进行评估, 以确定最优的结构参数。

本文采用学术界公认的经典 20 个最大的 MCNC 电路^[17]和 VTR 中的大部分电路^[18], 除去个别规模过大非常耗时的电路, 作为典型应用测试电路集, 进行架构参数评估。与通用的 VTR7.0 流程^[13]相比, 工艺映射过程集成了所开发的针对 AIC 结构的改进型映射工具, 而且在采用 VPR 进行布局布线过程前, 开发统计工具, 统计计算网表预设资源利用率, 并返回指导修改结构参数, 以加速确定优化的结构参数。

流程采用全定制设计, 采用 40 nm 标准 CMOS 工艺以保持与 stratix-IV 以及文献[12]中一致, 设计平台为 Cadence 公司的 Virtuso 开发套件, 仿真验证、管子优化过程采用 spectre 工具进行, 参数处理也采用和文献[12]中相同的方式, 以确保数据和实际芯片相近, 且具有可比性。

3.2 输入交叉互连模块结构参数及连通率分类独立设计

深入分析输入交叉互连模块, 设定其输入端引脚个数为 I , 输出反馈个数为 F , 输出个数为 O , 输入交叉互连模块输入到每个输出的连通率为 p 。在图 2 中的阴影部分逻辑功能确定的情况下, 为了使每个 AIC6 能够有充分的输入逻辑资源, 需保持输入端引脚个数 I 为 64, 同样为了实现每个 AIC6 输入端来源的独立性, 输出个数 O 需为 192, 而输出反馈的个数 F 也固定为 45。合理设计输入交叉互连模块的连通率 p 成为了优化设计的关键。

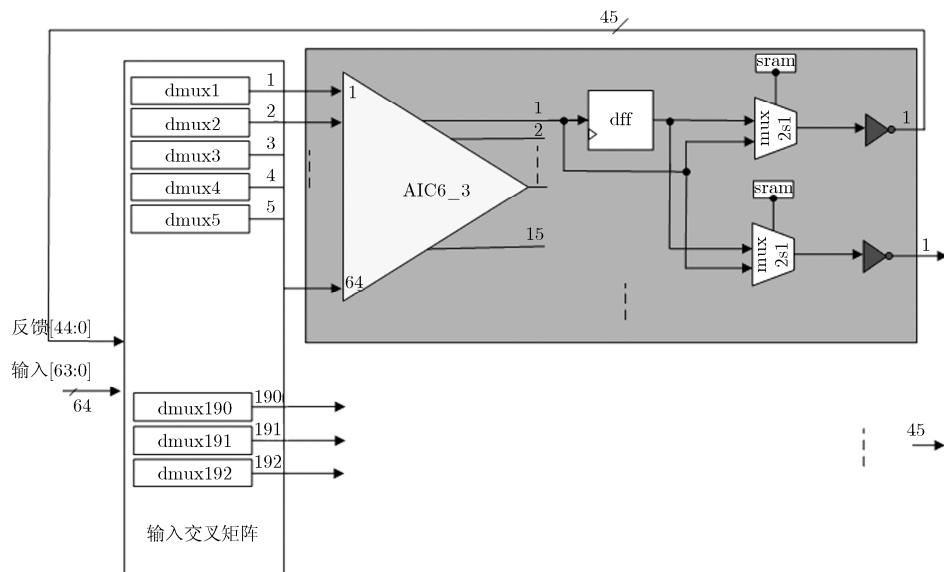


图 2 限制 AIC6 的输出级数为 3 的 AIC 簇及输入交叉互连

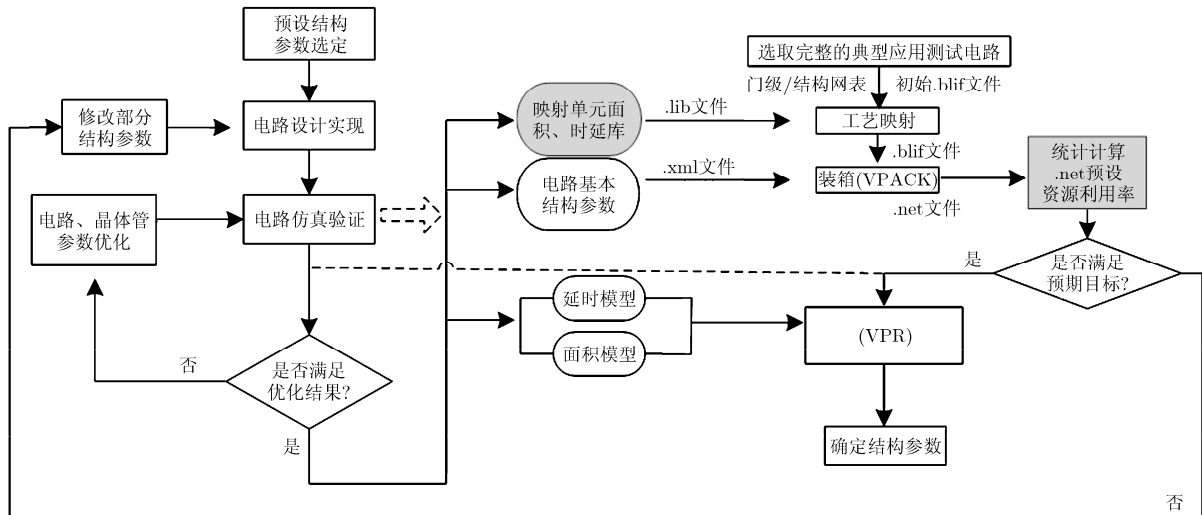


图 3 AIC 簇输入交叉互连结构评估 CAD 流程

文献[12]中设定的连通率 p 为 50%，本文为了更精细地对输入交叉互连模块的连接关系进行设计，将输入引脚到每个输出端的连通率定义为 i ，输出反馈到每个输出端的连通率定义为 f 。本文首次提出将 AIC 逻辑簇输入交叉互连模块的输入和反馈连通率独立分离设计，从而避免了文献[12]中存在的二者必须保持相同比例的设计约束，实现对 i 和 f 的独立设计和组合，以获取更为高效的输入交叉互连关系。

3.3 装箱网表统计法

由于不同结构参数组合的设计空间非常大，而且对输入交叉互连模块而言，不同连通率对应着不同的电路实现，而每种电路需经过设计实现、仿真验证、管子参数优化，才能提供相关的结构参数进行后续的 CAD 评估流程。这一过程将多次循环往复，直至找到最优的设计方案，因此将耗费大量的运算资源和时间。

为了能够更高效迅速确定优化的结构参数范围，本文针对 AIC 簇输入交叉互连结构的优化设计，提出一种装箱网表统计法，即先设定合理的较为宽裕互连资源参数，通过电路设计仿真，获得相关信息，提供综合映射装箱后，对 .net 网表进行资源统计分析，以确定提供的资源的利用率，根据所得信息返回对原设定的结构参数进行修改，再循环重复上述流程，以加快确定最优化结构参数。虽然无法通过统计结果直接确定最优化的结构参数数值，但可以更合理和准确地指导参数的选择。

文献[12]中的 AIC 簇的输入交叉互连 p 为 50% 时，面积和延时都过大。本文预设 i 和 f 均为 50%，根据图 3 实验流程，完成电路设计及仿真优化，提供所需信息文件，将应用电路集进行映射、装箱，得到 .net 格式网表文件，通过网表资源统计工具计算分析可得，在占用的 AIC 簇中，应用电路集平均每个 AIC 簇占用了 46.67 个引脚输入，4.78 个输出

反馈，VTR 应用电路集平均每个 AIC 簇占用了 22.27 个引脚输入，4.90 个输出反馈。整个测试电路集平均每个 AIC 簇占用了 34.47 个引脚输入，4.84 个输出反馈，即引脚输入约占总引脚输入的 53.84%，反馈个数约占总输出反馈的 10.76%。对比预定结构所提供的 i 和 f ，可以发现 i 的选定在一定的合理区间，而 f 则有着较大的资源冗余。故返回指导预定结构参数进行对应修改。

3.4 结构参数实验结果

由于输入交叉互连模块电路本身设计对称性，以及驱动和负载一致性的要求，使得连通率的选定有一定的限制，因此无法设定任意的连通率值。本文采用的实验方法如下：先固定结构参数中的 i 为 50%，对 f 的最优值进行实验，拟定 f 的选值为 50%，33%，25%，12.5%，6.25%，0%，按照图 3 所示的流程，在选用不同 f 取值后，进行电路的设计和仿真，但跳过晶体管尺寸的优化循环，留待最优参数结构组合确定后，再进一步进行晶体管参数优化，以高效完成 CAD 结构评估。

通过完整的 CAD 评估流程和大量实验，可得 MCNC 和 VTR 应用电路集在基于不同反馈连通率 f 值的输入交叉互连模块的 AIC 架构 FPGA 上实现关键路径延时和面积，与 Stratix-IV 和文献[12]中 AIC 结构相比，测试电路集平均面积、延时、面积延时积归一化比例如图 4 所示。

分析图 4 可得，当 f 为 6.25% 时，无论是 MCNC 还是 VTR 应用电路集，其实现的电路面积延时积都达到最优，两组测试电路集有着相同的结论。

故本文选定 6.25% 作为 f 的预设值，对 i 的取值进一步进行实验评估。类似地，拟定 i 的选值为 56%，53%，50%，47%，44%，41%，38%，34%，31% 作为结构参数测试点，通过完整的 CAD 评估流程和大量

实验, 可得 MCNC 和 VTR 应用电路集在基于不同输入引脚连通率 i 值的输入交叉互连模块的 AIC 架构 FPGA 上实现关键路径延时和面积, 与 Stratix-IV 和文献[12]中 AIC 结构相比, 测试电路集平均面积、

延时、面积延时积归一化比例如图 5 所示。

分析图 5 可得, 当 i 为 50% 时, 无论是 MCNC 还是 VTR 应用电路集, 其实现的电路面积延时积都达到最优, 两组测试电路集同样有着相同的结论。

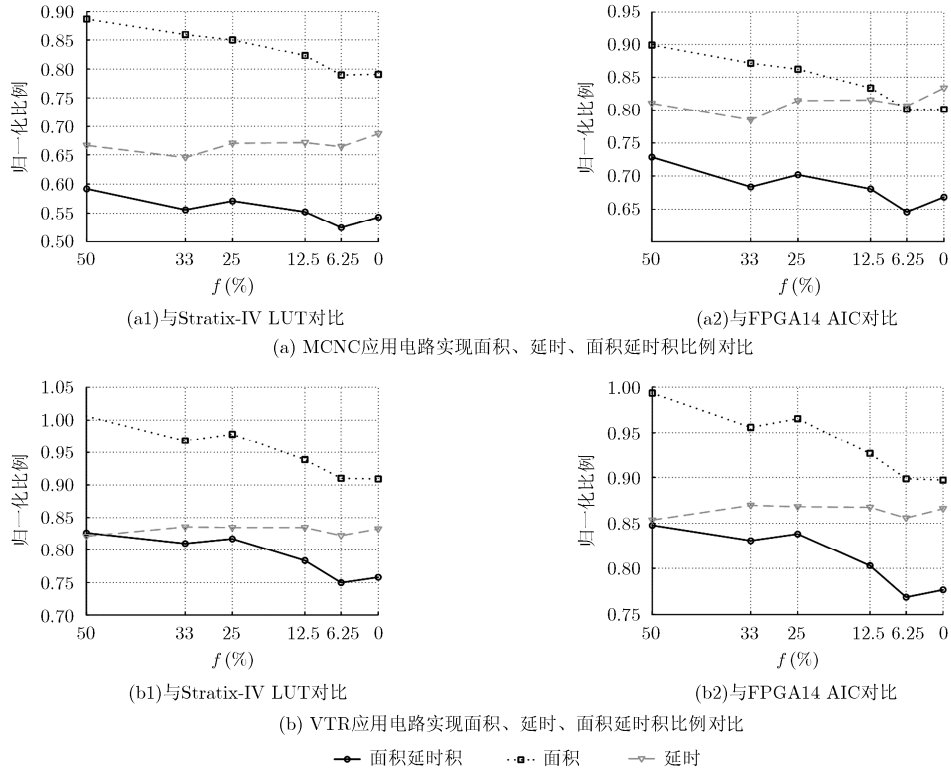


图 4 面积、延时、面积延时积随 f 变化图

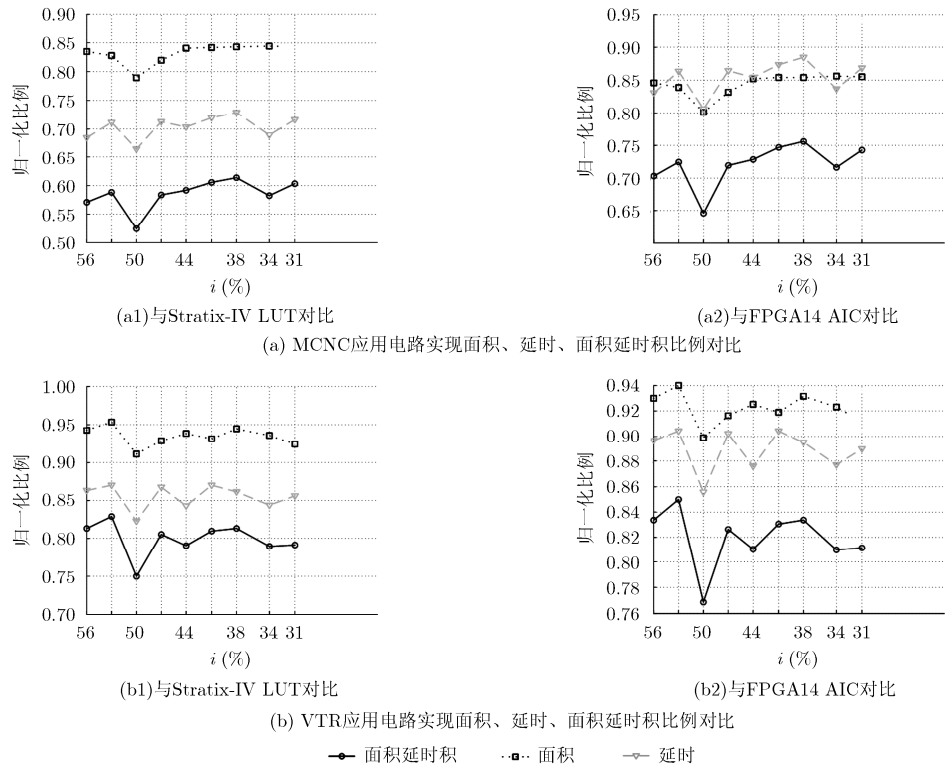


图 5 面积、延时、面积延时积随 i 变化图

因此,我们可以得出结论,在当前拟定的设计架构下,当AIC簇输入交叉互连模块的输入引脚连通率 i 取50%,反馈连通率 f 取6.25%时,FPGA有着最优的面积延时积性能。这一结论也进一步证实了装箱网表资源统计结论方向的正确性。

按照图3所示流程,进一步采用优化的参数结构,对电路设计实现进行晶体管级优化,修改面积和时延参数,再次进行装箱,VPR等步骤,统计分析以得到在该设计最优化结构下的电路关键路径延时和面积。

和文献[12]中的AIC簇结构相比,采用该输入交叉互连模块,AIC簇本身的电路延时减小了21.24%,电路实现面积减少了20.28%,输入交叉互连模块实现面积较大的突出问题得到了明显改善。

相比于Stratix-IV的LUT结构,该AIC簇结构实现MCNC和VTR应用电路集在平均面积延时积上分别提升了48.12%和25.86%;相比于文献[12]中原有的AIC结构,则分别提升了27.97%和27.95%。

3.5 双相输入交叉互连电路实现

在文献[12]中,各级交叉矩阵的电路实现方式均采用二级阵列多路选择器电路实现,与主流的Altera公司的Stratix系列产品相似^[19]。

深入分析图1中的AIC簇架构,可以发现,每个AIC6的输入端均需经过一个反相器实现反向,以便通过编程选择输入的极性。综合考虑交叉矩阵和EAE电路结构,针对输入交叉互连模块,本文提出双相输入交叉互连电路实现方式,为每个AIC逻辑锥同时提供正向和反向的输入,其每个多路选择器的电路实现方式如图6所示。

通过管子优化设计,Spectre仿真验证,其正向路径延时性能同原设计相当。反向延时路径虽然相比原设计电路减少了两级反相器,但由于该电路采用传输管结构实现,中间电平压降效应影响了信号的上升时间,其最终延时也同原设计相近。然而采

用了双相输入交叉模块,可以将AIC逻辑锥第1层输入端的反向器移除,达到了进一步减小整个AIC簇实现面积的目的。

采用双相输入交叉互连实现的AIC簇在本身实现面积上进一步减小了4.8%,整个AIC簇面积相比于文献[12]中的AIC簇减少了21.21%。

通过CAD评估流程,可得最终在MCNC和VTR应用电路集实现面积和关键路径延时比对如表1所示。

与Stratix-IV结构相比,采用本文所提出的双相输出交叉互连电路实现的AIC簇结构在MCNC和VTR应用电路集平均面积延时积分别减小了48.49%和26.29%;与文献[12]中AIC结构相比,平均面积延时积分别减小了28.48%和28.37%。

4 结论

本文针对AIC架构FPGA开发中出现的实现面积过大的问题,深入分析其症结根源,对输入交叉互连结构的设计优化进行探索。本文建立了适用于AIC架构输入交叉互连模块结构参数评估的高效优化CAD流程,创新性提出装箱网表统计法对资源占用情况进行分析,并利用所得结果对输入交叉互连结构参数的优化提供指导,以更高效获取优化参数。在结构参数设计层面,首次提出将引脚输入和输出反馈连通率分离独立设计的思想,并通过大量的实验,获得最优化结构参数组合。在电路实现层次,结合AIC逻辑锥结构特点,首次提出双相输入交叉互连电路实现方式,进一步缩小了AIC簇的面积,相比于文献[12]中的AIC簇结构,本文所提出的优化AIC簇本身实现面积可减小21.21%,从而在有效解决了AIC架构FPGA的面积困扰问题,也使得AIC架构FPGA展现出了其潜在的优势和广阔的进一步优化空间。

经过大量的电路仿真、优化、实验,通过完整CAD流程得到优化结果。与Stratix-IV结构相比,采用本文所提出的输入交叉互连结构的AIC架构

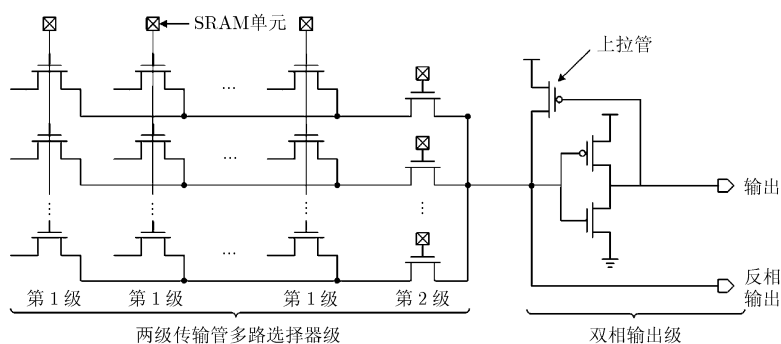


图6 双相输入交叉互连多路选择器电路

表 1 采用双相输入交叉互连电路实现的 AIC 簇结构面积和延时减小比例

应用测试电路	面积减小(%)		延时减小(%)	
	对比 StratixIV LUT	对比 FPGA14 AIC	对比 StratixIV LUT	对比 FPGA14 AIC
s298	34.41	10.31	55.44	34.96
pdc	34.24	16.43	24.36	21.82
diffeq	33.07	-1.00	30.67	19.03
alu4	36.74	-1.56	25.96	1.61
misex3	36.49	12.57	24.73	0.24
apex2	30.97	13.95	45.75	21.73
seq	34.64	11.14	44.85	25.05
s38417	-13.46	5.46	36.27	33.03
bigkey	18.58	2.05	34.54	9.17
s385841	19.20	-7.55	36.92	28.67
apex4	29.91	12.44	42.22	21.03
tseng	12.00	-12.63	14.71	29.36
ex1010	10.78	18.04	43.95	22.99
elliptic	32.78	4.02	26.43	17.40
dsip	26.83	10.30	41.59	12.05
clma	6.62	24.31	25.54	19.16
spla	1.10	-0.53	34.35	27.69
des	-3.59	24.16	36.36	5.67
frisc	29.66	-2.48	30.95	30.59
ex5p	-24.87	33.85	31.40	28.44
mcnc 电路集				
几何平均值	20.71	9.38	35.03	21.08
stereovision0	-23.91	6.13	10.89	10.74
ch_intrinsics	30.63	18.49	44.29	18.67
diffeq1	8.17	20.64	8.16	2.44
mkSMAadapter4B	26.78	21.63	31.81	21.94
boundtop	17.49	12.20	34.00	25.31
or1200	8.68	7.63	-17.35	17.71
stereovision1	-37.76	6.06	-22.72	1.16
mkDelayWorker32B	45.46	41.40	38.60	7.68
raygentop	8.95	17.78	19.32	18.43
stereovision3	12.68	-18.39	33.92	6.76
diffeq2	0.69	18.14	8.70	16.26
mkPktMerge	42.42	44.54	2.92	5.74
sha	-30.26	3.99	23.39	28.23
blob_merge	-24.91	-4.21	12.13	25.38
VTR 电路集				
几何平均值	9.64	15.54	18.43	15.19

FPGA, 在 MCNC 和 VTR 应用电路集平均面积延时积分分别减小了 48.49%和 26.29%; 与文献[12]中

AIC 结构相比, 平均面积延时积分分别减小了 28.48%和 28.37%, 显著提升了 FPGA 芯片的整体性能。

参考文献

- [1] CHINNEY D and KEUTZER K. Closing the Gap Between ASIC and Custom: Tools and Techniques for High-performance ASIC Design[M]. Netherland, Kluwer Academic Publishers, 2002: 157-158. doi: 10.1007/b105287.
- [2] FRITZ Mayer-Lindenberg. Design and application of a scalable embedded systems' architecture with an FPGA based operating infrastructure[C]. 9th Euromacro Conference on Digital System Design, Croatia, 2006: 189-196. doi: 10.1109/DSD.2006.39.
- [3] BROWN S D, FRANCIS R, ROSE J, *et al.* Field Programmable Gate Arrays[M]. Netherland, Kluwer Academic Publishers, 1992: 127-133. doi:10.1007/978-1-4615-3572-0.
- [4] BETZ V, ROSE J, and MARQUARDT A. Architecture and CAD for Deep-Submicron FPGAs[M]. Netherlands, Kluwer Academic Publishers, 1999: 15-20. doi:10.1007/978-1-4615-5145-4.
- [5] HUTTON M, SCHLEICHER J, LEWIS D, *et al.* Improving FPGA performance and area using an adaptive logic module [C]. IEEE International Conference on Field Programmable Logic and Applications (FPL), Belgium, 2004: 135-144. doi:10.1007/978-3-540-30117-2_16.
- [6] AHMED E and ROSE J. The effect of LUT and cluster size on deep-submicron FPGA performance and density[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2004, 12(3): 288-298. doi: 10.1109/FPGA.2000.38.
- [7] JIANG Z, LIN Y, YANG L, *et al.* Exploring architecture parameters for dual-output LUT based FPGAs[C]. IEEE International Conference on Field Programmable Logic and Applications (FPL), Munich, 2014: 436-441. doi: 10.1109/FPL.2014.6927470.
- [8] PARANDEH-AFSHAR H, BENBIHI H, NOVO D, *et al.* Rethinking FPGAs: elude the flexibility excess of LUTs with and-inverter cones[C]. Proceedings of the ACM/SIGDA International Symposium on Field Programmable Gate Arrays, Monterey, 2012: 119-128. doi:10.1145/2145694.2145715.
- [9] PARANDEH-AFSHAR H, ZGHEIB G, NOVO D, *et al.* Shadow and-inverter cones[C]. IEEE International Conference on Field Programmable Logic and Applications (FPL), Porto, 2013: 1-4. doi: 10.1109/FPL.2013.6645566.
- [10] BRAYTON R and MISHCHENKO A. ABC: An academic industrial-strength verification tool[C]. Computer Aided Verification, Edinburgh, 2010: 24-40. doi: 10.1007/978-3-642-14295-6_5.
- [11] MISHCHENKO A, CHATTERJEE S, and BRAYTON R. DAG-aware AIG rewriting: A fresh look at combinational logic synthesis[C]. Proceedings of the 43rd Design Automation Conference, San Francisco, 2006: 532-536. doi: 10.1145/1146909.1147048.
- [12] ZGHEIB G, YANG L, HUANG Z, *et al.* Revisiting and-inverter cones[C]. Proceedings of the 2014 ACM/SIGDA international symposium on Field-Programmable Gate Arrays. ACM, Monterey, 2014: 45-54. doi: 10.1145/2554688.2554791.
- [13] LUU J, GOEDERS J, WAINBERG M, *et al.* VTR 7.0: next generation architecture and CAD system for FPGAs[J]. *ACM Transactions on Reconfigurable Technology and Systems (TRETS)*, 2014, 7(2): 6:1-6:30. doi: 10.1145/2617593.
- [14] 江政泓, 林郁, 黄志洪, 等. 面向 AIC 结构的 FPGA 映射工具[J]. 电子与信息学报, 2015, 37(7): 1769-1773. doi: 10.11999/JEIT141403.
- JIANG Z, LIN Y, HUANG Z, *et al.* Mapper for AIC-based FPGAs[J]. *Journal of Electronics & Information Technology*, 2015, 37(7): 1769-1773. doi: 10.11999/JEIT141403.
- [15] 埃伯哈德, 蔡德勒等, 编. 李文林, 等译. 《数学指南—实用数学手册[M]. 北京: 科学出版社, 2012: 875.
- [16] Altera Corporation. Stratix IV Device Handbook, Vols.1 and 2. [OL]. https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-iv/stratix4_handbook.pdf, 2012.
- [17] YANG S. Logic synthesis and optimization benchmarks, User Guide, version 3.0[OL]. <http://ddd.fit.cvut.cz/prj/Benchmarks/LGSynth91.pdf>, 1991.
- [18] MURRAY K E, WHITTY S, LIU S, *et al.* Titan: Enabling large and complex benchmarks in academic CAD[C]. Proceedings of the 23rd International Conference on Field-Programmable Logic and Applications, Porto, Portugal, 2013: 1-8. doi:10.1109/FPL.2013.6645503.
- [19] LEWIS D, AHMED E, BAECKLER G, *et al.* The stratix II logic and routing architecture[C]. Proceedings of the 2005 ACM/SIGDA 13th ACM International Symposium on Field-Programmable Gate Arrays, Monterey, 2005: 14-20. doi: 10.1145/1046192.1046195.
- 黄志洪: 男, 1984年生, 博士生, 助理研究员, 研究方向为可编程逻辑结构设计、嵌入式存储器通道结构。
- 李威: 女, 1983年生, 助理研究员, 研究方向为可编程芯片结构设计。
- 杨立群: 女, 1989年生, 博士生, 研究方向为FPGA架构开发、FPGA CAD工具开发。
- 江政泓: 男, 1990年生, 博士生, 研究方向为FPGA架构开发、FPGA的映射算法。
- 魏星: 男, 1991年生, 博士生, 研究方向为FPGA时钟网络优化设计、DLL设计研究。
- 林郁: 男, 1982年生, 助理研究员, 研究方向为FPGA的CAD辅助设计、FPGA高层综合。
- 杨海钢: 男, 1960年生, 研究员, 研究方向为数模混合信号集成电路设计、超大规模集成电路设计等。