

面向 DVB-S2 标准 LDPC 码的高效编码结构

兰亚柱^{①②} 杨海钢^① 林郁^①

^①(中国科学院电子学研究所可编程芯片与系统研究室 北京 100190)

^②(中国科学院大学 北京 100049)

摘要: 面向 DVB-S2 标准 LDPC 码, 该文旨在实现一种基于 FPGA 的高效编码结构, 提出一种快速流水线并向递归编码算法, 可以显著提高编码数据信息吞吐率。同时, 通过并向移位运算和并向异或运算的处理结构计算编码中间变量及校验位信息, 在提高编码并行度的同时可有效减少存储资源的消耗。此外, 针对动态自适应编码的情况优化了 LDPC 码编码存储结构, 有效复用了数据存储单元和 RAM 地址发生器, 进一步提高 FPGA 的硬件逻辑资源利用率。针对 DVB-S2 标准 LDPC 码, 基于 Stratix IV 系列 FPGA 的验证结果表明, 所提编码结构在系统时钟为 126.17 MHz 时, 编码数据信息吞吐率达 20 Gbps 以上。

关键词: LDPC 码; 编码结构; DVB-S2 标准; FPGA

中图分类号: TN911.22

文献标识码: A

文章编号: 1009-5896(2016)07-1781-07

DOI: 10.11999/JEIT151198

Efficient Encoding Architecture for LDPC Code Based on DVB-S2 Standard

LAN Yazhu^{①②} YANG Haigang^① LIN Yu^①

^①(System of Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: For DVB-S2 standard LDPC code, to achieve an efficient encoding architecture based on FPGA, a fast pipeline parallel and recursive encoding algorithm is proposed which can significantly improve encoding speed and improve the encoding data rate of information throughput. At the same time, the parallel shift operation and parallel XOR processing structure is introduced to calculate code intermediate variable. It can effectively improve the encoding parallel degree and reduce the occupancy volume of storage resources. In addition, according to dynamic adaptive encoding, the storage structure and effective reuse of data storage unit and the RAM address generator are optimized. In this case, the utilization of FPGA resources is further improved. The experiment based on Stratix IV series FPGA for DVB-S2 standard LDPC code, shows that the proposed method can achieve system clock frequency of 126.17 MHz and encoding data rate of information throughput of more than 20 Gbps.

Key words: LDPC code; Encoding architecture; DVB-S2 standard; FPGA

1 引言

2004 年提出的第 2 代卫星数字视频广播通信标准(DVB-S2)革新性地采用低密度奇偶校验(Low Density Parity Check, LDPC)码作为前向纠错编码解决方案^[1]。20 世纪 60 年代初, GALLAGER^[2]首次提出 LDPC 码。此后, 除 Tanner 图论外, LDPC 码很少有实质性研究成果。在 90 年中后期, 在 Turbo 码广泛应用的背景下, 文献[3,4]通过创新性研究, 促使 LDPC 码成为信道编码领域的研究热点。

针对深空通信的特点, DVB-S2 标准对 LDPC 码有完善的规范, 包括理论编码算法、两种码长及多种码率^[5,6]。深空通信中, LDPC 码编码需要长期保证正常工作。此情况下, 设计实现满足深空通信中不同编码环境的高效编码结构有很强的现实意义^[7-9]。

国内, 文献[10]提出基于 DVB-S2 的高速多码率 LDPC 编码的 FPGA 设计与实现, 采用两路并行的编码结构, 可使编码数据信息吞吐率达到 328 Mbps。文献[11]提出基于 FPGA 的 DVB-S2 通用 LDPC 编码设计与实现, 使 LDPC 编码能够针对多码长多码率实现有效编码。文献[12]针对 DVB-S2 标准 LDPC 码编码, 提出一种基于 FPGA 的通用

收稿日期: 2015-10-29; 改回日期: 2016-03-15; 网络出版: 2016-04-14

*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

基金项目: 国家自然科学基金(61404140, 61271149, 61106033)

Foundation Items: The National Natural Science Foundation of China (61404140, 61271149, 61106033)

LDPC 码编码器设计, 编码数据信息吞吐率可达 63.371 Mbps。

国外, 文献[13]基于 DVB-S2 标准 LDPC-IRA 码的特点, 实现了 LDPC 码并行编码并保证编码数据信息吞吐率最小可达 5.93 Gbps。文献[14]采用 360° 并行编码结构, 取得了在码长 64800 码率 1/2 的情况下, 接近 10 Gbps 的编码数据信息吞吐率。国外在 DVB-S2 标准 LDPC 码编码研究方面, 在数据信息吞吐率上具有明显的领先优势^[15]。

为满足深空通信需求, 针对 DVB-S2 标准

$$\mathbf{H}_{(n-k)*n} = \left[\mathbf{A}_{(n-k)*k} \mid \mathbf{B}_{(n-k)*(n-k)} \right] = \begin{bmatrix} a_{00} & a_{01} & \cdots & a_{0,k-1} & 1 & 0 & 0 & \cdots & 0 & 0 \\ a_{10} & a_{11} & \cdots & a_{1,k-1} & 1 & 1 & 0 & \cdots & 0 & 0 \\ \vdots & \vdots & \ddots & \vdots & 0 & 1 & 1 & \cdots & \vdots & \vdots \\ a_{n-k-3,0} & a_{n-k-3,1} & \cdots & a_{n-k-3,k-1} & \vdots & \vdots & \vdots & \ddots & 0 & 0 \\ a_{n-k-2,0} & a_{n-k-2,1} & \cdots & a_{n-k-2,k-1} & 0 & 0 & \cdots & 1 & 1 & 0 \\ a_{n-k-1,0} & a_{n-k-1,1} & \cdots & a_{n-k-1,k-1} & 0 & 0 & \cdots & 0 & 1 & 1 \end{bmatrix} \quad (1)$$

其中, \mathbf{A} 是稀疏矩阵, \mathbf{B} 是下三角阶梯矩阵。按照校验矩阵 \mathbf{H} 的特点, IRA-LDPC 码的编码码字是一组系统码。该系统码字具有如式(2)结构特点。

$$\mathbf{c} = [\mathbf{i} \mid \mathbf{p}] \quad (2)$$

其中, 信息比特位 \mathbf{i} 对应 \mathbf{A} 矩阵, 校验比特位 \mathbf{p} 对应 \mathbf{B} 矩阵。

2.2 基本编码算法

LDPC 码校验矩阵是稀疏矩阵, 但其生成矩阵一般不会是稀疏矩阵。基本编码算法如下:

第1步 初始化校验位:

$$p_0 = p_1 = \cdots = p_{n-k-1} = 0 \quad (3)$$

第2步 计算信息位对奇偶校验位的贡献, 计算公式如式(4):

$$p_j = p_j \oplus i_m,$$

$$j = \left(x + q \left(m \bmod 360 \right) \right) \bmod \left(n_{\text{ldpc}} - k_{\text{ldpc}} \right) \quad (4)$$

其中, p_j 是第 j 个校验位, i_m 是第 m 个信息位, $(n_{\text{ldpc}} - k_{\text{ldpc}})$ 是奇偶校验位的个数。 x 表示奇偶校验位的地址。 q 是一个与码率相关的常数。

第3步 按式(5)计算, 获得最终的奇偶校验位:

$$p_j = p_j \oplus p_{j-1}, \quad j = 1, 2, \cdots, n_{\text{ldpc}} - k_{\text{ldpc}} - 1 \quad (5)$$

$$\left. \begin{aligned} [p_0, p_q, p_{2q}, \cdots, p_{359q}] &= [0, p_{q-1}, p_{2q-1}, \cdots, p_{359q-1}] \oplus [P_{0,0}, P_{1,q}, P_{2,2q}, \cdots, P_{358,358q}, P_{359,359q}] \\ [p_1, p_{q+1}, p_{2q+1}, \cdots, p_{359q+1}] &= [p_0, p_q, p_{2q}, \cdots, p_{359q}] \oplus [P_{0,1}, P_{1,q+1}, P_{2,2q+1}, \cdots, P_{358,358q+1}, P_{359,359q+1}] \\ [p_2, p_{q+2}, p_{2q+2}, \cdots, p_{359q+2}] &= [p_1, p_{q+1}, p_{2q+1}, \cdots, p_{359q+1}] \oplus [P_{0,2}, P_{1,q+2}, P_{2,2q+2}, \cdots, P_{358,358q+2}, P_{359,359q+2}] \\ &\vdots \\ [p_{q-1}, p_{2q-1}, p_{3q-1}, \cdots, p_{n-k-1}] &= [p_{q-2}, p_{2q-2}, p_{3q-2}, \cdots, p_{n-k-1}] \oplus [P_{0,q-1}, P_{1,2q-1}, P_{2,3q-1}, \cdots, P_{358,359q-1}, P_{359,360q-1}] \end{aligned} \right\} \quad (8)$$

LDPC 码结构, 本文提出快速流水线并向递归编码算法, 并设计满足多码长码率的高效编码结构。通过增加适量的复杂度, 消耗部分额外的硬件逻辑资源, 该高效编码结构使数据信息吞吐率明显提高, 可适应深空通信需求。

2 核心算法

2.1 DVB-S2 标准 LDPC 码结构

DVB-S2 标准 LDPC 码属于 IRA-LDPC 码, 其结构特点如式(1)所示。

第4步 将奇偶校验位与信息位组合, 便得到码长为 n_{ldpc} 的编码码字: $(i_0, i_1, \cdots, i_{k_{\text{ldpc}}-1}, p_0, p_1, \cdots, p_{n_{\text{ldpc}}-k_{\text{ldpc}}-1})$

2.3 快速流水线并向递归编码算法

结合便于硬件逻辑实现的流水线处理方法, 依据基本编码算法, 本文提出快速流水线并向递归编码算法, 具体步骤如下:

(1) 将编码后的码字 \mathbf{c} 分成输入的信息位信息 \mathbf{i} 和编码产生的校验位信息 \mathbf{p} 两部分, 如式(2)所示。

(2) 将信息位的数值有效存储为 \mathbf{c} 的矩阵形式。将编码中间信息存储为 \mathbf{P} 的矩阵形式。将两种矩阵在校验地址的基础上, 实现循环旋转移位, 保证并向有效的递归处理。

(3) 计算中间信息 \mathbf{P} 的值。

$$\mathbf{P}(:, x \bmod q) = \mathbf{P}(:, x \bmod q) \oplus \text{rot}_{x \bmod q}(\mathbf{i})$$

$$\mathbf{i} = [i_c, i_{c+1}, i_{c+2}, \cdots, i_{c+359}], \quad \mathbf{i} = \mathbf{c}(:, y)$$

(4) 为了通过异或运算得到 p 值的初始化值, 可以利用式(7)得出。

$$\left[0, \bigoplus_{i=0}^{q-1} P_i, \bigoplus_{i=0}^{2q-1} P_i, \bigoplus_{i=0}^{3q-1} P_i, \cdots, \bigoplus_{i=0}^{359q-1} P_i \right] = [0, p_{q-1}, p_{2q-1}, p_{3q-1}, \cdots, p_{359q-1}] \quad (7)$$

(5)基于 p 值的初始化值, 利用 P 和 p 之间的关系, 根据并行关系得到校验位。

(6)将求出的校验位与信息位相结合就可以得到系统形式的码字 c 为: $(i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{m_{ldpc}-k_{ldpc}-1})$

3 编码结构

基于快速流水线并向递归编码算法, 本文采用码长码率的动态自适应来优化编码结构, 以使其具有高效性、灵活性及普适性。基于动态自适应优化的编码结构如图 1, 主要包括校验位存储 RAM、地址表储存 ROM、校验位中间信息计算模块、校验位异或处理模块、输出模块和编码参数控制单元。

3.1 存储管理与设计

LDPC 码编码结构中, 存储管理主要分为校验地址信息存储分块、信息分块存储及中间信息分块存储。

校验地址信息存储分块以不同码长码率的校验节点地址为基准, 采用指针式分级 ROM 存储。不同码率对应的校验节点地址, 指针式分级存储通过动态加载模块。编译时, 针对不同设置参数进行不同综合适配, 生成针对用户设定的可执行文件。当用户设置两种或两种以上码率时, 指针式分级存储会保证编码会在不同码率之间动态自适应调整, 提高编码灵活性。

编码信息分块存储和编码中间信息存储主要在快速流水线并向递归编码算法流程中, 为了缩短编码周期, 需要将信息节点的信息分块存储和校验节点的编码中间信息分块存储按照图 1 所示的结构存储。为了通过数据信息的并向存储, 便于快速流水线并向递归编码算法式处理, 使两种节点数据信息具有同步处理及存储的特性, 以便提高编码效率。为了流水化式处理, 编码结构采用双端口 RAM 存储编码过程中的有效数据信息, 实现信息节点及校

验节点信息的周期性流水线并向存储。

在保证数据信息按照快速流水线并向递归编码算法并向存储后, 为保证编码动态自适应, 需要硬件逻辑可对不同码长的各类数据信息存储。此情况下, 本文采用分布式存储, 以 360 为基本单位的 RAM 存储方式, 通过整体 RAM 读写调度模块电路, 对所有 RAM 进行读写管理, 使系统时钟得到优化。

3.2 快速流水线并向递归电路

快速流水线并向递归编码进程中, 并向递归电路包括并向递归移位运算和并向递归异或运算。并向递归移位运算是针对校验地址信息的数值, 完成对信息分块和中间信息分块的旋转移位调整。并向递归移位运算主要完成快速流水线并向递归编码算法中步骤(2), 步骤(3)。并向异或运算针对中间信息分块的数据信息, 完成快速流水线并向递归编码算法中的步骤(4), 步骤(5)。其中, 由步骤(4)的核心算式(7)可知, 共涉及 360 组中间信息的异或处理。

为缩短时延, 本文用组合逻辑结构来实现式(7)。该结构以消耗部分硬件逻辑资源为代价, 有效提高快速流水线并向递归编码时序。面对快速流水线并向递归编码算法中的步骤(5), 并向异或运算采用可循环并向异或结构, 结构并向度为 360, 保证最小延时时, 完成对中间信息的异或运算。

3.3 动态配置电路

为保证灵活性, 本文采用码率码长的动态自适应进行编码结构的优化, 主要由动态配置电路来实现。当用户设置不同码长码率时, 通过动态配置电路对编码结构进行控制。动态配置电路需要按照指令对分级存储的地址信息进行读取, 而且保证编码结构间的协调关系。动态配置电路可以有效保证编码进程在不同码率之间动态地自适应调整, 提高编码灵活性。

4 验证与分析

4.1 编码结构的实现分析

本文编码结构的硬件逻辑实现, 基于 EP4 SGX230KF40C4 FPGA, 使用 Quartus II 13.0 逻辑综合、布局布线及时序分析, ModelSim 10.0b 仿真, 硬件资源占用如表 1 所示。

文献[11-14]只是单一码长码率的硬件逻辑实现, 本文则是可以动态适应多码长码率的编码结构。这得益于通过本文提出动态配置电路, 用户可以基于编码环境因子变化, 对编码结构码长码率进行适应性控制。

本文消耗寄存器和存储资源比文献[11,12]多。由于本文是并向递归编码, 文献[11,12]为串行编码。同样并向编码, 文献[13,14]与本文消耗相当。与文

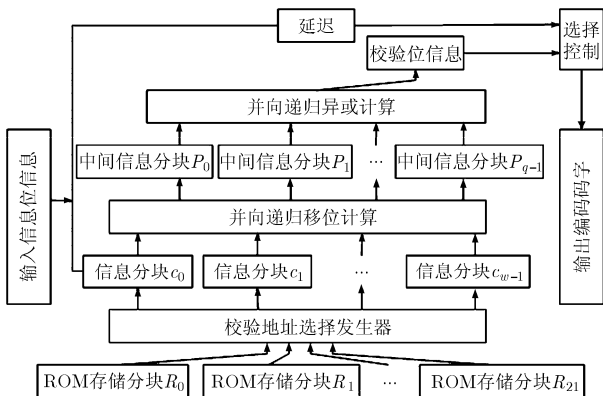


图 1 基于动态自适应优化的编码结构

表1 编码结构的硬件资源耗用(Cf: Combinational functions)

	国外		国内		
	文献[14]	文献[13]	文献[11]	文献[12]	本文
码长	16200	64800	16200	64800	64800/16200
码率	3/5	1/2	2/3	1/2	多码率
芯片	XC2VP30	XC5VLX155T	XC3S2000	EP3C55U484C8	EP4SGX230
Slices	4383	-	2777	-	-
Flip Flop	925	36801	2121	-	-
Register	-	32400	-	2315	458
BRAM(bit)	489600	72000	504000	1187320	1243075
LE registers	-	-	-	6355	458
Cf	-	-	-	5703	1505
Logic elements	-	-	-	-	1545
Dedicated logic	-	-	-	2315	-
4 input LUTs	-	-	4220	-	-

献[13,14]相比, 本文寄存器、存储资源消耗较多一些。主要由于: (1)为适应多码长码率编码, 本文需要对多种码长码率对应的校验地址信息存储; (2)为提高快速流水线并向递归编码算法实现的并行度, 本文采用最大备份编码策略, 消耗额外寄存器及存储资源, 来提高编码数据信息吞吐率。

编码通用性及灵活性, 并向编码情况, 本文比文献[13,14]具有明显优势。不仅可以动态自适应不同码长码率, 而且可通过动态配置电路, 对编码自适应范围进行调整。本文可以保证编码在通用性、灵活性与硬件逻辑资源消耗之间获得可控的动态平衡。

硬件存储资源 RAM 消耗, 本文较文献[13]所需 RAM 资源更少, 但与文献[14]相比则多一些。这是由于文献[14]对校验向量的计算不需要任何 RAM 来缓存中间结果, 而本文则要求对中间变量的结果作缓存处理, 但该处理方式使得编码结构中不再需要大量的移位寄存器。在 RAM 利用率角度, 本文比文献[13,14]更具优势。

4.2 编码结构的性能分析

LDPC 码编码结构的性能主要体现为编码数据信息吞吐率的大小。借助 TimeQuest 工具, 对本文编码结构进行评估。经分析, 编码结构数据吞吐率计算如式(9):

$$T = \frac{f \times f_h}{(R + Q) \times 2} \quad (9)$$

其中, T 为数据吞吐率, f 为帧长度, f_h 为系统时钟, R 为码率, Q 为重。

码长为64800时, 编码结构数据吞吐率如表2所

示。其中, 每种码率组合进行10次综合编译得出系统时钟平均值作为式(3)中的系统时钟。分析可知, (1)系统时钟随着码率变多而有所下降, 影响仅约为 10 MHz; (2)编码结构数据吞吐率最大为 22.71 Gbps, 最小为 19.97 Gbps; (3)随着码长增大, 编码结构吞吐率会有所降低。同理, 码长为 16200 时, 编码结构吞吐率最小为 19.97 Gbps, 最大为 22.71 Gbps。

以上是并行编码结构数目为1的情况。如需提高吞吐率, 可增加编码结构数目。虽然可通过硬件配置实现, 但是其受到硬件逻辑资源的限制。此情况下, 式(9)可修正为

$$T = N \times \frac{f \times f_h}{(R + Q) \times 2} \quad (10)$$

其中, N 为编码结构的数目。

为了公平性, 本文选用 Marco Gomes 和 InKi Lee 提出的高速 LDPC 码编码结构, 取码长 64800 码率 1/2 时的实现为对象, 进行对比得到表 3。

文献[10,12]吞吐率相对较低, 是由于文献[10,12]主要考虑编码通用性, 为增加对多码长码率的适应性设计, 采用简单的串行编码所致。文献[10]中的编码数据信息吞吐率相对文献[12]有较大提升的原因是其采用了本文式(5)中提到的并行两路编码的方式。由此可见, 本文编码结构对码长码率通用性适应的同时, 获得高吞吐率。

与文献[13,14]相比, 由于本文要求对中间变量的结果作缓存处理, 使得在整个编码结构中不再需要大量的移位寄存器, 从而所需逻辑资源更少且系

表2 编码结构的数据吞吐率 T (Gbps)

单一码率(时钟126.17 MHz)			2种码率(时钟123.65 MHz)			3种码率(时钟120.62 MHz)			4种码率(时钟120.5 MHz)		
R	Q	T	R	Q	T	R	Q	T	R	Q	T
1/4	4	22.71	1/4	4	22.26	1/4	4	21.71	1/4	4	21.69
1/3	5	22.71	1/3	5	22.26	1/3	5	21.71	1/3	5	21.69
2/5	6	22.71	2/5	6	22.26	2/5	6	21.71	2/5	6	21.69
1/2	7	22.71	1/2	7	22.26	1/2	7	21.71	1/2	7	21.69
3/5	11	22.71	3/5	11	22.26	3/5	11	21.71	3/5	11	21.69
2/3	10	22.71	2/5	10	22.26	2/5	10	21.71	2/5	10	21.69
3/4	14	22.71	3/4	14	22.26	3/4	14	21.71	3/4	14	21.69
4/5	18	22.71	4/5	18	22.26	4/5	18	21.71	4/5	18	21.69
5/6	22	22.71	5/6	22	22.26	5/6	22	21.71	-	-	-
8/9	27	22.71	8/9	27	22.26	-	-	-	-	-	-
9/10	30	22.71	-	-	-	-	-	-	-	-	-
5种码率(时钟118.13MHz)			7种码率(时钟116.65 MHz)			9种码率(时钟111.19 MHz)			11种码率(时钟110.95 MHz)		
R	Q	T	R	Q	T	R	Q	T	R	Q	T
1/4	4	21.26	1/4	4	21.00	1/4	4	20.01	1/4	4	19.97
1/3	5	21.26	1/3	5	21.00	1/3	5	20.01	1/3	5	19.97
2/5	6	21.26	2/5	6	21.00	2/5	6	20.01	2/5	6	19.97
1/2	7	21.26	1/2	7	21.00	1/2	7	20.01	1/2	7	19.97
3/5	11	21.26	3/5	11	21.00	3/5	11	20.01	3/5	11	19.97
2/3	10	21.26	2/3	10	21.00	2/3	10	20.01	2/3	10	19.97
-	-	-	3/4	14	21.00	3/4	14	20.01	3/4	14	19.97
-	-	-	-	-	-	4/5	18	20.01	4/5	18	19.97
-	-	-	-	-	-	5/6	22	20.01	5/6	22	19.97
-	-	-	-	-	-	-	-	-	8/9	27	19.97
-	-	-	-	-	-	-	-	-	9/10	30	19.97

注：灰度区表示无数据。

表3 本文与相关文献编码吞吐率性能比较(Gbps)(码长为64800)

	文献[13]	文献[12]	文献[14]	文献[10]	本文
码率	1/2	1/2	多种	1/2	多种
芯片	XC5VLX155T	EP3C55U	XC2VP30	XC4VLX25	EP4SGX230
系统时钟	100 MHz	-	131.7 MHz	164 MHz	126.17 MHz
1/4	-	-	10.53	-	22.71
1/3	-	-	8.89	-	22.71
2/5	-	-	7.90	-	22.71
1/2	10	0.063371	7.90	0.328	22.71
3/5	-	-	5.93	-	22.71
2/3	-	-	7.90	-	22.71
3/4	-	-	7.29	-	22.71
4/5	-	-	6.97	-	22.71
5/6	-	-	6.77	-	22.71
8/9	-	-	8.21	-	22.71
9/10	-	-	8.17	-	22.71

统时钟更高,得到更低功耗和更高吞吐率。因此,本文比文献[13,14]更具优势。

由于系统时钟直接决定数据信息吞吐率的大小,但系统时钟会受硬件平台影响。鉴于此,本文将系统时钟归一化处理,比较归一化编码数据信息吞吐率。针对本文和文献[14]编码结构,其归一化数据信息吞吐率计算公式如式(11),式(12)所示,并得到表4。

$$T/f_h = \frac{f}{(w+q) \times 2} \quad (11)$$

$$T/f_{op} = \frac{f}{(W+q) \times 2} \quad (12)$$

综上所述,本文提出基于快速流水线并向递归编码算法的编码结构在以少量硬件逻辑资源消耗为代价的情况下,具有并向高效编码、动态自适应能力强等特点。

5 结束语

本文提出的编码结构不仅可以适应多码长、多

表4 本文与文献[14]编码性能比较

文献[14](码长为 64800)				本文(码长为 64800)			
R	q	W	$T(\text{Gbps})$	R	w	q	$T(\text{Gbps})$
1/4	135	270	10.53	1/4	45	135	22.71
1/3	120	360	8.89	1/3	60	120	22.71
2/5	108	432	7.90	2/5	72	108	22.71
1/2	90	450	7.90	1/2	90	90	22.71
3/5	72	648	5.93	3/5	108	72	22.71
2/3	60	480	7.90	2/3	120	60	22.71
3/4	45	540	7.29	3/4	135	45	22.71
4/5	36	576	6.97	4/5	144	36	22.71
5/6	30	600	6.97	5/6	150	30	22.71
8/9	20	500	8.21	8/9	160	20	22.71
9/10	18	504	8.17	9/10	162	18	22.71
文献[14] (码长为 16200)				本文(码长为 16200)			
R	q	W	$T(\text{Gbps})$	R	w	q	$T(\text{Gbps})$
1/5	36	63	10.78	1/5	9	36	22.71
1/3	30	90	8.89	1/3	15	30	22.71
2/5	27	108	7.90	2/5	18	27	22.71
4/9	25	85	9.70	4/9	20	25	22.71
3/5	18	162	5.93	3/5	27	18	22.71
2/3	15	120	7.90	2/3	20	15	22.71
11/15	12	108	8.89	11/15	33	12	22.71
7/9	10	105	9.28	7/9	35	10	22.71
37/45	8	121	8.27	37/45	37	8	22.71
8/9	5	125	8.21	8/9	40	5	22.71

码率的高效编码,而且便于硬件逻辑实现,进而有效满足了深空通信对编码灵活性、通用性及稳定性的需求。验证数据表明,(1)与现有实现方法相比,该编码结构便于通过硬件逻辑完成 LDPC 码的快速并行编码,达到 20 Gbps 量级的数据信息吞吐量。(2)通过动态自适应优化设计,该编码结构针对不同码长码率具备很强的通用性及适应能力。

参考文献

- [1] DVB Organization. ETSI EN 302 307 V1. 2. 1. Digital video broadcasting (DVB); second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications (DVB-S2)[S]. 2009.
- [2] GALLAGER R G. Low density parity check codes[J]. *IRE Transactions on Information Theory*, 1962, 8(1): 21-28.
- [3] MACKAY D J C and NEAL R M. Near Shannon limit performance of low-density parity check codes[J]. *Electronics Letters*, 1996, 32(18): 1645-1646.
- [4] LEE Youngjoo, JAEHWAN J, and IN-CHEOL P. Energy-scalable 4KB LDPC decoding architecture for NAND-Flash-Based storage systems[J]. *IEICE Transactions on Electronics*, 2016, 99(2): 293-301.
- [5] WANG J, CHE S, LI Y, et al. Optimal design of joint network LDPC codes over orthogonal multiple-access relay channels [J]. *International Journal of Grid and Utility Computing*, 2016, 7(1): 68-74.
- [6] 郭锐, 刘春于, 张华, 等. 分簇无线传感器网络中根校验全分集LDPC码设计与能效分析[J]. *电子与信息学报*, 2015, 37(7): 1580-1585. doi: 10.11999/JEIT141294.
GUO Rui, LIU Chunyu, ZHANG Hua, et al. Full diversity LDPC codes design and energy efficiency analysis for clustering wireless sensor networks[J]. *Journal of Electronics Information Technology*, 2015, 37(7): 1580-1585. doi: 10.11999/JEIT141294.
- [7] ZHAO W H and LONG J P. Implementing the NASA deep space LDPC codes for defense applications[C]. 2013 IEEE, Military Communications Conference. San Diego, CA, USA, IEEE, 2013: 803-808.
- [8] 张小平, 赵艳杰. DVB-S2 技术的创新性分析[J]. *有线电视技术*, 2014, (2): 17-20.
ZHANG Xiaoping and ZHAO Yanjie. Innovative analysis of DVB-S2 technology[J]. *Cable TV Technology*, 2014, (2): 17-20.
- [9] 陈豪威, 王秀敏. 基于DVB-S2标准的LDPC码编译码器设计研究[J]. *电视技术*, 2012, 36(3): 1-3.
CHEN Haowei and WANG Xiumin. Study on design of LDPC encoder and decoder for DVB-S2[J]. *Video Engineering*, 2012, 36(3): 1-3.

- [10] 范光荣, 王华. 基于 DVB-S2 的高速多码率 LDPC 编码器的 FPGA 设计与实现[J]. 北京理工大学学报, 2008, 28(9): 813-816.
FAN Guangrong and WANG Hua. FPGA design and implementation of high speed multi-rate LDPC encoder based on DVB-S2[J]. *Transactions of Beijing Institute of Technology*, 2008, 28(9): 813-816.
- [11] 华力, 雍玲, 雷菁. 基于 FPGA 的 DVB-S2 通用 LDPC 编码器设计与实现[J]. 通信技术, 2008, 41(1): 12-14.
HUA Li, YONG Ling, and LEI Qing. Design and implementation of universal LDPC code encoder in the DVB-S2 based on FPGA[J]. *Communications Technology*, 2008, 41(1): 12-14.
- [12] 闫国强, 王勇. 基于 DVB-S2 的通用 LDPC 编码器的 FPGA 设计[J]. 电视技术, 2013, 37(1): 1-3.
YAN Guoqiang and WANG Yong. Design and implementation of universal LDPC code encoder in the DVB-S2 based on FPGA[J]. *Video Engineering*, 2013, 37(1): 1-3.
- [13] LEE I K, KIM M H, OH D G, *et al.* High-speed LDPC encoder architecture for digital video broadcasting systems [C]. 2013 IEEE, International Conference on ICT Convergence (ICTC). Jeju Island, South Korea, IEEE, 2013: 606-607.
- [14] GOMES M, FALCAO G, SENGO A, *et al.* High throughput encoder architecture for DVB-S2 LDPC-IRA codes[C]. ICM 2007 IEEE International Conference on Microelectronics. Cairo, Egypt, IEEE, 2007: 271-274.
- [15] 兰亚柱, 杨海钢, 林郁. 动态自适应低密度奇偶校验码译码器的 FPGA 实现[J]. 电子与信息学报, 2015, 37(8): 1937-1943. doi: 10.11999/JEIT141609.
LAN Yazhu, YANG Haigang, and LIN Yu. Design of dynamic adaptive LDPC decoder based on FPGA[J]. *Journal of Electronics & Information Technology*, 2015, 37(8): 1937-1943. doi: 10.11999/JEIT141609.
- 兰亚柱: 男, 1983 年生, 博士, 工程师, 主要研究方向为大规模集成电路 IP 化技术、信道编码技术、计算机体系结构、高性能路由器及可重构技术.
- 杨海钢: 男, 1960 年生, 博士, 研究员, 博士生导师, 主要研究方向为高速可编程逻辑芯片设计技术、数模混合信号 SOC 设计技术.
- 林郁: 男, 1983 年生, 博士, 助理研究员, 主要从事 FPGA 结构、FPGA CAD、高层综合和 FPGA 高性能计算等方面的研究.