

一种用于加速 FPGA 设计空间探索的电路特性驱动半监督建模方法

杨立群^{①②} 李威^① 黄志洪^① 孙嘉斌^① 杨海钢^{*①}

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院大学 北京 100049)

摘要: 该文提出一种电路特性驱动半监督建模方法来探索 FPGA 架构设计空间。通过加入电路特性作为输入来构建一个通用的 FPGA 性能模型,该方法能够精确预测指定电路在特定 FPGA 架构上实现的性能。实验结果显示该方法在预测电路在 FPGA 上实现的面积时,平均相对误差达到 6.25%;预测延时时,平均相对误差可达 4.23%,具有与半监督模型树(Semi-supervised Model Tree, SMT)方法可比的预测精度。同时,该文方法加速了 FPGA 性能建模过程,与 SMT 方法比较,在 6 核 Intel 服务器平台 Intel Xeon E7-4807 上,探索具有百万架构的 FPGA 设计空间时,该文方法可将时间成本由 500 h 降低为 250 h。

关键词: FPGA 设计空间;半监督建模方法;电路特性

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2015)10-2521-08

DOI: 10.11999/JEIT150162

Circuit Characteristics-driven Semi-supervised Modelling Approach for Accelerating FPGA Design Space Exploration

Yang Li-qun^{①②} Li Wei^① Huang Zhi-hong^① Sun Jia-bin^① Yang Hai-gang^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A circuit characteristics-driven semi-supervised modelling approach is proposed for FPGA architecture design space exploration. By including circuit characteristics as input, the proposed approach can estimate the performance of specific circuit on certain architecture accurately. Experimental results illustrate that the approach estimates the area with Mean Relative Error (MRE) up to 6.25%, and delay up to 4.23%, which is comparable to the Semi-supervised Model Tree (SMT) approach. Meanwhile, the proposed approach speedups the modelling process. Compared to the SMT approach, the proposed approach reduces the time cost from 500 h to 250 h when exploring a design space with millions of architectures inside on Intel Xeon E7-4807 platform.

Key words: FPGA design space; Semi-supervised modelling approach; Circuit characteristics

1 引言

现场可编程门阵列(Field Programmable Gate Array, FPGA)的架构对在其上实现的电路性能有显著影响。架构指 FPGA 内部可编程逻辑单元的结构以及逻辑单元之间的互连结构,其可由一系列的架构参数进行表征。随着工艺尺寸的缩减以及应用电路的复杂化,FPGA 架构设计过程中需要考虑的架构参数日益增多。所有架构参数的组合构成了 FPGA 的架构设计空间,显然,从呈指数型扩增的 FPGA 架构设计空间中快速选择一个满足设计指标

的优化架构成为 FPGA 设计初期需要解决的重要问题。

一种传统的架构选择方法是借助特定 CAD 流程工具,例如 VTR^[1],来探索 FPGA 架构设计空间^[2-4]。设计空间中的所有待选架构通过 VTR 获得相应的性能,如面积、延时等。通过对所有架构的性能进行比较,获得最佳性能(最小面积或最小延时)的架构被选作最优架构。由于 VTR 包含综合、映射、装箱、布局和布线一系列步骤^[5],并且设计空间随着架构参数增长,因此将设计空间中的每一个架构通过 VTR 来获得相应的性能非常耗时且不符合工程应用实际。另一种解析建模方法通过构建 FPGA 性能解析模型来对 FPGA 架构设计空间进行探索^[6-9]。解析建模方法手工推导 FPGA 架构性能关于架构参数的数学模型^[10-12]。基于该性能模型并

收稿日期:2015-01-28;改回日期:2015-04-22;网络出版:2015-06-25

*通信作者:杨海钢 yanghg@mail.ie.ac.cn

基金项目:国家自然科学基金(61271149)

Foundation Item: The National Natural Science Foundation of China (61271149)

借助于几何规划,就可从设计空间中获得满足具体设计指标的优化架构。这种方法省时,而且推导出的性能模型是关于架构参数的显示模型,更加直观。然而,在模型推导过程中进行的一些简化和假设使得该性能模型不是十分精确和通用。此外,这种方法需要推导性能模型的设计人员对 FPGA 架构有非常全面的了解。

半监督模型树(Semi-supervised Model Tree, SMT)方法被提出以解决上述实验方法和解析建模方法中存在的问题^[13]。首先,从设计空间中选出部分架构通过 VTR 获得相应性能。然后采用半监督模型树算法学习表征这些架构的架构参数与相应性能之间的关系,而后自动建立关于架构参数的显示性能模型。获得的性能模型可预测设计空间中其他架构的性能。最后,结合非线性规划可从整体架构设计空间中获取优化架构。因为这种方法不需要将设计空间中的每一个架构通过 VTR 获得性能,所以 SMT 方法比实验方法更省时。同时,SMT 方法是通过基于 VTR 得到实际性能的 FPGA 架构进行学习来构建性能模型,因此它比解析建模方法更精确。然而 SMT 方法没有考虑实验电路信息。对于待学习的每一个架构,需要通过 VTR 将实验电路集中的所有电路映射到这个架构上,对所有电路的性能结果取几何平均后作为这个架构的性能。这就导致了较长的建模时间。例如,要获得 17 个 VTR 实验电路在 68 个架构上的性能需要多达 500 h^[13]。此外,SMT 方法只使用了 VTR 电路集,如果实验电路集中加入新的电路时,就需要再运行 VTR 获得新增的电路的性能来更新架构性能。

针对上述情况,本文提出一种基于电路特性的半监督建模方法。该方法能精确预测特定实验电路在指定架构上的实现性能,并加速 FPGA 性能建模过程,从而进一步加速 FPGA 设计空间探索过程。实验结果显示本文方法在预测 FPGA 实现面积和延时时预测精度分别高达 6.25%和 4.23%,与 SMT 方法的预测精度可比拟。同时,相较于 SMT 方法,建

模时间可至少减半。此外,本文提出方法构建了一个通用的 FPGA 性能模型,当预测新的电路在新的 FPGA 架构上的实现性能时不需要再额外运行 VTR。

2 FPGA 性能建模框架

本文方法采用类似 SMT^[7]方法机制来构建 FPGA 性能模型。然而,本文加入了电路相关特性作为先验知识使得构建的 FPGA 性能模型更加通用。

图 1 展示了本文方法的建模过程。首先,从 FPGA 架构设计空间中选择一些架构 A_1 。然后,借助于 VTR,将实验电路集中的部分电路 S_1 分别映射到 A_1 上。装箱、布局和布线之后,获得 S_1 中每个电路在 A_1 中每个架构上的实现性能(面积和延时)。以获得性能的架构和电路为基础,应用半监督模型树算法,开发未获得性能的架构 A_2 和电路特性 S_2 ,构建一个关于架构参数和电路特性参数的 FPGA 性能模型。

表 1 简要呈现了上述建模过程中采用的改进的机器学习算法一半监督模型树算法^[13]。该算法使用 M5P^[14]算法先对电路在特定架构上的实现性能进行学习构建初始性能模型,然后以半监督的方式对没有性能结果的架构和电路进行开发、学习,精炼模型。最终获得的性能模型可以预测新的电路在设计空间中其他架构上实现的性能。

3 FPGA 性能模型参数选择

本文旨在通过构建 FPGA 实现面积和延时关于 FPGA 架构参数以及电路参数的模型进而探索 FPGA 架构设计空间。即采用 FPGA 架构参数和电路参数对 FPGA 实现面积和延时进行表征,以得到解析模型。基于该模型预测 FPGA 架构的性能,并研究模型参数对性能的影响,探索 FPGA 架构设计空间。本节主要介绍性能建模过程中采用的架构参数与电路特性参数。

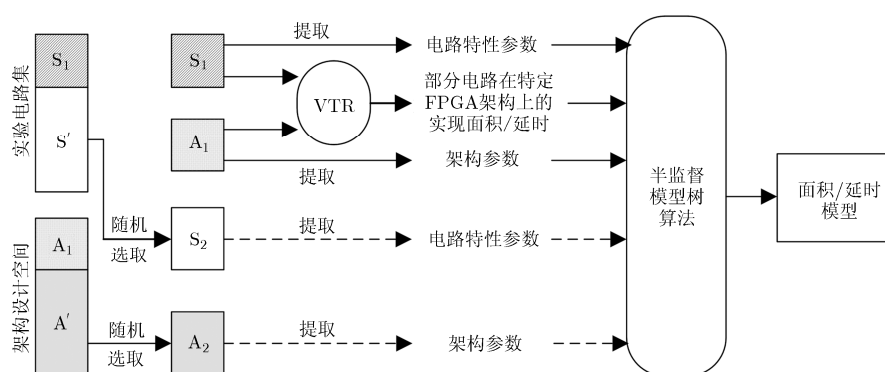


图 1 本文方法的建模框架

表 1 半监督模型树算法伪代码

准备数据
 T : 训练集-有性能结果的模型参数组合
 V : 验证集
 U : 未标记集-没有性能结果的模型参数组合
 L_1, L_2 : 模型树叶端最小样本数目

开始
 $T_1 \leftarrow T; T_2 \leftarrow T$
 用 T 和 L 训练模型树:
 $m_1 \leftarrow \text{M5P}(T_1, L_1); m_2 \leftarrow \text{M5P}(T_2, L_2)$
重复
 m_1 / m_2 为彼此挑选最佳的未标记样本, 对其进行标记后,
 加入到 T_2 / T_1 中
 更新 m_1 / m_2
 直到 m_1 / m_2 过于相似
 搜索迭代过程中能最精确预测 V 的 m_1 和 m_2
 输出 $m^*(x) \leftarrow \frac{1}{2}(m_1(x) + m_2(x))$

结束

3.1 架构参数

目前主流的商用 FPGA 芯片都采用基于查找表的岛式结构^[5], 本文以此为研究对象。如图 2 所示, 基于查找表的 FPGA 主要架构参数包括查找表的输入数目(K), 逻辑块中的查找表数目(N), 逻辑块的输入数目(I), 逻辑块的扇入系数($F_{C_{in}}$)和扇出系数($F_{C_{out}}$)。上述架构参数反映了 FPGA 的逻辑和互连结构, 影响电路在 FPGA 上实现的面积和延时。 K 值越大, 在一个 K 输入查找表中可以实现的逻辑功能越多, 关键路径上的查找表数目减小, 电路的延时越小, 而同时 K 值的增大使得查找表的面积增大。 N 值的变化对面积与延时的影响效果与 K 值类似。 I, N 与 $F_{C_{in}}, F_{C_{out}}$ 联合作用影响逻辑块与其周围互连通道之间的通信能力。 $F_{C_{in}}$ 与 $F_{C_{out}}$ 变大, 逻辑块与通道的通信能力增强, 与此同时却带来 FPGA 互连面积的增加。因此, 要设计一个满足设计指标的

FPGA 架构, 需要在上述架构参数之间进行折中选择。

3.2 电路特性参数

对于任一应用电路, 可用 5 个基本电路参数来对其进行描述。这 5 个电路参数分别为实现电路需要的 2 输入查找表的数目(n_2), 电路网表中触发器之间的最大门数(d_2), 电路的输入输出数目(n_{io}), 电路中触发器的数目(n_{DFF})以及线网数目(n_{net})^[9]。其中, n_2, n_{io}, n_{DFF} 和 n_{net} 反映了应用电路的规模, 而 d_2, n_{DFF} 和 n_{net} 则表征了应用电路的性能。本文基于 VTR 和 MCNC 两个实验电路集中的 25 个电路来探索上述电路参数与电路实现的面积和延时的关系。表 2 列出各个电路参数与电路面积和延时之间的相关系数。从表 2 可以看出 n_2 与面积之间相关系数最大, d_2 与延时最相关, 而 n_{io} 对面积和延时的影响最小。此外, n_{net} 与 n_{DFF} 也与面积密切相关, 其与 n_2 之间的相关系数分别为 0.9989, 0.7893, 这说明 n_{net}, n_{DFF} 与 n_2 不是相互独立的。因此, 在本文提出的建模方法中, 使用两个电路特性参数 n_2 和 d_2 来表征一个电路。

n_2 与 d_2 反映了电路的规模和时序信息。从这两个特性参数的定义上理解, n_2 的增大会使得电路面积增大, 电路延时会随 d_2 的增加而增加。图 3 显示了 VTR 各电路中面积、延时随 n_2, d_2 的变化趋势。

表 2 各电路参数与面积和延时之间的相关系数

电路参数	相关系数	
	面积	延时
n_2	0.9717	0.5417
d_2	0.4400	0.9830
n_{io}	0.1066	0.0379
n_{DFF}	0.8017	0.2327
n_{net}	0.9647	0.5513

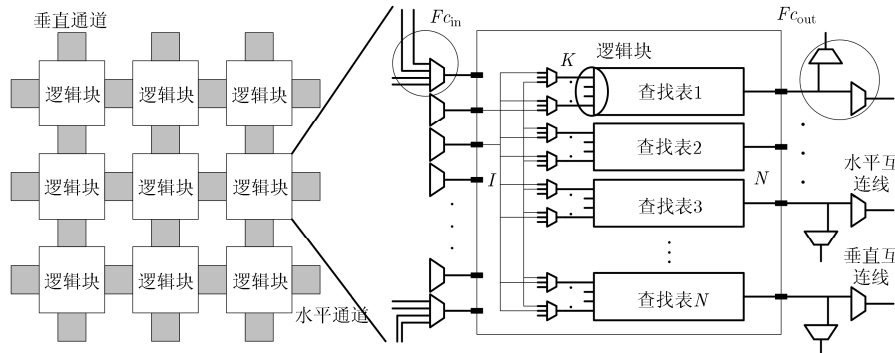
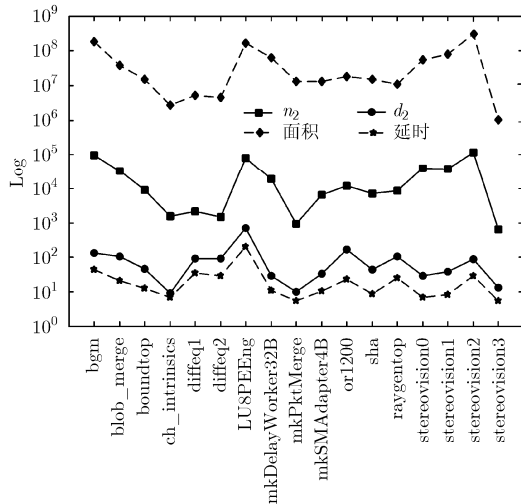


图 2 FPGA 架构示意图

图 3 VTR 电路中 n_2 , d_2 与面积、延时的变化关系

本文中 FPGA 性能模型涉及的参数,包括架构和电路特性参数总结在表 3 中。

表 3 FPGA 性能模型参数

架构参数:	
K	查找表的输入数目
N	可编程逻辑模块中的查找表数目
I	可编程逻辑模块的输入数目
$F_{c_{in}}$	输入连接的通道线数目占通道宽度的比例
$F_{c_{out}}$	输出连接的通道线数目占通道宽度的比例
电路特性参数:	
n_2	实现电路所需的 2 输入查找表数目
d_2	电路中 2 输入查找表的深度

4 实验及结果分析

本节通过实验来验证本文方法的精确性、时效性和通用性。

本文使用 VTR 和 MCNC 两个实验电路集中的电路进行相关实验。由于规模较大, VTR 工具运行时间较长,两个最大的电路 LU32PEEng 和 mcml 被排除 VTR 实验电路集之外。MCNC 实验电路集中的电路规模普遍较小,因此从中选择了 8 个最大的电路。使用 ABC^[15]来提取电路特性参数。表 4 列出了选用的 17 个 VTR 电路和 8 个 MCNC 电路的特性参数值。这些电路涵盖了不同领域的典型应用。本文采用 VTR 工具对电路在 FPGA 上实现的过程进行模拟,获得架构和电路对应的实现性能。

本文采用平均相对误差(Mean Relative Error, MRE)作为评估指标来评价本文方法的精确性。MRE 定义见式(1)。其中, x_i 是通过 VTR 获得的 FPGA 实现性能,而 x'_i 是通过本文方法获得的性能

表 4 VTR 和 MCNC 电路特性参数

VTR 实验电路	电路特性参数	
	n_2	d_2
bench		
bgm	96411	133
blob_merge	32417	106
boundtop	9078	46
ch_intrinsic	1534	9
diffeq1	2107	90
diffeq2	1477	90
LUSPEEng	81782	710
mkDelayWorker32B	18957	29
mkPktMerge	930	10
mkSMAadapter4B	6644	33
or1200	12097	164
sha	8465	108
raygentop	7075	44
stereovision0	40612	29
stereovision1	38136	38
stereovision2	113641	87
stereovision3	651	13
MCNC 实验电路	电路特性参数	
	n_2	d_2
bench		
chma	9101	37
elliptic	5624	41
ex1010	6692	14
frisc	6019	59
pdc	6735	16
s38417	9360	23
s38584.1	9344	22
spla	5570	17

模型预测得到的性能。 N_i 代表测试集中测试项的数目。

$$MRE = \frac{1}{N_i} \sum_{i=1}^{N_i} \left(\left| \frac{x_i - x'_i}{x_i} \right| \times 100\% \right) \quad (1)$$

使用本文方法进行性能模型建模过程中,训练集的选择决定了最终生成的性能模型。为使模型更加精确和通用,训练集应该包含尽可能多的信息供学习算法进行学习。对于 FPGA 架构性能进行建模,训练集即为 FPGA 架构参数、电路特性参数和其相应的性能的数值组合。因此,训练集中 FPGA 架构参数和电路特性参数的数值选取应该具有代表性和多样性。以 FPGA 架构参数中的查找表输入数目 K 为例, K 的取值范围为 [4,10], 那么在选择训练集时,

FPGA 架构参数中 K 值的选取不应该集中于其取值范围中的某一区域，防止训练得到的性能模型只能预测该区域附近 K 值的性能值，而不能精确预测其他值。其他模型参数的数值选择也遵循此规则。

4.1 预测精度

本实验首先通过 VTR 获得了 11 个 VTR 电路在 6 个 FPGA 架构上的实现面积和延时作为训练集。基于该训练集使用本文方法学习 FPGA 实现面积和延时与其对应的电路特性和架构参数之间的关系。学习后构建的面积/延时模型用于预测测试集中另外 6 个 VTR 电路在 2 个新的 FPGA 架构上的实现性能。同时，通过 VTR 获得测试集中电路的实现性能。针对测试集中的电路和架构组合，将本文方法构建模型预测的性能与通过 VTR 获得的实现性能进行比较，计算两者之间的 MRE，检验本文方法的预测精度。然后，减少训练集中本文方法学习的电路数目，观察预测 MRE 的变化。

图 4 展示了这一实验过程中 MRE 的变化过程。如图所示，学习 11 个 VTR 电路的性能得到的 FPGA 性能模型进行面积预测时 MRE 可达 6.25%，延时预测时可达 4.23%。SMT 方法中不考虑电路特性(学习所有 17 个 VTR 电路的性能)预测面积和延时时的平均相对误差分别为 5.96%和 2.70%^[13]。本文方法与文献[13]中方法预测精度可比拟。此外，当学习的实验电路数目从 10 个降到 7 个时，面积预测精度保持不变。并且当学习的电路数目从 11 个降到 7 个时，预测 MRE 仅从 6.25%增长到 7.80%。这说明通过使用本文方法可以减少学习的电路数目从而降低面积/延时模型建模过程的时间开销，同时仍保持一定的预测精度。从图 4 中还可以观察到当学习的实验电路数目从 10 降到 9 时，MRE 减少。这是因为这个移除的电路与测试电路差异较大，学习这个电路的性能从而构建的性能模型会降低预测测试电路时的精度。当只学习 3 个电路的性能来构建面积/延时模型时，预测测试电路时的 MRE 骤增，这说明学习的电路数目太少，不足以构建一个精确的性能模型。

4.2 时间开销

利用半监督模型树算法进行 FPGA 性能建模的

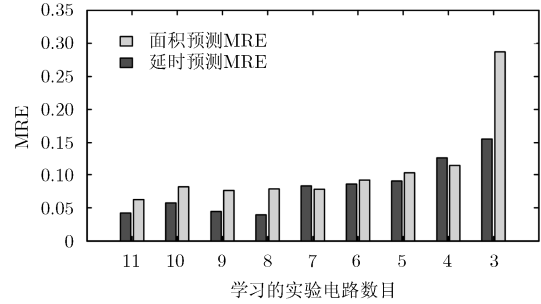


图 4 MRE 随学习的电路数目的变化趋势

时间仅为 1~5 min，探索 FPGA 架构设计空间的时间成本主要在于通过 VTR 为学习算法提供带有性能结果的 FPGA 架构，如式(2)所示。

$$T_{tol} = \sum_{i=1}^n \sum_{j=1}^m T_{\text{arch}_i \rightarrow \text{VTR}}^{\text{ben}_j} \quad (2)$$

其中， n 和 m 分别代表需要学习的架构和电路数目。总的时间成本 T_{tol} 为将 m 个电路在 n 个 FPGA 架构上通过 VTR 实现的时间之和。

文献[13]中方法在对 FPGA 架构性能建模过程中没有考虑电路参数的影响，该算法需要将实验电路集中的所有电路在一个 FPGA 架构上实现，取电路性能的几何平均作为该 FPGA 架构的性能。因此，对于文献[13]中方法，时间成本中的 m 为电路集的大小，并且文献[13]中方法不能预测某个指定电路在 FPGA 上的实现性能。而本文方法通过构建关于架构参数和电路参数的 FPGA 性能模型，可以预测特定电路在特定 FPGA 架构上的实现性能。

如表 5 所示，本文方法学习 11 个 VTR 电路(近似 VTR 电路集的 2/3)构建面积/延时性能模型预测性能时与文献[13]学习所有 17 个 VTR 实验电路的建模方法预测性能的精度可比拟。学习 7 个电路(小于 1/2VTR 电路集)性能构建的面积模型预测精度只降低到文献[13]中方法精度的 92%。并且学习的电路数目从 17 减少到 9 个时，延时预测的精度几乎不变。

上述实验结果说明在保证预测精度的前提下，学习的电路数目可至少减半。因此，对于本文方法，时间成本中的 m 为实验电路集的一半。文献[13]方法在 Intel Xeon E7-4807 上探索具有百万 FPGA 架

表 5 预测精度与时间开销随学习的电路数目的变化趋势

实验电路数目	17	11	10	9	8	7	6	5	4	3
时间开销	1.00	0.64	0.59	0.53	0.47	0.41	0.35	0.29	0.24	0.18
面积预测精度(%)	94	93	92	92	92	92	91	90	89	71
延时预测精度(%)	96	95	96	96	92	91	90	88	89	85

构的设计空间时需要 500 h, 采用本文方法仅需要 250 h。此外, 学习的实验电路数目可以进一步减少, 这就需要在时间开销和预测精度之间进行折中选择。

4.3 通用性

本文加入电路特性作为先验知识来构建 FPGA 性能模型, 所以获得的性能模型能够精确预测新的电路的实现性能。这一节进行两组相关实验来验证本文方法的通用性。

在第 1 组实验中, 基于训练集中 2 个 VTR 电路在 8 个架构上的实现性能, 构建性能模型来预测测试集中另外一个 VTR 电路在相同 8 个架构上的实现性能。使用上述流程测试了预测每一个 VTR 电路性能的预测精度。在第 2 组实验中, 基于 2 个 VTR 电路在 8 个架构上的实现性能, 构建性能模型来预测 MCNC 电路集中的电路在相同 8 个架构上的实现性能。

图 5 显示了本文方法在预测 VTR(图 5(a))和 MCNC(图 5(b))中每个电路时预测性能与实际性能之间的平均相对误差。可见, 在预测 VTR 电路的面积和延时, 除个别电路外, 预测 MRE 在 10% 左右。然而在预测 ch_intrinsics 和 stereovision3 这两个电路的面积, 以及在预测 LUSPEEng 和 stereovision2 这两个电路的延时, 预测结果不精确。如表 4 所示, 这是因为在 VTR 电路集中 stereovision3 电路的 n_2 值最小, stereovision2 的 n_2 最大。类似地, ch_intrinsics 的 d_2 是最小的而

LUSPEEng 的 d_2 是最大的。这 4 个电路体现了 VTR 电路集中 n_2 和 d_2 特性参数的 4 个极端值, 没有合适的电路去学习来表征这 4 个电路的性能。结果, 获得的面积/延时模型对于这些电路来说不是足够精确。因此, 为使最终的性能模型足够精确, 所选取的待学习电路的特性需要有代表性。在用学习 VTR 电路性能构建的性能模型预测 MCNC 电路的性能时, 最大的平均相对误差不超过 13%, 证明了本文提出的基于电路特性的建模方法可以较好地预测新电路的性能, 提供了一个通用的性能建模方法。

4.4 电路特性对性能的影响

本文采用的半监督模型树算法最终生成一个关于 FPGA 架构和电路特性参数的显示性能模型。该模型能反映出电路特性对性能的影响趋势。

图 6 为使用本文方法生成的面积(图 6(a))和延时(图 6(b))性能模型示例。如图所示, 面积模型中 n_2 和延时模型中 d_2 的系数均为正, 说明在相同 FPGA 架构上(模型中 FPGA 架构参数相同时), 面积和延时随电路参数 n_2 和 d_2 正比例增长, 这与图 3 实验分析得到的趋势一致。因此, 本文方法能对电路参数的影响进行良好的预测。

4.5 探索半监督模型树算法中的参数

在表 1 呈现的半监督模型树算法中, 主要有两个参数 L_1 和 L_2 , 代表了建模过程中两个模型树上叶端存在的最小样本数目。上述实验使用了这两个参数的经验值。本实验改变这两个参数的数值并观察 MRE 的变化。

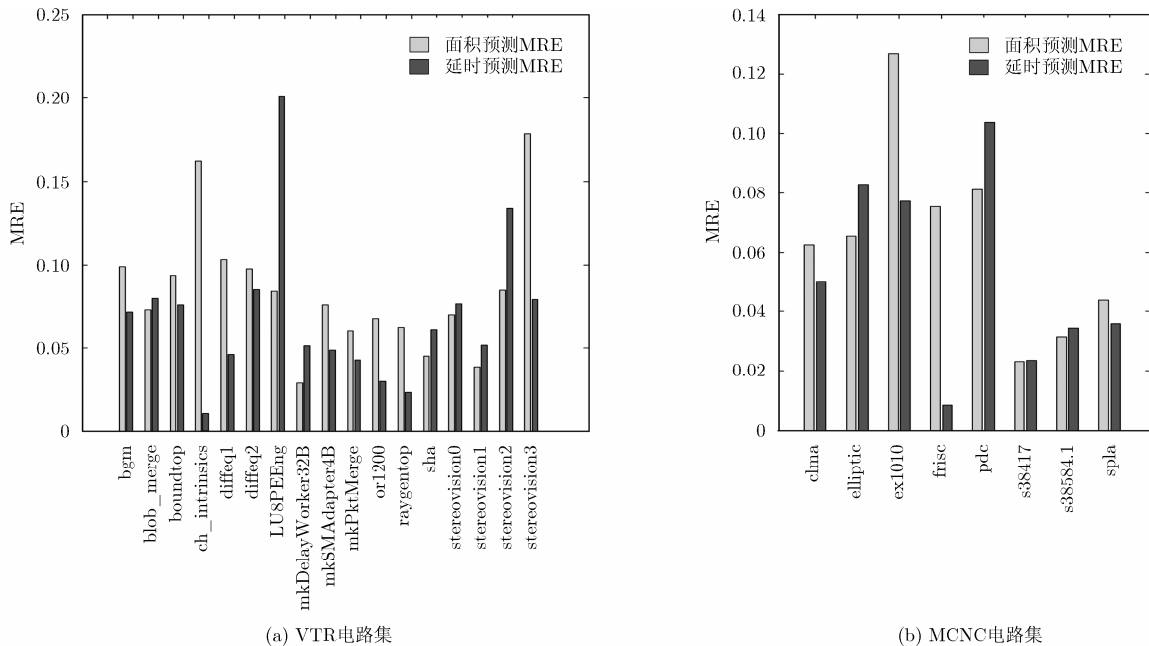


图 5 预测来自不同电路集的电路性能时本文方法的 MRE

$n_2 \leq 3980.5$: LM1 $n_2 > 3980.5$: $n_2 \leq 15527$: $K \leq 7.5$: LM2 LM1: area = 2335119.066 K - 340051.701 N +3486149.744 $F_{C_{in}}$ -3623946.094 $F_{C_{out}}$ + 596.006 n_2 -5764128.554 LM2: area = 3542791.503 K -723151.96 N +3486149.744 $F_{C_{in}}$ -3623946.094 $F_{C_{out}}$ +749.262 n_2 -5116580.985	$d_2 \leq 15$: LM1 $d_2 > 15$: $d_2 \leq 55.5$: LM2 LM1: delay = -0.118 K + 0.835 $F_{C_{in}}$ + 0.085 d_2 + 4.728 LM2: delay = -0.201 K + 0.835 $F_{C_{in}}$ + 0.091 d_2 + 6.535
--	--

(a)面积模型树

(b)延时模型树

图6 面积、延时模型树

表 6 呈现了变化的 L 值对 MRE 的影响。可见，当这两个参数取相同值时，预测精度通常较差。因为两个模型树之间的相似性使得他们为彼此挑选相似的未标记样本。一旦挑选了一个不合适的样本，误差就会循环累积，最终导致一个不是十分精确的性能模型产生。此外，当两个参数数值都较小时，预测精度也不高。这是因为模型树叶端较少的样本数目使得性能模型过于精细，也就是说获得的性能模型在拟合训练样本时产生了过拟合的现象，这在一定程度上降低了预测测试样本的精度，尤其当测试样本与训练样本特性相差较大时。

5 结束语

本文呈现了一个电路特性驱动的 FPGA 架构性能半监督建模方法。该方法通过学习电路特性与实现性能之间的关系来构建 FPGA 性能模型。本文方法不需要获得所有应用电路在 FPGA 架构上的实现

表 6 L 值对 MRE 的影响

L_2	L_1					
	2	4	6	8	10	12
2	0.1456	0.1456	0.1456	0.0954	0.0626	0.0712
4	0.1456	0.1456	0.1456	0.0954	0.0626	0.0712
6	0.1456	0.1456	0.1456	0.1078	0.0511	0.0578
8	0.0796	0.0796	0.0796	0.0824	0.0824	0.1042
10	0.0796	0.0796	0.0796	0.0824	0.0824	0.0733
12	0.0712	0.0712	0.1717	0.0576	0.0989	0.0795

性能就可构建一个精确且通用的性能模型，加快了 FPGA 性能建模及架构设计探索过程。实验结果显示该方法能以 6.25% 的 MRE 预测 FPGA 性能，并可将具有百万架构的 FPGA 设计空间探索时间由 500 h 降低为 250 h。此外，本文方法不局限于只对基于 LUT 结构的 FPGA 性能进行建模，未来工作将对基于新型逻辑结构的 FPGA 性能建模，如基于与非锥结构的 FPGA^[16]。

参考文献

- [1] Luu J, Goeders J, Wainberg M, et al. VTR 7.0: next generation architecture and CAD system for FPGAs[J]. *ACM Transactions on Reconfigurable Technology and Systems*, 2014, 7(2): 6:1-6:30.
- [2] Marquardt A, Betz V, and Rose J. Speed and area tradeoffs in cluster-based FPGA architectures[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2000, 8(1): 84-93.
- [3] Ahmed E and Rose J. The effect of LUT and cluster size on deep-submicron FPGA performance and density[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2004, 12(3): 288-298.
- [4] Jiang Zheng-hong, Lin C Y, Yang Li-qun, et al. Exploring architecture parameters for dual-output LUT based FPGAs[C]. Proceedings of the 24th International Conference on Field Programmable Logic and Applications, Munich, Germany, 2014: 1-6.
- [5] Betz V, Rose J, and Marquardt A. Architecture and CAD for Deep-Submicron FPGAs [M]. Netherlands, Kluwer Academic Publishers, 1999: 15-20.
- [6] Gao Hai-xia, Yang Yin-tang, Ma Xiao-hua, et al. Analysis of the effect of LUT size on FPGA area and delay using theoretical derivations[C]. Proceedings of the 6th International Symposium on Quality of Electronic Design, San Jose, CA, USA, 2005: 370-374.
- [7] Smith A, Wilton S, and Das J. Wirelength modeling for homogeneous and heterogeneous FPGA architectural development[C]. Proceedings of the 17th ACM/SIGDA international symposium on Field programmable gate arrays, Monterey, CA, USA, 2009: 181-190.
- [8] Das J, Lam A, Wilton S, et al. An analytical model relating FPGA architecture to logic density and depth[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2011, 19(12): 2229-2242.
- [9] Smith A, Constantinides G, and Cheung P. FPGA architecture optimization using geometric programming[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2010, 29(8): 1163-1176.
- [10] Pandurangaiah Y, Reddy V, and Chakravarthy K.

- Area-delay estimation by concurrent optimization of FPGA architecture parameters using geometric programming[J]. *International Journal of Computer Applications*, 2013, 82(18): 4-11.
- [11] Mehri H and Alizadeh B. An analytical dynamic and leakage power model for FPGAs[C]. Proceedings of the 22nd Iranian Conference on Electrical Engineering (ICEE), Tehran, 2014: 300-305.
- [12] Leow Yoon-kah. Post-routing analytical models for homogeneous FPGA architectures[D]. [Ph. D. dissertation], The University of Arizona, 2013.
- [13] Yang Li-qun, Yang Hai-gang, Li Wei, *et al.*. A semi-supervised modeling approach for performance characterization of FPGA architectures[C]. Proceedings of the 24th International Conference on Field Programmable Logic and Applications, Munich, Germany, 2014: 1-6.
- [14] Wang Y and Witten I H. Inducing model trees for continuous classes[C]. Proceedings of the Ninth European Conference on Machine Learning, Prague, Czech Republic, 1997: 128-137.
- [15] Brayton R and Mishchenko A. ABC: an academic industrial-strength verification tool[J]. *Computer Aided Verification*, 2010, 6174: 24-40.
- [16] Zgheib G, Yang Li-qun, Huang Zhi-hong, *et al.*. Revisiting and-inverter cones[C]. Proceedings of the 2014 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, Monterey, CA, USA, 2014: 45-54.
- 杨立群: 女, 1989 年生, 博士, 研究方向为 FPGA 架构开发、FPGA CAD 工具开发.
- 李 威: 女, 1983 年生, 助理研究员, 研究方向为可编程芯片结构设计.
- 黄志洪: 男, 1984 年生, 助理研究员, 研究方向为可编程芯片结构设计.
- 孙嘉斌: 男, 1982 年生, 副研究员, 研究方向为 FPGA 架构及全定制数字电路设计.
- 杨海钢: 男, 1960 年生, 研究员, 研究方向为数模混合信号 SOC 设计技术、高速可编程逻辑芯片设计技术.