

# 0.8 $\mu\text{m}$ CMOS LDD 器件可靠性实验 和分析

余 山

(航天部第二研究院计算机应用和仿真技术研究所 北京 100854)

章定康 黄 敞

(陕西微电子学研究所 陕西临潼 710600)

**摘要** 针对实验中发现的亚微米 LDD 结构的特殊的衬底电流现象和退化现象,进行了二维器件数值模拟,解释了 LDD 器件退化的原因,最后提出了 LDD 器件的优化工艺条件。

**关键词** 亚微米 LDD 器件,模拟,可靠性

## 1 引言

由于轻掺杂沟道 (Lightly Doped Drain, LDD) 结构能有效地克服热载流子效应和短沟道效应,改善器件特性,提高可靠性<sup>[1]</sup>,被广泛应用于各种亚微米 VLSI。进一步研究表明,正是由于 LDD 结构特殊的轻掺杂区,引起了 LDD 器件特殊的退化<sup>[2]</sup>,所以,对 LDD 结构必须进行优化<sup>[3]</sup>,以减小其不利因素。本文正是在实验的基础上对 LDD 的特殊特性进行分析并对其优化。

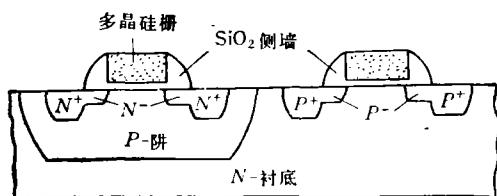


图1 LDD CMOS 结构剖面简图

## 2 器件制作

按照通常的 CMOS 工艺制作器件,在  $N\langle 100 \rangle$ ,  $\rho = 1-2\Omega\cdot\text{cm}$  的衬底上做 P 阱.在 N 型衬底上做 PMOS, P 阱内做 NMOS. LDD 器件的基本工艺流程如下:

(1) 在  $N^+$  多晶硅栅电极完成之后,对于 PMOS,用  $\text{BF}_3^+$  注入形成  $P^-$  区,注入条件为  $7 \times 10^{12} - 8 \times 10^{13}/\text{cm}^2$ , 25—60keV。对于 NMOS,用磷注入形成  $N^-$  区,注入条件为  $5 \times 10^{12} - 9 \times 10^{13}/\text{cm}^2$ , 30—75keV;

1993-04-20 收到,1994-01-06 定稿

- 余 山 男,1964年生,博士,主要从事 VLSI 工艺、亚微米和深亚微米器件物理、ASIC 设计和制造、容错计算系统的设计、以及计算机辅助电路、器件和工艺模拟等方面的科研工作。
- 章定康 男,1942年生,研究员,主要从事 VLSI 工艺、抗核加固器件和工艺以及功率器件等方面的科研工作。
- 黄 敞 男,1927年生,博士,教授,美国半导体器件和物理、以及半导体工业的创始人之一,主要从事微电子学方面的科研工作。

(2) LPCVD 400nm  $\text{SiO}_2$ , 然后以  $\text{CHF}_3$  为反应气体反应离子刻蚀  $\text{SiO}_2$  形成 0.20  $\mu\text{m}$  宽的侧墙;

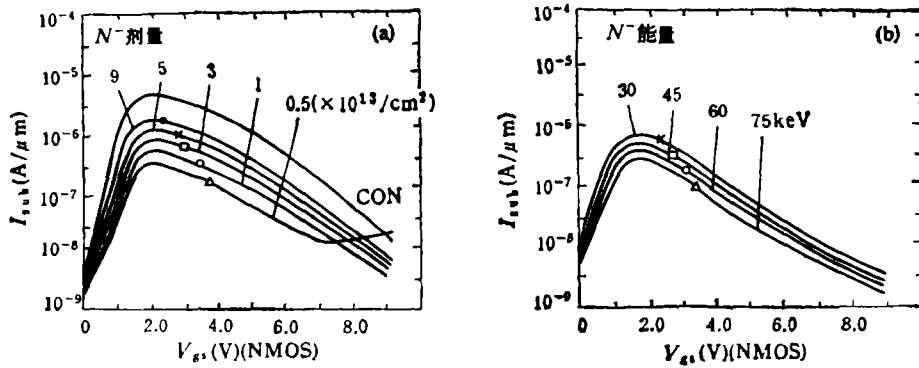
(3) 侧墙掩蔽注入分别形成  $N^+$ ,  $P^+$  源/漏掺杂,  $N^+$  用 As 注入,  $P^+$  用  $\text{BF}_2$  注入;

(4) 最后退火形成 LDD 结构. 退火条件: 950 $^\circ\text{C}$ , 30 min  $N^+/P$  结深: 0.20  $\mu\text{m}$ ,  $P^+/N$  结深: 0.35  $\mu\text{m}$ . 如图 1 所示.

栅氧化层厚度为 28 nm, PMOS 采取两次离子注入, 以减小埋沟深度, NMOS 采取中等能量的一次硼注入, 以抑制穿通.

### 3 测试结果

3.1 衬底电流 由图 2(a) 可见, 当  $N^-$  剂量为  $5 \times 10^{12}/\text{cm}^2$  而  $V_{gs}$  较高时, 衬底

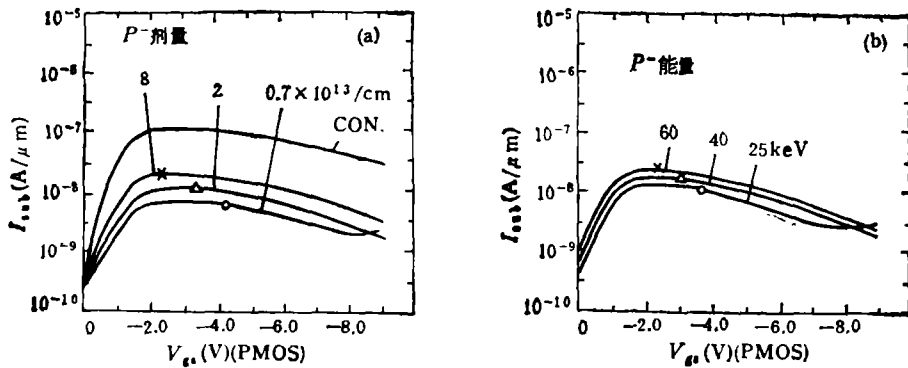


(a)  $N^-$  注入能量为 40 keV

(b)  $N^-$  注入剂量为  $1 \times 10^{13}/\text{cm}^2$

图 2 不同  $N^-$  剂量、能量下栅源电压与衬底电流的关系 (NMOS)

( $I_{eff} = 0.80 \mu\text{m}$ ,  $V_{ds} = 5\text{V}$ ,  $V_{sub} = 0$ )



(a)  $P^-$  注入能量为 40 keV

(b)  $P^-$  注入剂量为  $2 \times 10^{13}/\text{cm}^2$

图 3 不同  $P^-$  剂量、能量下栅源电压与衬底电流的关系 (PMOS)

( $I_{eff} = 0.80 \mu\text{m}$ ,  $V_{ds} = -5\text{V}$ ,  $V_{sub} = 0$ )

电流出现异常的回弹。 $N^-$  注入剂量增大, 衬底电流增大; 而  $N^-$  注入能量增大, 衬底电流反而减小。由图 3 可见, 当  $P^-$  注入剂量为  $7 \times 10^{12}/\text{cm}^2$  或  $P^-$  注入能量为  $25\text{keV}$  且  $V_{gs}$  较大时, 衬底电流出现异常回弹。 $P^-$  注入剂量、能量增加, 衬底电流上升。

**3.2 老化特征** 图 4、图 5 分别是 NMOS 和 PMOS 的老化特性曲线。由图 4 可见, 在老化时间较短时, LDD 退化比常规的快; 当  $N^-$  注入剂量、能量增大时, LDD 退化得慢。由图 5 可见, 常规的器件比 LDD 退化更大;  $P^-$  注入能量、剂量增大, 退化也变大。

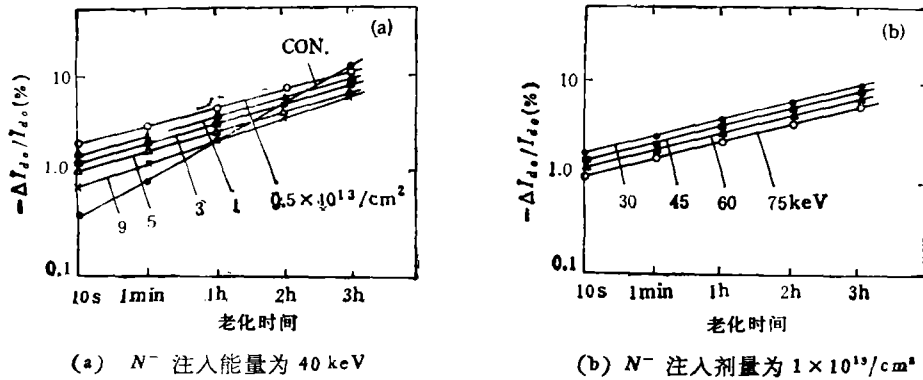


图 4 不同  $N^-$  注入剂量、能量下的老化特性曲线  
(NMOS) ( $I_{eff} = 0.80\mu\text{m}$ ,  $V_{ds} = 7\text{V}$ ,  $V_{gs} = 3\text{V}$ )

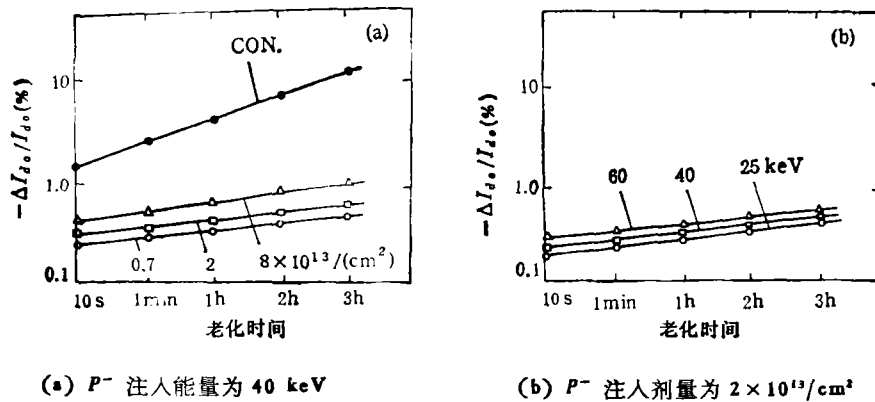


图 5 不同  $P^-$  注入剂量、能量下的老化特性曲线  
(PMOS) ( $I_{eff} = 0.80\mu\text{m}$ ,  $V_{ds} = -5\text{V}$ ,  $V_{gs} = -2\text{V}$ )

#### 4 二维器件数值模拟和分析

基于载流子总量分析方法, 我们采用 LADES-I 二维器件数值模拟程序进行器件模拟<sup>[4]</sup>, 以阐明 LDD 退化的机理。

图 6 是采用 LADES-I 二维器件数值模拟程序模拟的 NMOS 电场分布。

图 2 的现象可解释为: 在图 2(a) 中,  $N^-$  剂量增加, 衬底电流上升是由于  $N^-$  剂量增加, 器件漏端电场增强所致(见图 6(a))。由图 6(a) 可见, 当  $V_{gs}$  较高且  $N^-$  注入

剂量为  $5 \times 10^{12}/\text{cm}^2$  时, 在源端出现了一个电场的峰值, 它导致了图 2 (a) 所示的衬底电流反弹。图 2 (b) 中  $N^-$  注入能量增加, 衬底电流下降, 是由于  $N^-$  注入能量增加, 电场峰值逐渐向硅中移动, 此时载流子主要流经硅表面附近, 所以碰撞电离减小, 衬底电流随注入能量的增加而减小。

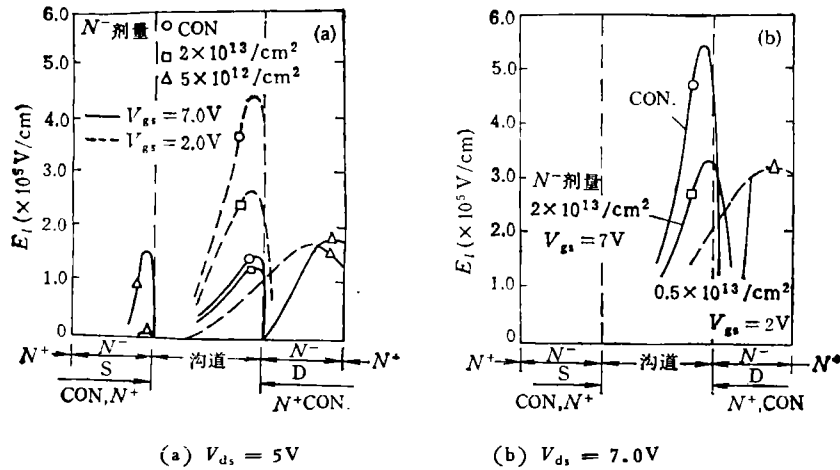


图 6 NMOS 电场分布图  
( $I_{\text{eff}} = 0.80 \mu\text{m}$ ,  $N^-$  注入能量为 45 keV)

图 4 的现象可这样来解释, 即由于 LDD  $N^-$  区使电场峰值更靠近栅边缘, 甚至偏移到栅外(图 6), 电场产生碰撞电离, 引起热电子注入  $N^-$  区表面的二氧化硅, 形成被俘获的负电荷, 从而使得  $N^-$  区电阻增加,  $I_{d0}$  下降。  $N^-$  注入剂量越小, 电场峰值向栅外偏移越大, 产生的热电子向  $N^-$  表面二氧化硅内注入越多, 并且  $N^-$  杂质浓度低, 即使在  $N^-$  表面的二氧化硅内陷入较少的负电荷, 也会使  $N^-$  电阻上升较多, 所以  $N^-$  注入剂量越小, 退化越快, 这就是图 4 (a) 的原因。对于图 4 (b), 由于  $N^-$  注入能量增大, 电场峰值距表面越远, 热电子注入  $N^-$  表面二氧化硅的概率越小, 所以退化越慢。对于常规器件, 由于其电场峰值在栅内(见图 6), 碰撞电离产生的热载流子主要注入栅内, 发生沟道热载流子效应, 引起器件退化。随着时间的推移, 在栅氧化物内陷入的热载流子越来越多, 由于其电场比 LDD 强, 陷入的速度更快。由于注入栅氧化物的热电子有一部分形成了栅电流, 而另一部分形成陷入电荷主要对载流子的迁移率产生作用, 没有象 LDD 那样直接增加  $N^-$  的电阻对电流的影响那么大, 所以, 在时间较短时, LDD 退化比常规快。随着时间的推移, 常规的退化将超过 LDD, 表明 LDD 仍比常规器件具有更高的可靠性和更长的寿命<sup>[5]</sup>。

对于 PMOS 的情况有些不同。在  $|V_{gs}|$  较高且  $P^-$  浓度较低时 ( $P^-$  剂量为  $7 \times 10^{12}/\text{cm}^2$ , 能量为 25 keV), LADES-I 模拟表明, 在源端出现电场峰值, 引起图 3 中的衬底电流异常现象。  $P^-$  注入剂量、能量越大,  $P^-$  电阻越小, 漏端电场越强, 衬底电流越大。因为, PMOS 是埋沟器件。由于 PMOS 有特殊的 HEIP 效应 (Hot-Electron-Induced Punchthrough Effect)<sup>[6]</sup>,  $P^-$  注入能量、剂量越大, 漏端电场越强, HEIP 效应

越强,  $I_{d0}$  上升越大, 所以退化越大, 这也是常规 PMOS 比 LDD PMOS 退化得快的原因。

## 5 结论

从上面的测试数据和分析可见, LDD 可减小漏端电场, 有效地克服热载流子效应, 提高器件的寿命和可靠性, 但也必须对其轻掺杂的情况进行优化, 以克服其不利因素。

对于 NMOS, 考虑到其它器件特性<sup>[7]</sup>, 我们得到了本实验的最佳 LDD NMOS 的  $N^-$  注入条件为注入能量 45 keV, 注入剂量  $1-3 \times 10^{13}/\text{cm}^2$ 。

对于 PMOS, 基于同 NMOS 同样的分析, 我们得到了本实验最优的 LDD PMOS 的  $P^-$  注入条件为注入能量 40 keV, 注入剂量  $2 \times 10^{13}/\text{cm}^2$ 。

上述优化结果, 已经应用于主频超过 600 MHz, 门延迟为 130 ps 的  $0.5 \mu\text{m}$  CMOS 电压控制振荡器电路的研制<sup>[8]</sup>以及工作频率高于 20 MHz 的  $1 \mu\text{m}$  CMOS 总线交换逻辑电路的制造<sup>[9]</sup>。成品率分别为 15% 和 30%。

**致谢** 作者深深地感谢航天部 771 所有关同志的大力协作。

## 参 考 文 献

- [1] Ogura S, Tsang P J, Walker W W, *et al.* IEEE Trans. on ED, 1980, ED-27(8): 1359—1367.
- [2] Hui J, Hsu F-C, Moll J. IEEE Electron Device Lett. 1985, 6(3): 135—138.
- [3] Hsu F-C, Chiu KY. IEEE Electron Device Lett. 1984, 5(5): 162—165.
- [4] 杜 敏, 黄 敞. 半导体学报, 1988, 9(1): 1—6.
- [5] Andhare P N, Nahar R K, Devashrayee N M, *et al.* Microelectronics Reliab., 1990, 30(4): 681—690.
- [6] Koyanagi M, Lewis A G, Martin R A, *et al.* IEEE Trans. on ED, 1987, ED-34(4): 839—844.
- [7] 余 山, 章定康, 黄 敞. 半导体学报, 1992, 13(7): 423—429.
- [8] Yu Shan, Zhang Dingkang, Huang Chang. Development of  $0.50 \mu\text{m}$  CMOS Integrated Circuits Technology, Proc. of 3rd ICSICT. Beijing: 1992, 143—146.
- [9] 余 山, 章定康, 黄 敞. 高速  $1 \mu\text{m}$  LDD CMOS 自对准硅化钛总线交换逻辑集成电路的研制. 全国首届专用集成电路(ASIC)学术会议论文集. 无锡: 1990, 203—204.

## 0.8 $\mu\text{m}$ LDD CMOS RELIABILITY EXPERIMENTS AND ANALYSIS

Yu Shan

(Institute of Computer Application and Simulation Technology, Second Academy,  
Ministry of Aero-Space Industry, Beijing 100854)

Zhang Dingkang Huang Chang

(Shanxi Microelectronics Institute, Lintong 710600)

**Abstract** The numerical simulation of two dimensional device is conducted to describe the mechanism of the special substrate current and degradation of submicron LDD structure observed in experiments, and finally, the optimum processes for submicron LDD CMOS are proposed.

**Key words** Submicron LDD device, Simulation, Reliability