

时序电路的冗余状态变换确认研究¹

何新华 蔡红柳 王维峰

(复旦大学 ASIC 和系统国家重点实验室 上海 200433)
(总参装甲兵工程学院计算机室 北京 100072)

摘要 本文以状态跳变图为基础, 深入分析冗余变换与非法变换的特征, 提出结构冗余和功能冗余的概念, 并讨论了可测、不可测故障与冗余之间的联系。最后结合验证和测试生成, 提出状态冗余的隐含遍历确认策略。

关键词 测试生成, 验证, 有限状态机

中图分类号 TN79

1 引言

在集成电路的设计过程中, 逻辑优化后的设计结果仍然存在冗余, 这些冗余一方面是设计过程中未达最优而造成的, 另一方面是为解决电路的时间延迟和可靠性等问题而人为设置的。显然, 设计过程不可能达到 100% 的最优, 这使得相当多的冗余结构引起各种冗余故障。所以通过冗余确认来确定并消除电路中的无用冗余结构是非常必要的。本文根据结构故障所反映出的变换故障规律, 试图分析结构上的冗余与状态变换之间的联系, 并在此基础上, 结合状态验证和测试生成, 研究冗余的确认问题。

2 冗余分析

采用测试方法来进行冗余的确认已得到广泛的研究, 测试技术和冗余确认紧密相关。通过测试对逻辑设计结果进行优化可获得较好的效果, 但工程上利用测试技术在确认冗余并消除所有的冗余后, 并不意味着能产生一个最佳的设计结果。

2.1 状态冗余分析 考察电路无关项, 设电路具有 p 个触发器。事实上, 由于实际电路的 STG (State Transition Graph) 可能大量存在未定义的“非法”状态, 因此其合法状态总数大大小于 2^p 。对 STG, 电路的物理故障可能会引起如下几方面的影响: (1) 导致从有效状态到非法状态的变换; (2) 引起不可达状态变成可达; (3) 使状态数大大超过正常 FSM (Finite-State-Machine) 的合法状态数, 使得验证变得复杂。

不失一般性, 假定电路为非确定型 (FSM), 电路冗余在 STG 中的表现可分为结构冗余和功能冗余两种:

结构冗余: 不会引起状态的错误变换。这类冗余主要由于设计问题造成。如果物理故障不能引起任何状态错误变换, 则无法获得该物理故障相应的功能测试序列, 这种现象我们称为结构冗余。由于结构冗余具有不改变任何合法状态变换的特点, 单故障测试集无法检测到结构冗余性的故障。另外电路中可能因存在“故障屏蔽”现象而无法检测到本该检测到的一些多变换故障。最后一个问题是由于物理故障导致非定义的变换或者增加变换的数量, 使得单故障检测集无能为力。

功能冗余: 电路的物理故障会引起某些不改变电路原先设计功能状态的变换。对于 STG, 由于功能冗余不会改变任何合法的状态变换而使得单故障测试集无能为力。但门级测试生成可解决功能冗余所产生的故障。对于一个存储元件很多而合法状态数较少的稀疏 FSM, 其 STG 可能存在许多具有同类特征的一类故障。

¹ 1996-05-14 收到, 1998-01-14 定稿

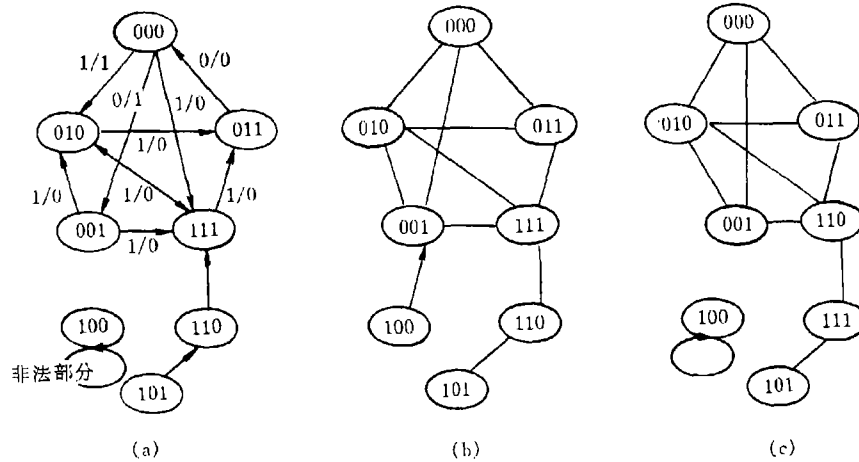


图 1 冗余故障类型说明

2.2 冗余结构与不可测故障 冗余的一般概念比不可检测固定故障所相关的特定冗余广泛的多。在组合电路中，若所有的固定故障都是可检测的，那么该组合电路是非冗余的。事实上，组合电路下的不可测和冗余是完全等价的。必须注意，一个冗余结构故障的出现可能使一个完全测试集变得无效。另外，冗余电路可引起两个重要的问题：(1) 第二代冗余性故障：如果 f 是一个可检测的故障， g 是一不可检测的故障，那么， g 出现时 f 可能变成一个不可检测的故障；(2) 若两个不可检测的故障同时出现在一个电路中，那么，它们可能变成可检测的故障。

显然，在电路多故障测试中，故障效应的分析是非常复杂的。另外，根据门级固定故障的结构测试特点，单故障测试理论具有一定的普遍意义，因此，电路的测试在单故障假设的前提是可行的。也就是说，根据单故障测试理论来研究多故障的测试问题是可行的。实际上，当处理规模较大的组合电路时，考虑到某些故障的测试生成需花费大量的时间，其检测集合不一定能完全检测所有的非冗余性故障。这样，从测试效果来看，不可检测故障与通过一个测试集合未检测到的故障之间没有区别。

对时序电路，由于一些非冗余故障阻止了时序电路的初始化而使得该故障成为不可测故障。因此，不可测故障不一定是冗余性故障。对 STG 进行状态变换分析，可得到有关状态冗余故障的 3 个结论（见图 1）：

(1) 在 STG 中，产生新等价状态。所有的正常变换和“非法”变换都没有变化，产生未定义的附加状态变换。例如，在图 1(a) 中，产生由状态 000 到 111 的附加变换，由于该变换的出现使得 010 和 111 互为等价。

(2) 不改变 STG 中各合法状态的扇出路径。在图 1(b) 中产生由 100 到 001 的变换。

(3) 导致故障态下的 FSM_F 等价于正常机 FSM ，但各状态的分配码存在差异。在图 1(c) 中表现为 111 与 110 互换，而所有的交换不变。

2.3 故障类型 时序电路的状态变换故障基本上可分成四类：

- (1) 非激活故障：不存在任何输入序列使得在 STG 中对于故障源状态产生故障效应；
- (2) 非传播故障：针对变换故障可获得输入序列产生故障效应，但由于无有效的故障区分序列将故障效应传播到原始输出端；
- (3) 不可测故障：不存在任何输入序列能检测到该故障；

(4) 难测故障: 存在一个测试码可用于检测该故障, 但由于测试计算复杂性太高使得在限定的时间内无法检测到该故障。

根据在电路具体操作下的故障分类, 在特定的初始条件或初始状态下, 时序电路的某些不可测故障有可能变成可测。从这个意义上看故障又可分为三类: (1) 可测和特定可测故障; (2) 不可测故障; (3) 难测故障。实际上, 根据测试过程对难测和不可测故障的分析, 可以确定: (1) 不可测故障表现为, 在多时帧下其输出端无故障效应; (2) 理论或人工确定冗余故障将会大大降低测试时间和空间; (3) 为解决难测和结构冗余故障带来的问题, 可考虑在设计阶段, 基于最小成本加入一定结构使得难测或不可测故障变得易测或可测。

3 状态冗余的确认

3.1 基于验证和测试生成的冗余确认策略 冗余确认与测试生成紧密相关。说明某条线或某功能块是冗余, 就意味着要证明冗余部分的故障不存在任何测试。经典的单故障理论, 在组合电路中其冗余概念与不可测是等价的。但对时序电路, 由于存在初始化问题, 使得难测故障的研究变得复杂。时序电路的逻辑冗余采用组合电路冗余的判定方法是不实际的。这是由于冗余故障使得故障难以初始化, 测试时间长。另外, 识别本身也是个 NP 问题。本文提出的状态冗余的确认策略则依赖状态变换故障的测试生成和验证过程。假设被测电路为 M_f , 相对应的正确电路设为 M , 则根据测试生成算法和乘积机的验证原理, 可得到冗余判断的基本策略。设冗余的故障为 $S_f \rightarrow S$:

(1) 对该故障进行测试, 如果不可测, 则转 (2);

(2) 基于状态隐含遍历算法, 计算初始 S_0 的下一状态集, 判断两电路 M 和 M_f 输出是否一致。若相等, 即谓等价, 说明存在该状态冗余。否则继续遍历直到不等或遍历完所有状态。

数字集成电路中大量存在“混合”结构, 此类电路的特点是整个电路可分为控制部分(其触发器有置位逻辑)和数据部分(其触发器无置位逻辑)。因此, 一般无法知道电路中所有存储元件的初始状态。不失一般性, 在进行等价验证时, 假设两电路至少存在一个等价的状态。在此基础上, 可扩大无全局复位线电路的冗余确认问题。

算法描述:

```
SRI(Sequential-Redundant-Identifying)
GET ROBDD DESCRIPTION
(RS, Nf)=STAone(( $\delta$ , C), (SETs0, SS))
FAULTLIST0=generate-fault (SETs0, ROBDD)
FAULTLIST0=FAULTLIST0
while(!(FAULTLIST0 =  $\phi$ ) do
  {SELECT FAULTk
   if (!(FOT(FAULTk, FAULTLIST0 = 1) then
    DELETE FAULTk FROM FAULTLIST0
   else
    {sequencek=STAtwo(( $\{\delta, \delta_f\}$ , C), ( $\{SET_{s0}, SET_{S0}^f\}$ , RS))
    if(Sequence= $\phi$ ) then return (undetected)
    else Sequence=Sequence  $\cup$  Sequencek
   } } return(sequence)
```

状态冗余故障的确认, 实际上是在测试生成后比较无故障电路和故障电路的输出, 因此, 冗余确认完全依赖于测试生成和验证过程的有效性。

表 1 MCNC 电路处理结果

电路名称	输入数	输出数	触发器	路径数	非法和冗余状态数
ex1	2	2	3	24	2
bbara	4	2	3	45	1
s1	8	6	5	110	12
sf	27	54	8	168	159

3.2 实验分析 从表 1 中的结果可简单看出, 许多电路存在一定数量的冗余和非法状态, 通过对这些状态的确认和压缩, 可明显地降低状态数量, 迅速完成合法状态的遍历验证, 提高设计效率。

4 结 论

本文提出的基于状态隐含遍历策略, 可以完成对状态变换图的冗余状态确认和压缩。实验表明采用验证和测试生成来解决电路设计优化是非常有效的方法, 具有一定的研究和工程应用价值。

参 考 文 献

- [1] Cho H, Hachteland G D. Fast sequential ATPG based on implicit state enumeration. ITC'91, 1991, 67-74.
- [2] Calazans N. Advanced ordered and manipulation techniques for BDD. DA'92, 1992, 452-457.

STATE TRANSITION REDUNDANCE IDENTIFICATION

He Xinhua Cai Hongliu Wang Weifeng

(Fudan University, Shanghai 200433)

Abstract The BDD(Binary Decision Diagram) is very important for representing synchronous circuits. After analyzing and reducing the BDD, the state traversing is proposed on the basis of collapsing of input, routes and states on STG. Finally, the verification for the non-reset circuits has been described.

Key words Test generation, Verification, Finite-state-machines

何新华: 男, 博士, 副教授, 主要研究方向: 数字电路 CAT, 软件测试, 网络数据库.
 蔡红柳: 女, 硕士, 讲师, 主要研究方向: 计算机密码学, 数字电路 CAD, 网络数据库.
 王维峰: 男, 硕士, 讲师, 主要研究方向: 计算机网络、数字电路测试.