

三值绝热多米诺加法器开关级设计

汪鹏君* 杨乾坤 郑雪松
(宁波大学电路与系统研究所 宁波 315211)

摘要:通过对绝热多米诺电路和加法器的研究,该文提出一种新颖低功耗三值加法器的开关级设计方案。该方案首先利用开关-信号理论,结合绝热多米诺电路结构特点,推导出三值加法器本位和电路与进位电路的开关级结构式,由此得到一位三值加法器单元电路;然后通过单元电路的级联得到四位三值绝热多米诺加法器;最后,利用 Spice 软件对所设计的电路进行模拟,结果显示所设计的四位三值绝热多米诺加法器具有正确的逻辑功能,与四位常规多米诺三值加法器相比,能耗节省约 61%。

关键词: 三值加法器; 绝热逻辑; 多米诺电路; 开关-信号理论

中图分类号: TP331

文献标识码: A

文章编号: 1009-5896(2012)10-2514-06

DOI: 10.3724/SP.J.1146.2012.00447

Design of Ternary Adiabatic Domino Adder on Switch-level

Wang Peng-jun Yang Qian-kun Zheng Xue-song
(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: By researching the adiabatic domino circuit and the adder, a novel design of low power ternary adder on switch-level is proposed. First, the switch-level structure of ternary adder's summing circuit and carrying circuit are derived according to the switch-signal theory and the peculiarity of adiabatic domino circuit. The design of the one bit adiabatic Domino adder unit and the four bit adder are obtained. Finally, the circuit is simulated by Spice tool and the results show that the logic function of the four bit adiabatic Domino adder is correct. The energy consumption of the four bit adiabatic Domino adder is 61% less than the conventional Domino counterpart.

Key words: Ternary adder; Adiabatic logic; Domino circuit; Switch-signal theory

1 引言

当前数字电路系统主要采用二值逻辑实现,其单根信号线能传输的逻辑值只有 0 和 1 两种,电路的空间和时间利用率较低。采用多值逻辑可以大大减少电路输入变量数,提高每根连线携带的信息量,从而减小芯片的面积,增强数据处理能力^[1-3]。多米诺电路由于其在电路面积和速度上的优势,广泛应用于各种高性能电路中^[4,5],因此将多值逻辑与多米诺电路相结合,能够进一步减小电路面积,提高电路的信息密度,降低电路成本^[6]。

加法运算是最基本的算术运算,理论上减法、乘法、除法、地址计算等都可以用加法实现^[7]。因此,加法器既是数字系统的关键部件也是应用最为广泛的部件之一,加法器的功耗很大程度上决定着整个数字系统的功耗。然而,传统加法器由于电荷是从

电源到地一次性的消耗掉,造成了极大的浪费;而采用交流脉冲电源的绝热加法器^[8]能够充分回收电路节点中存储的电荷,有效降低电路的功耗。鉴于此,本文将多值逻辑、绝热逻辑与多米诺电路应用到加法器的设计中,以开关-信号理论为指导,提出一种新颖低功耗三值加法器设计方案。该方案首先利用开关-信号理论推导出一位三值绝热多米诺加法器开关级结构式;然后通过单元电路的级联得到四位三值绝热多米诺加法器;最后,经 Spice 软件模拟证明,该方案逻辑功能正确,低功耗特性明显,且结构简单,与基于 DTCTGAL 电路设计的三值加法器^[8]相比,每位加法器电路的晶体管数量减少约 47%;与四位常规多米诺三值加法器相比,能耗节省约 61%。

2 开关-信号理论

根据开关信号理论^[9],在多值逻辑电路中引入开关变量与信号变量及与之对应的开关代数与信号代数,为多值电路的设计提供可靠的理论依据。

在开关代数中,开关变量 α, β 的取值 T 和 F 分别表示晶体管的导通和关断,有与 (\cdot) 、或 $(+)$ 、非

2012-04-19 收到, 2012-06-20 改回

国家自然科学基金(61076032)和浙江省自然科学基金(Z1111219)资助课题

*通信作者: 汪鹏君 wangpengjun@nbu.edu.cn

(-)3 种基本运算；在信号代数中，信号变量 x, y 的取值为 $0, 1, \dots, m-1$ ，用来表示多值电路的 m 种电压信号，有取小(\cap)、取大(\cup)及文字运算(${}^t x$)等基本运算。

开关代数与信号代数并不是相互独立的，而是互有联系、相互作用的，它们之间的关系如图 1 所示，联结运算 1 用来描写信号控制元件开关状态的物理过程，联结运算 2 描写元件的开关状态控制信号的传输与形成的物理过程。

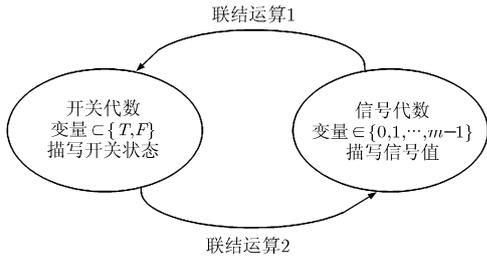


图 1 开关-信号代数系统

其中，联结运算 1 主要有高阈比较运算和低阈比较运算。

高阈比较运算：

$${}^t x = \begin{cases} T, & x > t \\ F, & x < t \end{cases} \quad (1)$$

低阈比较运算：

$$x^t = \begin{cases} T, & x < t \\ F, & x > t \end{cases} \quad (2)$$

根据式(1)与式(2)的定义，可证明阈比较运算在实际电路开关级设计中有如下性质：

$$\left. \begin{aligned} x^t \cdot y^t &= (x \cup y)^t \\ x^t + y^t &= (x \cap y)^t \end{aligned} \right\} \quad (3)$$

$$\left. \begin{aligned} {}^t x \cdot {}^t y &= {}^t(x \cap y) \\ {}^t x + {}^t y &= {}^t(x \cup y) \end{aligned} \right\} \quad (4)$$

联结运算 2 主要有传输运算和并运算：

传输运算：

$$S * \alpha = \begin{cases} S, & \alpha = T \\ \Phi', & \alpha = F \end{cases} \quad (5)$$

并运算：

$$S_1 * \alpha_1 \# S_2 * \alpha_2 = \begin{cases} S_1 * \alpha_1, & \alpha_1 = T \\ S_2 * \alpha_2, & \alpha_2 = T \end{cases} \quad (6)$$

式(5)中 S 为传输源， Φ' 为高阻状态， $*$ 为传输运算；式(6)中传输运算“ $*$ ”优先级高于并运算“ $\#$ ”，且为防止短路电流的出现，当 $S_1 \neq S_2$ 时不允许 α_1 和 α_2 同时为 T (导通)。

根据式(5)与式(6)的定义可知，传输运算与并运算有如下性质：

串联控制律：

$$(x * \alpha) * \beta = x * (\alpha \cdot \beta) \quad (7)$$

并联控制律：

$$x * \alpha \# x * \beta = x * (\alpha + \beta) \quad (8)$$

分配律：

$$(x * \alpha \# y * \beta) * \gamma = x * (\alpha \cdot \gamma) \# y * (\beta \cdot \gamma) \quad (9)$$

通过上述关系式可知，CMOS 电路中的电压开关可用于控制对输出电压信号的接地短路或接源短路，且可直接控制对输出电压信号的传输。

3 三值绝热多米诺加法器设计

3.1 一位三值绝热多米诺加法器设计

三值加法器真值表如表 1 所示，其中 A 为加数， B 为被加数， C_{in} 为来自低位的进位， S 为本位和， C_{out} 为进位。

由于多米诺电路的求值电路中一般只有 NMOS 管或 PMOS 管，无法直接判别逻辑 1 信号，所以三值加法器的输入信号首先要经过三值文字运算^[10,11]电路。设输入信号 A, B 经过三值绝热多米诺文字运算电路^[11]后的输出信号为 ${}^0 A^0, {}^1 A^1, {}^2 A^2, {}^0 B^0, {}^1 B^1, {}^2 B^2$ 。clk, $\overline{\text{clk}}$ 幅值电平对应逻辑 2， $\overline{\text{clk}}_1$ 幅值电平对应逻辑 1， $\overline{\text{clk}}$ 与 $\overline{\text{clk}}_1$ 同相，clk 与前两者反向，根据开关-信号理论和三值加法器的真值表，进位信号 C_{out} 的开关级结构式如下：

$$\begin{aligned} \overline{C}_{out} &= \text{clk} * \overline{\text{clk}}^{0.5} \# \text{clk} * {}^{1.5} \overline{\text{clk}} * [{}^1 A^1 * {}^{1.5} {}^2 B^2 * (C_{in}^{1.5} \\ &\quad + {}^{1.5} C_{in}^{1.5}) \# {}^2 A^2 * {}^{1.5} {}^1 B^1 * (C_{in}^{1.5} + {}^{1.5} C_{in}^{1.5}) \# {}^2 A^2 \\ &\quad * {}^{1.5} {}^2 B^2 * (C_{in}^{1.5} + {}^{1.5} C_{in}^{1.5}) \# {}^0 A^0 * {}^{1.5} {}^2 B^2 * {}^{1.5} C_{in}^{1.5} \\ &\quad \# {}^1 A^1 * {}^{1.5} {}^1 B^1 * {}^{1.5} C_{in}^{1.5} \# {}^2 A^2 * {}^{1.5} {}^0 B^0 * {}^{1.5} C_{in}^{1.5}] \\ &= \text{clk} * \overline{\text{clk}}^{1.5} \# \text{clk} * {}^{1.5} \overline{\text{clk}} * ({}^1 A^1 * {}^{1.5} {}^2 B^2 \# {}^2 A^2 \\ &\quad * {}^{1.5} {}^1 B^1 \# {}^2 A^2 * {}^{1.5} {}^2 B^2 \# {}^0 A^0 * {}^{1.5} {}^2 B^2 * {}^{1.5} C_{in}^{1.5} \\ &\quad \# {}^1 A^1 * {}^{1.5} {}^1 B^1 * {}^{1.5} C_{in}^{1.5} \# {}^2 A^2 * {}^{1.5} {}^0 B^0 * {}^{1.5} C_{in}^{1.5}) \quad (10) \end{aligned}$$

$$C_{out} = \overline{\text{clk}} * \overline{C}_{out}^{0.5} \# \overline{\text{clk}} * {}^{1.5} \text{clk} \quad (11)$$

式(10)中， $\text{clk} * \overline{\text{clk}}^{0.5}$ 表示当 $\overline{\text{clk}}$ 为低电平时，时钟 clk 对动态节点 \overline{C}_{out} 进行预充电；后一项表示当 $\overline{\text{clk}}$ 为高电平，且输入信号 $A+B+C_{in} > 2$ 时，储存在动态节点 \overline{C}_{out} 的电荷被回收至时钟 clk 的过程；式(11)表示的是 \overline{C}_{out} 经过绝热反相器得到进位信号 C_{out} 的过程。由式(10)和式(11)可以得到进位信号 C_{out} 的电路开关级结构，如图 2 所示。

同理可得本位和信号 S 的开关级结构式及电路，但与进位信号 C_{out} 不同，本位和信号 S 有 0, 1,

表1 三值加法器真值表

A	0	0	0	1	1	1	2	2	2	0	0	0	1	1	1	2	2	2
B	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2	0	1	2
C_{in}	0	0	0	0	0	0	0	0	0	2	2	2	2	2	2	2	2	2
S	0	1	2	1	2	0	2	0	1	1	2	0	2	0	1	0	1	2
C_{out}	0	0	0	0	0	2	0	2	2	0	0	2	0	2	2	2	2	2

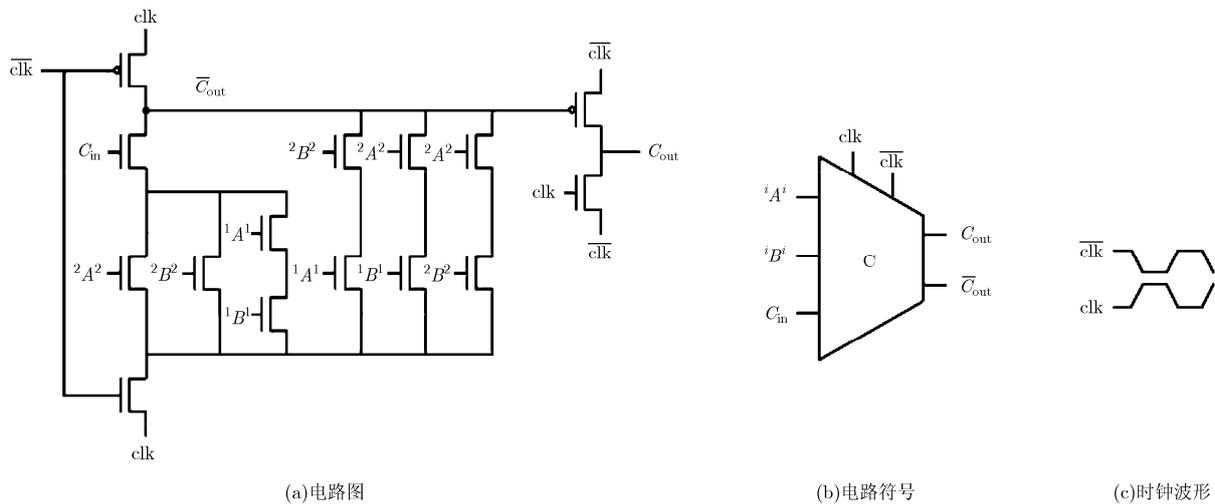


图2 进位信号 C_{out} 产生电路

2 三种逻辑值，因此需要不同的电路分别控制逻辑 1 信号和逻辑 2 信号的产生。令 Y_1, Y_2 分别是逻辑 1 信号和逻辑 2 信号的控制信号，则其开关级结构式如下：

$$Y_1 = clk * \overline{clk}^{0.5} \# clk * {}^{1.5} \overline{clk} * [{}^{1.5} \overline{C}_{in} * ({}^{1.5} {}^0 A^0 * {}^{1.5} {}^1 B^1 \# {}^{1.5} {}^1 A^1 * {}^{1.5} {}^0 B^0 \# {}^{1.5} {}^2 A^2 * {}^{1.5} {}^2 B^2) \# {}^{1.5} C_{in} * ({}^{1.5} {}^0 A^0 * {}^{1.5} {}^0 B^0 \# {}^{1.5} {}^1 A^1 * {}^{1.5} {}^2 B^2 \# {}^{1.5} {}^2 A^2 * {}^{1.5} {}^1 B^1)] \quad (12)$$

$$Y_2 = clk * \overline{clk}^{0.5} \# clk * {}^{1.5} \overline{clk} * [{}^{1.5} \overline{C}_{in} * ({}^{1.5} {}^0 A^0 * {}^{1.5} {}^2 B^2 \# {}^{1.5} {}^1 A^1 * {}^{1.5} {}^1 B^1 \# {}^{1.5} {}^2 A^2 * {}^{1.5} {}^0 B^0) \# {}^{1.5} C_{in} * ({}^{1.5} {}^0 A^0 * {}^{1.5} {}^1 B^1 \# {}^{1.5} {}^1 A^1 * {}^{1.5} {}^0 B^0 \# {}^{1.5} {}^2 A^2 * {}^{1.5} {}^2 B^2)] \quad (13)$$

式(12)中， $clk * \overline{clk}^{0.5}$ 表示当 \overline{clk} 为低电平时，时钟 clk 对动态节点 Y_1 进行预充电；后一项表示当 \overline{clk} 为高电平，且输入信号 $A+B+C_{in}=1$ 时储存在动态节点 Y_1 的电荷被回收至时钟 clk 的过程， Y_1 变为低电平；式(13)表示的电路工作过程与式(12)类似，不同的是当输入信号 $A+B+C_{in}=2$ 时动态节点 Y_2 的电荷被回收至时钟 clk ， Y_2 变为低电平。根据式(12)和式(13)可以得到控制信号 Y_1, Y_2 的电路开关级结

构，如图 3 所示。

利用控制信号 Y_1, Y_2 可以控制逻辑 1 信号和逻辑 2 信号的产生，从而得到三值加法器的本位和信号 S ，本位和信号 S 产生电路开关级结构式如下：

$$S = \overline{clk}_1 * Y_1^{1.5} \# \overline{clk} * Y_2^{1.5} \# \overline{clk} * {}^{1.5} clk \quad (14)$$

式(14)中， $\overline{clk}_1 * Y_1^{1.5} \# \overline{clk} * Y_2^{1.5}$ 表示的电路工作过程为：当 Y_1 为低电平时，由于 \overline{clk}_1 的幅值代表逻辑值 1，所以本位和信号 S 输出为 1；当 Y_2 为低电平时，由于 \overline{clk} 的幅值代表逻辑值 2，此时本位和信号 S 输出为 2。 $\overline{clk} * {}^{1.5} clk$ 表示当 clk 为高电平时，节点 S 上储存的电荷被回收至 \overline{clk} 的过程。由式(12)和式(13)可知，当 clk 为高电平时， \overline{clk} 为低电平，节点 Y_1 和 Y_2 被充电至高电平，而不会出现当 clk 为高电平时， Y_1 和 Y_2 为低电平的情况，从而保证 \overline{clk} 和 \overline{clk}_1 不会短路。式(14)所示的电路开关级结构如图 4 所示。由图 3 和图 4 所示的电路便可构成完整的本位和信号 S 的产生电路，其电路符号与时钟波形如图 5 所示。

由三值绝热多米诺文字运算电路、进位信号产生电路和本位和信号产生电路便可以构成一位三值绝热多米诺加法器，其电路结构图、电路符号及时钟波形如图 6 所示。图 6(a)中电路符号为“L”的电路是三值绝热多米诺文字运算电路。

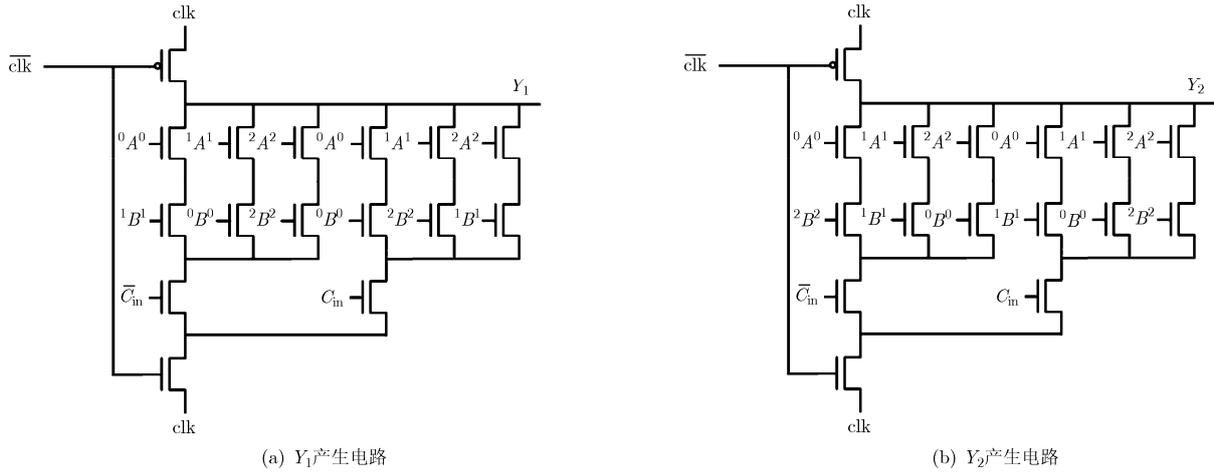


图 3 控制信号 Y_1, Y_2 产生电路

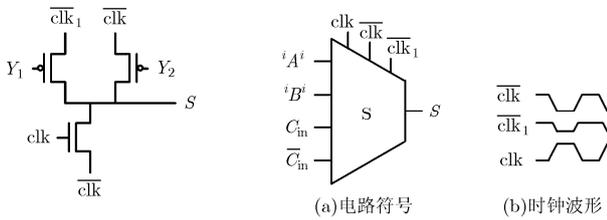


图 4 本位和信号 S 输出电路

图 5 本位和信号 S 电路符号及时钟波形

3.2 四位三值绝热多米诺加法器设计

采用串行级联方式，将每位三值绝热多米诺加法器的进位输出 C_{out} 和 \bar{C}_{out} 与下一位三值加法器的

进位输入 C_{in} 和 \bar{C}_{in} 相连，便可以组成多位三值绝热多米诺加法器。为消除前一位加法器进位输出信号 C_{out} 和 \bar{C}_{out} 的延迟对后级电路的影响，可以利用绝热多米诺缓冲器使前一位的进位信号与本位的输入信号同步，从而保证电路逻辑功能的正确性。绝热多米诺缓冲器的电路结构与绝热多米诺文字运算电路类似，其输出信号比输入信号延迟半个时钟周期，区别之处在于波形转换电路中功率时钟的幅值不同。四位三值绝热多米诺加法器电路结构如图 7 所示，其中第 1 位三值加法器的进位输入 C_{in} 、 \bar{C}_{in} 分别接 0、 \bar{clk} ； $A_3A_2A_1A_0$ 与 $B_3B_2B_1B_0$ 分别为加数与被加数。

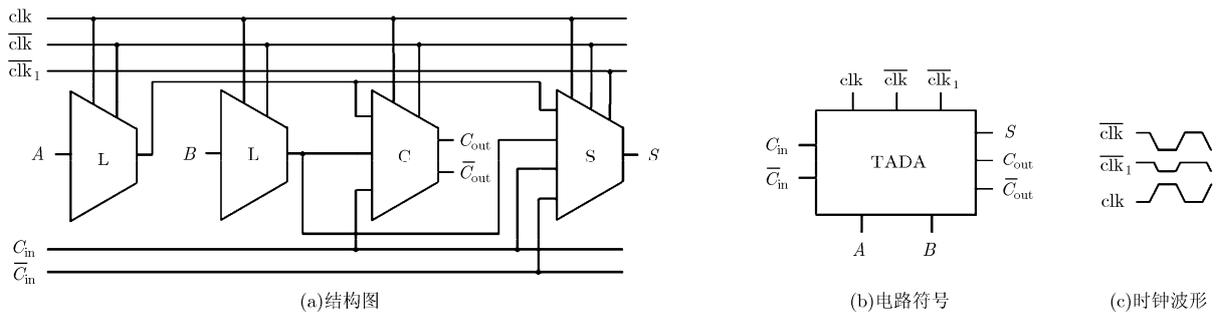


图 6 一位三值绝热多米诺加法器

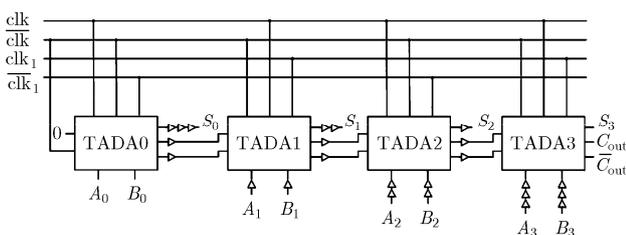


图 7 四位三值绝热多米诺加法器

4 计算机模拟

利用 Spice 软件，在 TSMC 0.25 μm CMOS 工艺参数下，对四位三值绝热多米诺加法器进行模拟，波形如图 8 所示。其中逻辑值 0, 1, 2 对应的电平分别为 0 V, 1.25 V, 2.5 V； clk_1 、 \bar{clk}_1 、 clk 、 \bar{clk} 的幅值分别为 1.25 V, 1.25 V, 2.5 V, 2.5 V，频率都为 20 MHz；NMOS 宽长比均取 0.36 $\mu\text{m}/0.24 \mu\text{m}$ ，PMOS 宽长比均取 0.72 $\mu\text{m}/0.24 \mu\text{m}$ ；负载电容为 10 fF；

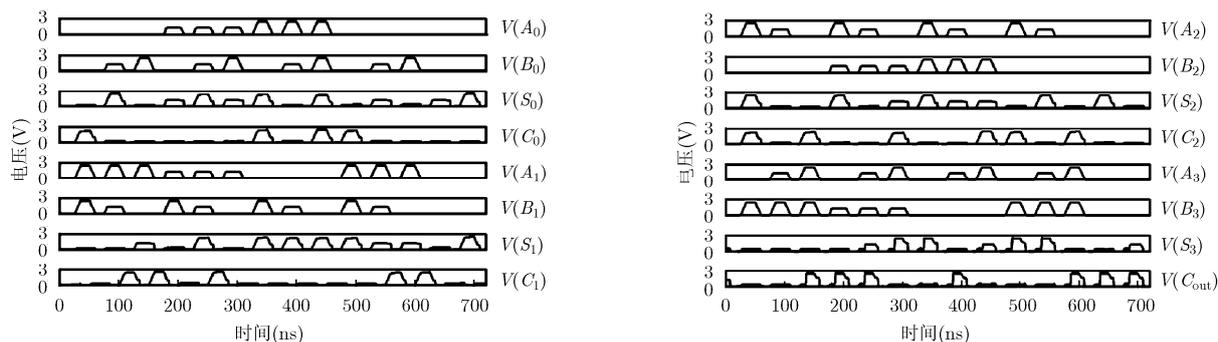


图8 四位三值绝热多米诺加法器模拟波形

$A_3A_2 A_1A_0$ 与 $B_3B_2B_1B_0$ 分别为加数与被加数; $S_3S_2 S_1S_0$ 为四位输出信号, C_{out} 为进位信号。分析图 8 可知, 该电路的逻辑功能与三值加法器真值表一致, 证明所设计电路逻辑功能正确。

在相同参数下, 将绝热多米诺三值加法器与采用直流电源的常规多米诺三值加法器进行瞬态能耗比较, 如图 9 所示。图中绝热多米诺三值加法器瞬态能耗曲线的凹底表示能量被回收至功率时钟, 从而有效地降低电路功耗。经分析, 该绝热三值加法器功耗节省约 61%, 证明所设计电路低功耗特性明显。此外, 该三值加法器由于采用了多米诺电路, 因此具有结构简单的优点, 与基于 DTCTGAL 电路设计的三值加法器^[8]相比, 每位加法器电路的晶体管数量减少约 47%, 降低了电路的成本。

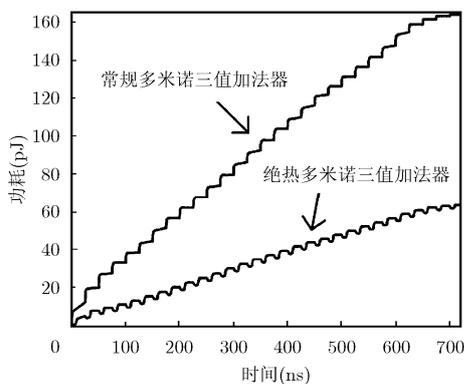


图9 瞬态能耗比较图

5 结束语

本文利用开关-信号理论, 提出一种新颖的低功耗三值加法器的开关级设计方案。该方案采用绝热多米诺电路进行设计, 使用功率时钟供电, 回收节点电容上的电荷, 实现能量的重复利用, 从而降低了电路的功耗, 并且具有结构简单、成本低的优点。利用该三值加法器单元可以构成更多位数的三值加法器, 推动三值数字系统的实用化进程。

参考文献

- [1] Keshavarzian P and Navi K. Universal ternary logic circuit design through carbon nanotube technology[J]. *International Journal of Nanotechnology*, 2009, 6(10/11): 942-953.
- [2] Lin Mi, Lu Wei-feng, and Sun Ling-ling. Design of ternary D flip-flop with pre-set and pre-reset functions based on resonant tunneling diode literal circuit[J]. *Journal of Zhejiang University-Science C*, 2011, 12(6): 507-514.
- [3] Moayeri MH, Doostaregan A, and Navi K. Design of energy-efficient and robust ternary circuits for nanotechnology[J]. *IET Circuits, Devices & Systems*, 2011, 5(4): 285-296.
- [4] Kursun V and Liu Zhi-yu. Domino logic circuit techniques for suppressing subthreshold and gate oxide leakage[P]. US Patent: 7855578, 2010.
- [5] 汪金辉, 宫娜, 耿淑琴, 等. 45 nm 工艺 pn 混合下拉网络多米诺异或门设计[J]. *半导体学报*, 2008, 29(12): 2443-2447.
Wang Jin-hui, Gong Na, Geng Shu-qin, et al. Design of pn mixed pull-down network Domino XOR gate in 45 nm technology[J]. *Journal of Semiconductors*, 2008, 29(12): 2443-2447.
- [6] 李学初, 高清运, 陈浩琼, 等. CMOS 集成时钟恢复电路设计[J]. *电子与信息学报*, 2007, 29(6): 1496-1499.
Li Xue-chu, Gao Qing-yun, Chen Hao-qiong, et al. The design of monolithic CMOS clock recovery circuit[J]. *Journal of Electronics & Information Technology*, 2007, 29(6): 1496-1499.
- [7] Navi K, Maeen M, Foroutan V, et al. A novel low-power full-adder cell for low voltage[J]. *Integration, the VLSI Journal*, 2009, 42(4): 457-467.
- [8] 汪鹏君, 李昆鹏. 基于电路三要素理论的三值绝热加法器设计[J]. *电子学报*, 2011, 39(5): 1037-1041.
Wang Peng-jun and Li Kun-peng. Design of ternary adiabatic adder based on theory of three essential circuit elements[J]. *Acta Electronica Sinica*, 2011, 39(5): 1037-1041.
- [9] 杭国强, 陆慧娟. 新型电流型 CMOS 三值施密特电路设计[J]. *浙江大学学报(工学版)*, 2006, 40(7): 1141-1145.

- Hang Guo-qiang, Lu Hui-juan. Novel current-mode CMOS ternary Schmitt trigger[J]. *Journal of Zhejiang University (Engineering Science)*, 2006, 40(7): 1141-1145.
- [10] 汪鹏君, 曾小旁. 具有预计算功能的新型绝热数值比较器设计[J]. 电子与信息学报, 2010, 32(1): 214-218.
- Wang Peng-jun and Zeng Xiao-pang. Design of new adiabatic digital comparator with pre-computational function[J]. *Journal of Electronics & Information Technology*, 2010, 32(1): 214-218.
- [11] 杨乾坤, 汪鹏君, 郑雪松. 三值绝热多米诺文字运算电路开关级设计[J]. 电路与系统学报, 2012, 17(4): 36-40.
- Yang Qian-kun, Wang Peng-jun, and Zheng Xue-song. Design of ternary adiabatic Domino literal operation circuit on switch-level[J]. *Journal of Circuits and Systems*, 2012, 17(4): 36-40.
- 汪鹏君: 男, 1966 年生, 博士, 教授, 博士生导师, 从事高信息密度和低功耗集成电路理论及设计方面的研究工作.
- 杨乾坤: 男, 1987 年生, 硕士生, 研究方向为高信息密度和低功耗集成电路理论及设计.
- 郑雪松: 男, 1989 年生, 硕士生, 研究方向为高信息密度和低功耗集成电路理论及设计.