

基于伪布尔可满足性的纳米 CMOS 电路单元配置

王先建 王伦耀* 储著飞 夏银水
(宁波大学信息科学与工程学院 宁波 315211)

摘要: 针对传统布尔可满足性(SAT)法在处理纳米 CMOS 电路(CMOL)单元配置时,存在合取范式(CNF)表示的约束子句个数过多、中间处理文件过大的问题,该文提出了利用伪布尔可满足性(PBS)来解决 CMOL 电路的单元配置问题。实验结果显示,相对于传统的 SAT 法, PBS 法在不增加额外的布尔变量集个数的条件下,通过降低编码过程中的约束个数,能有效减少中间处理文件大小,达到提高算法效率和提高处理大电路的能力。

关键词: 纳米 CMOS 电路; 单元配置; 布尔可满足性; 伪布尔可满足性

中图分类号: TN402; TP391.72

文献标识码: A

文章编号: 1009-5896(2012)10-2508-06

DOI: 10.3724/SP.J.1146.2012.00375

Nano-meter CMOS Circuit Cell Assignment Based on Pseudo-Boolean Satisfiability

Wang Xian-jian Wang Lun-yao Chu Zhu-fei Xia Yin-shui

(Faculty of Information Science and Engineering, Ningbo University, Ningbo 315211, China)

Abstract: With the deficiency of the efficient of the Boolean Satisfiability (SAT) in the nano-meter CMOS circuit (CMOS/nanowire/Molecular, CMOL) cell assignment resulted from the huge number of clauses and the big intermediate processing file, a novel approach using Pseudo-Boolean Satisfiability (PBS) to solve the CMOL cell assignment is proposed. The experimental results show that the proposed method can reduce the intermediate processing file efficiently by cutting down the number of the constraints without the additional Boolean variables introduced. The reduction of clauses and the intermediate processing file makes the proposed method work efficiently and improve the ability to deal with bigger circuits in contrast to the traditional SAT-based methods.

Key words: Nano-meter CMOS circuit; Cell assignment; Boolean satisfiability; Pseudo-Boolean Satisfiability (PBS)

1 引言

CMOL 电路是结合纳米技术和传统 CMOS 工艺的 CMOS/纳米线/分子混合(CMOS/nanowire/Molecular hybrid, CMOL)电路结构^[1],而且文献[2]从理论上证明了 CMOL 电路进行单元配置可实现电路逻辑功能的完备性。由于 CMOL 电路结构既保留了目前成熟的 CMOS 工艺,同时又具有纳电子器件所具有的高密度特点而受到研究者的广泛关注,其研究内容包括 CMOL 存储器^[3]、CMOL FPGA^[4]以及神经元电路^[5]等等。而在有关 CMOL CAD 的研究中,CMOL 的单元配置方法一直是一个重要内容^[4,6-8],因为它是 CMOL 电路实现特定功能必经的步骤。

目前对 CMOL 电路的单元配置方法已经开展了一些研究。这些方法包括基于逻辑簇(Tile)的设计方法^[4],基于力矢量算法^[6],启发式算法^[7]以及电路等效变换法^[8]等,并发展出了 CMOL 自动综合工具 CMOL FPGA CAD 1.0^[4]。

CMOL 电路的单元配置问题实际上也可以被描述成一个可满足性问题(Satisfiability Problem),因此可以利用布尔可满足性(Boolean Satisfiability, SAT)来解决 CMOL 电路的单元配置问题。但在已发表的利用 SAT 实现 CMOL 电路单元配置的方法中^[9],由于采用二项式编码^[10],使得子句的个数过多、中间处理文件过大,影响了算法的效率和处理电路大小的能力。相比于用合取范式(Conjunctive Normal Form, CNF)表示的约束,伪布尔(Pseudo-Boolean, PB)约束更加容易表示^[11-15]。目前伪布尔可满足性(Pseudo-Boolean Satisfiability, PBS)法^[11]已被成功应用于低功耗状态分配^[12]和最大电路开关性估计^[13]等领域中。本文提出利用 PBS 法来解决

2012-04-05 收到, 2012-06-13 改回

国家自然科学基金重点项目(61131001)和教育部博士点基金(20113305110001)资助课题

*通信作者: 王伦耀 wanglunyao@nbu.edu.cn

CMOL 电路的单元配置问题，该方法在不增加额外的布尔变量集个数的条件下，通过降低编码过程中的约束个数^[10,11]达到减少中间处理文件大小的目的。实验结果表明，相比于文献[9]的基于传统 SAT 的 CMOL 单元配置方法，本文采用的方法能有效减少中间处理文件大小，达到加快算法速度和提高求解电路规模的目的。

2 CMOL FPGA 结构

图 1 为 CMOL FPGA 结构，它由 CMOS 反相器、可配置纳米二极管和纳米连线层组成。可配置纳米二极管位于两层互相垂直纳米连线的中间。其中 CMOS 反相器实现逻辑“非”功能，纳米线实现逻辑线“或”功能。因此可以通过设置纳米二极管通断状态，实现不同纳米线和 CMOS 反相器的连接，从而实现复杂的逻辑功能。以图 1 中所示连接为例，信号 A 和信号 B 分别通过下面路径：信号 A → 界面触点 P₁ → 纳米线 L₁ → 纳米二极管 N₁；信号 B → 界面触点 P₂ → 纳米线 L₂ → 纳米二极管 N₂ 汇集到纳米线 L₃ 实现逻辑线“或”，然后通过纳米线 L₃ → 界面触点 P₃ → CMOS 反相器 → 信号 F 这条路径实现逻辑“或非”，即 $F = \overline{A + B}$ 。由于 CMOL 单元中只包含最基本的反相器，所以 CMOL FPGA 仅适合完成“或非/非”逻辑。

在 CMOL 电路中，纳米线以一定的长度周期性断开，纳米线的这种特点使得每一个 CMOL 单元只能与周围 $M = 2r(r - 1) - 1$ 个其它 CMOL 单元相连，其中 r 为连通域半径。以图 1 为例，其中 r 为 3，图中深灰色单元 C 只能与周围 11 个浅灰色单元连通，这些浅灰色单元构成了深灰色单元的连通域。此外，CMOL 电路中的两点相对位置常用曼哈顿距离来表示。如在图 1 中，C、D 两个 CMOL 单元的坐标分别为 $C(x_1, y_1)$ ， $D(x_2, y_2)$ ，则它们之间的曼哈

顿距离为 $|x_1 - x_2| + |y_1 - y_2|$ 。利用连通域半径和曼哈顿距离就可以确定某一 CMOL 单元的连通域。以图 1 为例，在图 1 中坐标原点在 C 上，坐标轴将图 1 分为 4 块，分别为第 1 至第 4 象限，则当图 1 中某一点 D 与 C 的曼哈顿距离分别不大于 r ， $r - 1$ ， $r - 2$ 及 $r - 1$ 时，那么满足这些曼哈顿距离约束条件的 CMOL 单元 D 的个数就是 CMOL 单元 C 的连通域大小。

3 CMOL 单元配置问题的 PBS 描述

3.1 伪布尔可满足性

SAT 是用来解决给定的布尔方程是否存在一组变量赋值使问题为可满足。而布尔方程的描述常采用 CNF 来表示。在 CNF 中，由 m 个子句 w_1, \dots, w_m 的合取组成；而子句由 k 个文字的析取组成。其中一个文字即为一个变量或者其反变量。因此，为了满足一个式子，每一个子句必须至少有一个文字的值为真。

例如，一个 CNF 例子 $f(x_1, x_2, x_3) = (\bar{x}_1 \vee x_2) \wedge (x_1 \vee \bar{x}_2 \vee \bar{x}_3) \wedge (x_3)$ 由 3 个变量，3 个子句和 6 个文字组成。配置 $\{x_1 = 1, x_2 = 0, x_3 = 1\}$ 将导致一个冲突，使得式子 f 不可满足。然而配置为 $\{x_1 = 0, x_2 = 0, x_3 = 1\}$ 和 $\{x_1 = 1, x_2 = 1, x_3 = 1\}$ 时都能使得式子 f 可满足。

随着 SAT 法的快速发展，SAT 求解器被扩展用来处理 PB 约束，即为带整数系数的线性不等式。伪布尔可满足性问题可表示为 PB 约束的合取，其中 PB 约束可表示为

$$\sum_i a_i l_i \triangleright b \tag{1}$$

式(1)中 a_i 和 b 为整数常数； l_i 为一个文字，可表示为变量 x_i 和其反变量 \bar{x}_i ，即 $l_i = x_i$ 或者 $l_i = \bar{x}_i$ ，其中 $x_i \in \{0, 1\}$ ， $\bar{x}_i = 1 - x_i$ ；“ \triangleright ”为关系操作符，可表示“=”，“>”，“≥”，“<”或者“≤”。若式(1)中的 $|a_i|$ 都为同一个数 a_0 时，则式(1)对应的 PB 约束称为基数约束(cardinality constraints)，即

$$\sum_i l_i \triangleright \left\lfloor \frac{b}{a_0} \right\rfloor \tag{2}$$

假设一个 PB 式子 F 为 PB 约束的合取。对于 PBS 问题，如果存在一组配置解 x_1, \dots, x_m 满足所有的 PB 约束使得 F 为真，则表示 F 可满足，这一组解即为可配置解。

例如，给定一个 $F(x_1, x_2, x_3) = (2x_1 - 2x_2 \geq 1) \wedge (x_1 + x_2 + \bar{x}_3 \geq 1)$ ，它由 3 个布尔变量，5 个文字，2 个 PB 约束组成。 $\{x_1 = 1, x_2 = 0, x_3 = 1\}$ 和 $\{x_1 = 1, x_2 = 0, x_3 = 0\}$ 等都为可满足配置解。

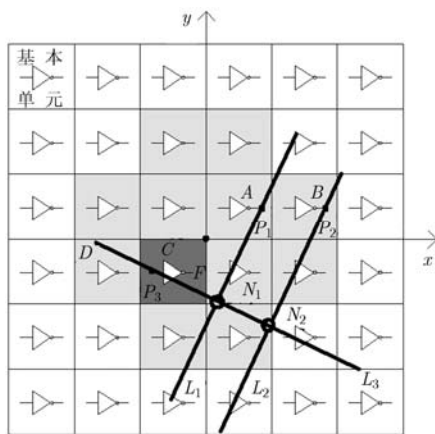


图 1 CMOL FPGA

3.2 CMOL 单元配置问题的 PBS 描述

由于 CMOL 电路仅适于“或非/非”逻辑电路, 因此在进行 CMOL 单元配置之前需要对原始电路进行转换, 该转换可以借助逻辑综合工具 SIS 将由“与/或/非”逻辑电路转换成“或非/非”逻辑电路。而 CMOL 单元配置过程就是通过设置可配置纳米二极管的状态, 将一个给定的逻辑电路功能用 CMOL FPGA 实现的过程。

在 CMOL 单元配置过程中, 一般将电路输入输出端口放在 CMOL 电路的四周。因此对于一个由行(row), 列(column)构成的 CMOL 单元阵列, 令 C 表示该阵列的 CMOL 单元集合, $\|C\|$ 表示集合 C 中的元素个数; C_1 表示位于 C 边界上的 CMOL 单元集合, $\|C_1\|$ 表示集合 C_1 中的元素个数; C_2 表示位于非 C 边界上的 CMOL 单元集合, $\|C_2\|$ 表示集合 C_2 中的元素个数。则有

$$\left. \begin{aligned} \|C\| &= \|C_1\| + \|C_2\| \\ \|C_1\| &= 2 \times \text{row} + 2 \times (\text{column} - 2) \\ \|C_2\| &= (\text{row} - 2) \times (\text{column} - 2) \\ C_1 \cup C_2 &= C \\ C_1 \cap C_2 &= \emptyset \end{aligned} \right\} \quad (3)$$

由于 CMOL 电路结构存在连通域约束, 因此对于一个 CMOL 单元 c , $c \in C$, $D(c)$ 为构成 c 的连通域的 CMOL 单元的集合, 则有

$$D(c) \subset C \quad (4)$$

给定一个基于“或非/非”逻辑的电路 K , 电路 K 可被看作是一个无环有向图(Directed Acyclic Graph, DAG), 即 $K = (G, E)$ 。其中 G 为对应于“或非/非”门的节点集合, $E = G \times G$ 表示连接的门与门的边的集合。对于电路中的任意门 $g, g' \in G$, 要想得到 $(g, g') \in E$, 当且仅当门 g 的输出与门 g' 的输入相连, 亦即

$$\forall g, g' \in G. \left\{ (g, g') \in E \Leftrightarrow (g \in \text{fanin}(g')) \right\} \quad (5)$$

根据逻辑门在逻辑电路中所处的位置的不同, 可以将逻辑门集合 G 分为 3 个子集, 即 G_1 , G_2 和 G_3 , 分别表示输入端口的逻辑门集合, 输出端口的逻辑门集合和非输入输出端口的逻辑门集合, 并用 $\|G_1\|$, $\|G_2\|$ 和 $\|G_3\|$ 表示各子集中包含的元素个数。并且有

$$\left. \begin{aligned} \|G\| &\leq \|G_1\| + \|G_2\| + \|G_3\| \\ G_1 \cup G_2 \cup G_3 &= G \\ G_1 \cap G_3 &= \emptyset \\ G_2 \cap G_3 &= \emptyset \end{aligned} \right\} \quad (6)$$

CMOL 单元配置问题则可描述为将给定的电路逻辑门的集合 G 配置到 CMOL 单元集合 C 中是否存在可配置解的问题。CMOL 单元配置问题可用数学式描述成一个内射函数 P , 即 $P: G \rightarrow C$ 。在进行 CMOL 单元配置过程中, 至少要满足以下 4 个约束:

(1) 与输入、输出端口相连的门必须被配置到阵列边界的 CMOL 单元上, 作为 I/O 口, 即

$$\forall g \in G_1 \cup G_2 \Rightarrow P(g) \in C_1 \quad (7)$$

(2) 每个“或非/非”门必须被配置到有且仅有一个 CMOL 单元上, 即

$$\forall g, g' \in G. \left\{ (g = g') \Rightarrow (P(g) = P(g')) \right\} \quad (8)$$

(3) 两个或者两个以上不同的门不能被配置到同一个 CMOL 单元上, 即

$$\forall g, g' \in G. \left\{ (g \neq g') \Rightarrow (P(g) \neq P(g')) \right\} \quad (9)$$

(4) 电路中有连接关系的门单元位于各自的连通域中, 即

$$\forall g, g' \in G. \left\{ ((g, g') \in E) \Rightarrow (p(g) \in D(P(g'))) \right\} \quad (10)$$

考虑到 CNF 中子句的数量与布尔变量成指数级增加, 为此本文在不增加额外的布尔变量集个数的条件下, 采用 PB 约束代替 CNF, 达到减少约束个数的目的。在描述 CMOL 单元配置问题时, a_i 为 0 或 1, b 为 1, 相关的 PB 约束可以表示为以下 3 种约束, 分别为:

(1) 关系操作符“ \triangleright ”为“ \leq ”时, 即为“至多一个”基数约束, 简称 AMO(At-Most-One)约束, 即

$$\sum_i a_i l_i \leq 1 \quad (11)$$

(2) 关系操作符“ \triangleright ”为“ \geq ”时, 即为“至少一个”基数约束, 简称 ALO(At-Least-One)约束。这种 PB 约束等价于标准的 SAT 子句, 即

$$\sum_i a_i l_i \geq 1 \quad (12)$$

(3) 关系操作符“ \triangleright ”为“ $=$ ”时, 即为“有且仅有一个”基数约束, 简称 EO(Exactly-One)约束, 即

$$\left(\sum_i a_i l_i = 1 \right) \Leftrightarrow \left(\sum_i a_i l_i \geq 1 \right) \wedge \left(\sum_i a_i l_i \leq 1 \right) \quad (13)$$

CMOL 单元配置问题主要由这 3 种基数约束来表示, 从 3 种基数约束可以看出, 只须对 AMO 约束进行改进即可。传统的 SAT 法针对 AMO 约束采用二项式编码法, 即

$$\bigwedge_{i=1}^{n-1} \bigwedge_{j=i+1}^n (\bar{x}_i \vee \bar{x}_j) \quad (14)$$

通过这种编码一个 AMO 约束会产生 $n(n-1)/2$ 个子句, 而采用 AMO 约束编码只需 1 个 PB 约束。例如, AMO 约束 $x_1 + x_2 + x_3 \leq 1$, 利用二项式编码时, 则产生 $(\bar{x}_1 \vee \bar{x}_2)$, $(\bar{x}_1 \vee \bar{x}_3)$ 和 $(\bar{x}_2 \vee \bar{x}_3)$ 3 个子句。并且 PBS 问题中的 AMO 约束和 ALO 约束可以用一个 EO 约束来代替。例如一个 EO 约束 $x_1 + x_2 + x_3 = 1$, 传统 SAT 法需要 $(\bar{x}_1 \vee \bar{x}_2)$, $(\bar{x}_1 \vee \bar{x}_3)$, $(\bar{x}_2 \vee \bar{x}_3)$ 和 $(x_1 \vee x_2 \vee x_3)$ 4 个子句。

在本文中, 布尔变量 P_g^c 表示将门 g 配置到 CMOL 单元 c 中, 其中 $g \in G$ 和 $c \in C$ 。因此给定一个电路 G 和 CMOL 单元阵列, 符合式(7)–式(10)的 CMOL 单元配置可以被编码成以下几种类型的 PB 约束:

(1) 当门 g 必须被配置到有且仅有一个 CMOL 单元 c 上, 即可编码成

$$\sum_{g \in G} \left(\sum_{c \in C} P_g^c = 1 \right) \quad (15)$$

(2) 当 CMOL 单元 c 至多被一个门 g 配置, 即可编码成

$$\sum_{c \in C} \left(\sum_{g \in G} P_g^c \leq 1 \right) \quad (16)$$

(3) 当门 g' 配置在 CMOL 单元 c 上, 那么与门 g' 的输入线有连接关系的门 g 应该配置在 CMOL 单元 c 的连通域范围内, 即可编码成

$$\sum_{(g, g') \in E} \left(\sum_{g' \in G, c \in C} \left(\bar{P}_{g'}^{c'} + \sum_{g \in G, c \in D(c')} P_g^c \geq 1 \right) \right) \quad (17)$$

将式(15)–式(17)中的 PB 约束集导入 PBS 求解器中。针对 CMOL 单元配置时碰到的实际问题, 可导入更多其它的 PB 约束。例如, 任意的“或非/非”门可以配置到满足以上 PB 约束的任意的 CMOL 单元上。考虑到属于 G_1 和 G_2 的门被要求配置在阵列边界当作 I/O 口, 因此可设置 $\sum_{c \in C_1} P_g^c = 1$ 。这样能够通过 PB 约束传播达到简化 CMOL 单元配置问题。

PBS 法的具体步骤为:

步骤 1 通过 SIS 逻辑综合工具将原始 BLIF 电路网表文件转换成全由“或非/非”门组成的 BLIF 格式电路文件;

步骤 2 读入基于“或非/非”门的 BLIF 电路, 对输入信号、“或非/非”门等进行标号;

步骤 3 根据标号的个数以及 I/O 个数来设置 CMOL 单元阵列大小;

步骤 4 应用 PBS 法根据式(7)–式(10)的条件约束将基于“或非/非”门的 BLIF 电路配置到

CMOL 单元阵列中;

步骤 5 将步骤 4 中的所有 PB 约束导入到 PBS 求解器中, 如果有一个解满足所有的 PB 约束, 那这个解就是 CMOL 单元配置解, 反之则无可配置解。

4 实例说明

下面以全加器为例子来说明一个原始的电路是如何利用 PBS 法配置到 CMOL 电路中的。

步骤 1 通过 SIS 逻辑综合工具对原始全加器的 BLIF 电路网表文件转换成由“或非/非”门组成的 BLIF 格式电路文件, 如图 2(a)所示。

步骤 2 由图 2(a)中可以看出, 电路有 3 个输入信号 A, B, C , 2 个输出信号 Sum, D , 有 15 个标号, 其中标号 1, 2, 3 为输入信号, 标号 11, 15 为输出信号门, 标号 4, 5, 6 为“非”门, 标号 7, 8, 9, 10, 11, 12, 13, 14, 15 为“或非”门。并将它们之间的连接关系进行记录, 例如标号 11 的门与标号 7, 8, 9, 10 的门相连。

步骤 3 此例可设置 5×4 大小的 CMOL 单元阵列, 如图 2(b)所示。为与传统的 SAT 法进行公平对比, 默认设置连通域半径 r 也为 9。

步骤 4 应用 PBS 法将基于“或非/非”门的全加器电路配置到 CMOL 单元阵列中。如图 2(b)所示, 将 A, B, C, Sum, D 配置在固定的阵列边界, 将式(7)条件约束编码成 PB 约束, 例如 $P_{11}^{5,2} = 1$, 式中的 P 的下标号 11 为输出门即输出信号 Sum , P 的上标号 5, 2 为第 5 行第 2 列的 CMOL 单元, $P_{11}^{5,2} = 1$ 代表标号为 11 的门被配置在第 5 行第 2 列的 CMOL 单元上。其他标号的门任意配置在左下角的 4×3 的 CMOL 单元阵列中, 即门 g 必须被配置到有且仅有一个 CMOL 单元 c 上, 将式(8)条件约束编码成 PB 约束, 例如 $\sum_{j=1}^3 \sum_{i=2}^5 P_4^{i,j} = 1$ 。从该式中可以看出, $P_4^{i,j}$ 至少有一个为 1, 即标号为 4 的门至少要配置 CMOL 单元上。当 $P_4^{5,1} = 1$ 时, $P_4^{i,j}$ 除 $i=5, j=1$ 时其他都为 0, 即标号为 4 的门至多被配置到一个 CMOL 单元上。当 CMOL 单元 c 至多被一个门 g 配置, 可将式(9)的条件约束编码成 PB 约束, 例如 $\sum_{i=1}^{15} P_i^{5,2} \leq 1$ 。因为此 CMOL 单元已经配置, $P_{11}^{5,2} = 1$, 那么从式中就可以看出 $P_4^{5,2} = 0$ 等, 就是说标号 4 的门等不能再配置在此 CMOL 单元上。当门 g' 配置在 CMOL 单元 c 上, 那么与门 g' 的输入线有连接关系的门 g 应该配置在 CMOL 单元 c 的连通域范围内, 将式(10)条件约束编码成 PB 约束, 例如 $\bar{P}_{11}^{5,2} + \sum_{j=1}^4 \sum_{i=1}^5 P_7^{i,j} \geq 1$ 。从图 2(a)中可

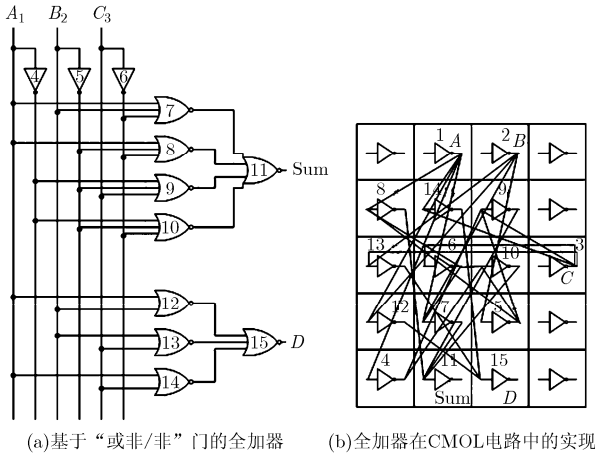


图2 全加器实例

以看出，标号 11 的输入与标号 7 的输出相连，即这两个门具有连接关系。CMOL 单元的连通域大小为 143，利用坐标法，可以求解出第 5 行第 2 列的连通域范围为全部 CMOL 阵列。因为 $P_{11}^{5,2} = 1, \bar{P}_{11}^{5,2} = 1 - P_{11}^{5,2} = 0$ ，那么 $P_7^{i,j}$ 至少有一个 1，即标号 7 至少被配置到标号 11 的一个连通域 CMOL 单元上。

步骤 5 将步骤 4 中的所有 PB 约束导入到 PBS 求解器中，如果有一个解满足所有的 PB 约束，那么这个解就是 CMOL 单元配置解。即基于“或非/非”门的全加器电路成功配置到 CMOL 电路中。

5 实验结果

本文中提到的基于 PBS 的 CMOL 单元配置法用 C 语言编程实现，通过 GCC 编译，在 linux 操作系统及 Intel Pentium Dual-core 3 GHz CPU, 2 GB

RAM 的 PC 环境下运行。表 1 中的数据是采用 perl 脚本语言对每个测试电路进行 20 次的实验测试，然后取出相对公平的中间值得到的。

表 1 为本文配置方法的运行结果与传统的 SAT 方法的运行结果进行比较得到的实验结果。为了保证比较的公平性，本文的连通域半径也设置为 $r = 9$ ，传统的 SAT 方法采用的 SAT 求解器是 Minisat^[14]，本文采用的 PBS 求解器是 SAT4JPseudo^[15]。该求解器也是基于 Minisat 的一个整数线性规划求解器。表 1 各个参数的意义如下：“电路”表示 ISCAS 89 标准测试电路；“单元”表示已被配置的 CMOL 单元总数，也就是电路中要配置的单元总数；“面积”表示为预先分配的 CMOL 单元阵列大小，即 $row \times column$ 。“布尔变量”表示编码过程中引入的布尔变量总数；“子句”表示 CNF 文件中子句的总数；“PB 约束”表示 OPB 文件中 PB 约束的总数；“CNF”表示 CNF 文件的大小及“OPB”表示 OPB 文件的大小，单位为“kB”；“时间”分别表示 SAT 求解器求解 CNF 文件及 PBS 求解器求解 OPB 文件所用的时间，单位为“s”。“几何平均值”表明各个数据的平均值，即几何平均值 $= \sum_{i=1}^n D_i / n$ 。式中 n 为测试电路的总个数， D_i 为第 i 个测试电路的数据， $\sum_{i=1}^n D_i$ 为所有测试电路的数据总和。表 1 中，“-”表示传统的 SAT 法无法对 s420 及 s526 进行求解。在统计求解时间数据时这两个测试电路不参与计算。归一化值将 PBS 法中的各项数据记为 1，传统的 SAT 法中的归一化值为其各项数据与 PBS 法的数据的比值。

表 1 实验结果

电路	单元	面积	传统的 SAT 法 ^[9]				PBS 法			
			布尔变量	子句数	CNF (kB)	时间(s)	布尔变量	PB 约束	OPB (kB)	时间(s)
s27	19	5×5	376	7164	111	0.07	376	481	58	0.21
s208	136	13×12	18246	2444373	45669	509.84	18246	29034	14869	4.07
s298	122	13×12	14962	1829223	34218	370.30	14962	31208	12183	3.66
s344	179	14×14	27884	4595793	86646	6.18	27884	47223	25904	6.05
s349	184	14×14	28864	4834296	91008	7.60	28864	44620	26883	6.36
s382	175	14×14	26956	4377249	81189	12.88	26956	50335	23420	6.20
s386	164	14×13	26416	4278318	80480	10.30	26416	57556	24828	22.84
s400	186	15×14	31524	5540402	103016	7.52	31524	58658	28890	6.85
s420	299	18×18	83820	24097505	435109	-	83820	134567	89774	16.64
s444	187	15×14	31314	5489242	104079	7.59	31314	60757	31435	8.92
s510	304	18×18	88768	26315936	479250	213.27	88768	156452	103421	61.74
s526	277	17×17	67422	17367222	319807	-	67422	130276	75973	30.86
几何平均值			37213	8431394	153042	114.56	37213	66764	38137	12.69
归一化值			1	126.29	4.01	9.03	1	1	1	1

从表 1 可以看出, 相对于传统的 SAT 法, PBS 法在没有增加额外的布尔变量集个数的基础上, SAT 法中的子句个数平均为 PBS 法中的 PB 约束个数的 126.29 倍, 说明 PBS 法比传统的 SAT 法更易表示、更简单。CNF 大小平均为 OPB 大小的 4.01 倍。考虑到 OPB 文件为 PB 约束的合取, 亦即单元配置过程中产生的中间处理文件, 它的减小有利于 CAD 工具在运行过程中占用更少的内存, 或可求解更大的电路。从时间来看, 对于 s27, s386 及 s444 3 个电路, PBS 法所用时间稍微比传统的 SAT 法略长一点, 但从平均值角度看, PBS 法求解速度要比传统的 SAT 法求解速度快 9.03 倍。并且传统的 SAT 法对于 s420 及 s526 两个电路无法求解, 而 PBS 法可以。

6 结论

针对 CMOL 单元配置问题, 本文提出了基于 PBS 的单元配置方法。传统的 SAT 法在处理 CMOL 单元配置过程中, 因采用二项式编码使得子句的个数过多、中间处理文件过大, 影响了算法的效率和处理电路大小的能力。为此, 本文在不增加额外的布尔变量集个数的条件下, 通过降低约束个数、减小中间处理文件, 将问题编码成 PBS 问题。实验结果表明, PBS 法的 PB 约束个数比传统的 SAT 法的子句个数平均减少了 126.29 倍, 中间处理文件大小平均减少了 4.01 倍, CPU 运行时间平均快了 9.03 倍, 并且增大了求解规模。

参考文献

- [1] Likharev K K and Strukov D B. CMOL: Devices, Circuits, and Architectures. *Introducing Molecular Electronics*[M]. Berlin: Springer, 2005: 447-477.
- [2] Chen Gang, Song Xiao-yu, and Hu Ping. A theoretical investigation on CMOL FPGA cell assignment problem[J]. *IEEE Transactions on Nanotechnology*, 2009, 8(3): 322-329.
- [3] Strukov D B and Likharev K K. Defect-tolerant architectures for nanoelectronic crossbar memories[J]. *Journal of Nanoscience and Nanotechnology*, 2007, 7(1): 151-167.
- [4] Strukov D B and Likharev K K. CMOL FPGA circuits[C]. *Proceedings of International Conference on Computer Design*, Las Vegas, Nevada, USA, June 26-29, 2006: 213-219.
- [5] Afifi A, Ayatollahi A, and Raissi F. CMOL implementation of spiking neurons and spike-timing dependent plasticity[J]. *International Journal of Circuit Theory and Applications*, 2011, 39(4): 357-372.
- [6] Kim K, Karri R, and Orailoglu A. Design automation for hybrid CMOS-nanoelectronics crossbars[C]. *Proceedings of IEEE International Symposium on Nanoscale Architectures*, Los Alamitos, CA, USA, October 21-22, 2007: 27-32.
- [7] Xia Yin-shui, Chu Zhu-fei, and Hung N N, *et al.* An intergrate optimizaiton approach for nano-hybrid circuit cell mapping[J]. *IEEE Transactions on Nanotechnology*, 2011, 10(6): 1275-1284.
- [8] 夏银水, 储著飞, 王伦耀, 等. 纳米 CMOS 电路逻辑等效转换 [J]. *电子与信息学报*, 2011, 33(7): 1733-1737.
- [8] Xia Yin-shui, Chu Zhu-fei, and Wang Lun-yao, *et al.* Logic equivalent transformation for nano-meter CMOS hybrid circuits[J]. *Journal of Electronics & Information Technology*, 2011, 33(7): 1733-1737.
- [9] Hung N N, Gao Chang-jian, and Song Xiao-yu, *et al.* Defect tolerant CMOL cell assignment via satisfiability[J]. *IEEE Sensors Journal*, 2008, 8(6): 823-830.
- [10] Chen Jing-chao. A new SAT encoding of the at-most-one constraint[C]. *Proceedings of the Tenth International Workshop on Constraint Modelling and Reformulating*, St. Andrews, Scotland, UK, September 6, 2010.
- [11] Roussel O and Manquinho V. Pseudo-Boolean and Cardinality Constraints. *Handbook of Satisfiability*[M]. Amsterdam: IOS Press, 2009: 695-733.
- [12] Sagahyroon A, Aloul F, and Sudnitson A. Using SAT-based techniques in low power state assignment[J]. *Journal of Circuits, Systems, and Computers*, 2011, 20(8): 1-14.
- [13] Mangassarian H, Veneris A, and Najm F N. Maximum circuit activity estimation using Pseudo-Boolean Satisfiability[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2012, 31(2): 271-284.
- [14] Eén N and Sörensson N. Translating Pseudo-Boolean constraints into SAT[J]. *Journal of Satisfiability, Boolean Modeling and Computation*, 2006, 2: 1-26.
- [15] Berre D Le and Parrain A. The Sat4j library, release 2.2 system description[J]. *Journal on Satisfiability, Boolean Modeling and Computation*, 2010, 7: 59-64.

王先建: 男, 1989 年生, 硕士生, 研究方向为集成电路设计自动化。

王伦耀: 男, 1972 年生, 副教授, 硕士生导师, 研究方向为集成电路设计自动化和低功耗集成电路设计。

储著飞: 男, 1986 年生, 博士生, 研究方向为集成电路设计自动化和低功耗集成电路设计。

夏银水: 男, 1963 年生, 研究员, 博士生导师, 研究方向为集成电路设计自动化和低功耗集成电路设计。