

# 一种基于匹配理论的 FPGA 三级互连网络测试方法

刘军华<sup>①②</sup> 杨海钢<sup>①</sup> 李 威<sup>①②</sup>

<sup>①</sup>(中国科学院电子学研究所 北京 100190)

<sup>②</sup>(中国科学院研究生院 北京 100039)

**摘 要:** 针对 FPGA 中包含三级可编程开关的互连网络测试, 该文提出了一种基于匹配理论的减少配置次数并且与阵列规模无关的测试方法。该方法通过建立结构测试图, 按照图的道路长进行分块并应用最小覆盖和最大匹配的原理减少配置次数。对于不同的互连网络结构, 与其它方法相比, 该方法的配置次数至少减少了 10%, 并且与阵列规模无关。

**关键词:** FPGA; 互连网络; 匹配理论; 测试配置次数

中图分类号: TN407

文献标识码: A

文章编号: 1009-5896(2009)06-1479-04

## A Novel Testing Method Based on Matching Theory for Three Stage Interconnect Network in FPGA

Liu Jun-hua<sup>①②</sup> Yang Hai-gang<sup>①</sup> Li Wei<sup>①②</sup>

<sup>①</sup>(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

<sup>②</sup>(Graduate University of the Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** Aimed to testing interconnect network that includes 3-stage programmable switches in FPGA, this paper proposes a novel size-independent approach based on a matching theory to minimize the number of test configurations. By constructing the graph of structure test, this paper presents a slicing scheme based on the path pace of the graph, and a method that applies the minimum coverage and maximum matching principle from the graph theory to obtain the minimum number of test configurations. For different interconnect network structure, the number of test configurations in the proposed method is reduced by at least 10% compared with other methods.

**Key words:** FPGA; Interconnect network; Matching theory; Number of test configurations

### 1 引言

FPGA 是通过互连网络连接的二维功能块阵列<sup>[1]</sup>。互连网络由连接线段、可编程多路开关(CB)和缓冲器组成<sup>[2,3]</sup>, 其测试至关重要。

一个可配置逻辑块和包围它的互连网络构成一个 TILE。以 TILE 行列的数目( $N_r$ ,  $N_c$ )表示 FPGA 的规模。每个可配置逻辑块中包含  $N$  个基本逻辑单元 BLE, 每个 BLE 又包括一个  $K$  输入的查找表(LUT)和一个触发器等<sup>[4]</sup>。TILE 的互连网络中包含三级可编程多路开关, 称它为三级互连网络, 如图 1 所示。

三级可编程多路开关的第一级是 BLE 输出连接全局通道的多路开关, 数量为  $W$  个, 每个具有  $F_{c,out}$  个输入, 来自 BLE 的输出; 第二级是全局通道连接局部通道的多路开关, 数量为  $I$  个, 每个具有  $F_{c,in}$  个输入, 来自全局通道; 第三级为局部通道和 BLE 输出连接 LUT 的多路开关, 数量为  $N \times K$  个, 每个具有  $F_{c,in} + F_{c,fb}$  个输入<sup>[5]</sup>, 其中  $F_{c,in}$  表示来自局部通道数目,  $F_{c,fb}$  表示来自 BLE 内部反馈的数目,

如图 2 所示。

FPGA 的测试时间取决于它的测试配置次数。互连网络测试主要有以下几类方法: (1)简单测试<sup>[6,7]</sup>, 只对一级可编程开关进行测试。在 I/O 数目足够多的情况下,  $n$  个通道的

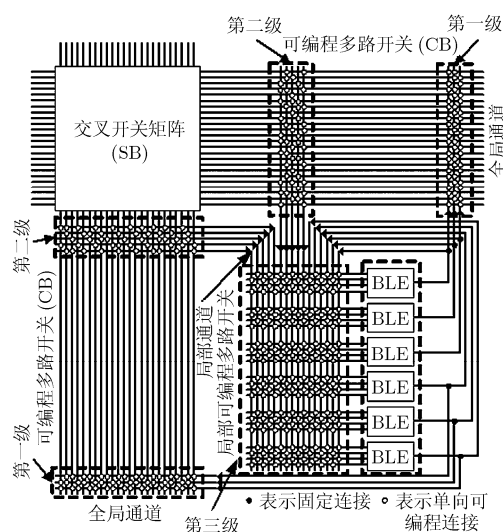


图 1 TILE

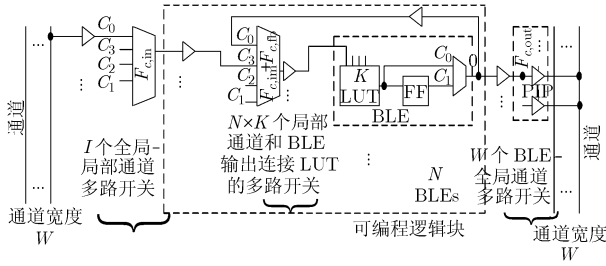


图 2 BLE 及其连接

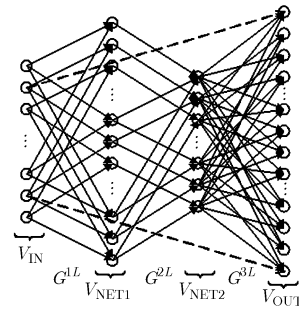


图 3 互连网络的图

可编程开关需要  $n$  次配置。(2)BIST 测试<sup>[8,9]</sup>，使用 FPGA 的部分资源测试其它资源。由于测试向量产生电路和响应分析电路与被测电路进行功能互换，因此配置次数要增加一倍。

针对可编程三级互连网络，本文提出了一种减少其配置次数并且与阵列规模无关的测试方法。该方法采用分治法的策略，利用匹配与覆盖理论求得各个分块的配置次数，从而得到整个互连网络的配置次数。

## 2 模型

### 2.1 故障模型

为了描述互连网络电路的物理缺陷，采用了 4 种功能故障模型。它们是连接线段的 SA0 故障和 SA1 故障，可编程开关的常闭(Stuck-On)故障，可编程开关的常开(Stuck-Off)故障<sup>[9,10]</sup>。对于一条  $n$  级的测试路径，首先闭合所有可编程开关，如果信号可以通过表示不存在常开故障，SA0 和 SA1 故障，否则表示至少一级存在故障；然后断开其中一级可编程开关，如果有信号通过表示此级开关存在常闭故障，否则表示不存在常闭故障。因此，经过  $n+1$  次配置之后就可以完成此路径 100% 故障覆盖率的测试。

### 2.2 结构测试模型

整个 FPGA 采用全扫描的结构化可测性设计<sup>[11]</sup>，它的测试向量从 BLE 中触发器所组成的扫描链输入，测试响应捕捉到触发器中，通过扫描链输出。

TILE 中可编程开关组成的集合位于伪输入端口和伪输出端口之间，可以通过编程形成信号路径。如果可编程开关被设置成开启(闭合)状态，两个端口之间就形成逻辑断开(连接)。根据图论，FPGA 的可编程开关可以直观地用有向图表示，顶点表示可编程开关的输入、输出端口，边表示两个连接点之间的开关，边的方向表示电路信号的流向。

对于图 1 中所示的 TILE，根据上述建立图的规则，建立互连网络的有向图，如图 3 所示。图 3 中顶点  $V_{IN}$  对应 BLE 的输出端口，顶点  $V_{NET1}$  对应全局互连通道，顶点  $V_{NET2}$  表示局部互连通道，顶点  $V_{OUT}$  表示 BLE 的 LUT 输入端口。图中顶点的入度是多路开关的路径数目，顶点的出度是多路开关的扇出数目。根据有向图得到它的邻接矩阵如式(1)所示，矩阵行对应的顶点表示多路开关输入端，列对应的顶点表示多路开关的输出端。式(1)中  $A_{CB-IN}$  是二分图  $G^{1L}$  的邻接矩

阵， $A_{CB-OUT}$  对应二分图  $G^{2L}$  的邻接矩阵， $A_{IM}$  是二分图  $G^{2L}$  对应的邻接矩阵， $A_{FB}$  内部反馈对应二分图的邻接矩阵。

$$A = \begin{bmatrix} 0 & A_{CB-IN} & 0 & A_{FB} & V_{IN} \\ 0 & 0 & A_{CB-OUT} & 0 & V_{NET1} \\ 0 & 0 & 0 & A_{IM} & V_{NET2} \\ 0 & 0 & 0 & 0 & V_{OUT} \end{bmatrix} \quad (1)$$

## 3 互连资源测试

### 3.1 分块

对于结构复杂的 FPGA 互连网络，采用分治的策略进行测试。为了保证测试向量与测试响应的对应关系，引入图论中道路数量的定理对图进行分块。

**定理 1** 有向图  $G$  中长  $k$  的有向道路  $W(v_i, v_j)$  的条数等于  $A^k(G)$  中  $i, j$  号元素<sup>[12]</sup>。

根据定理 1 采用按照道路长来进行分治的策略，对图的邻接矩阵进行幂运算，得到式(2)-式(4)，式中  $N$  表示顶点的数目。在邻接矩阵和道路矩阵中，只有道路长为 1 和 3 的矩阵中顶点  $V_{IN}$  和顶点  $V_{OUT}$  所对应的矩阵元素非 0，表明扫描链可以捕捉到输入的信号，因此对图所示的互连网络测试，我们采用三级和单级可编程开关分步测试的策略。图 3 中所示虚线代表单级可编程开关，实线代表三级可编程开关。

$$A^2 = \begin{bmatrix} 0 & 0 & A_{CB-IN} \times A_{CB-OUT} & 0 \\ 0 & 0 & 0 & A_{CB-OUT} \times A_{IM} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}_{N \times N} \quad (2)$$

$$A^3 = \begin{bmatrix} 0 & 0 & 0 & A_{CB-IN} \times A_{CB-OUT} \times A_{IM} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}_{N \times N} \quad (3)$$

$$A^k = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}_{N \times N} \quad (k \geq 4) \quad (4)$$

### 3.2 测试配置

在 FPGA 互连网络中的可编程多路开关是单输出电路，

在一次配置中只允许一路输入信号可以输出;而选择器的输出可以同时编程连接到下一级的多个多路选择器。

为了减少配置次数,在测试配置中要尽量避免多次重复使用其它配置中被测试的编程路径。可以根据图论中按边分解的方法,将整个互连网络所对应的图分解为测试配置所对应的子图。对于图  $G = (V, E)$  按边分解的方法对其进行分解,使得  $G(V, E) = \bigcup_{i=1}^Z G_i(V_i, E_i)$ ,  $E = \bigcup_{i=1}^Z E_i$ , 尽量达到  $E_i \cap E_j = \emptyset$ 。一个子图对应的电路需要  $n$  次配置才能满足故障覆盖率的要求,因此测试配置次数为  $P_{NUM}^{LC} = nZ$ 。

同时,为了减少测试配置次数,在每次配置中需要同时控制和观测最多的信号路径。为了求得每次测试的最多信号路径,引入图论中匹配与覆盖的概念<sup>[12,13]</sup>。

单级可编程开关可以用有向二分图  $G$  来表示。为了保证最多信号路径并行测试,对于它的有向二分图来说,就是求与汇点只有一条边关联的子图。如果图  $G$  源点的数目小于汇点的数目,二分图的最小边覆盖就是对应的子图  $G_1$ ; 否则,二分图的最大匹配就是对应的子图  $G_1$ 。将图中所求子图对应的边删除,得到一个残余图  $G_R$ , 如图 4 所示。对所得的残余图  $G_R$  按照上述的方法,求得另一个子图。如此重复上述操作直到残余图中汇点的入度小于 2 为止,就得到了图的所有分解子图。

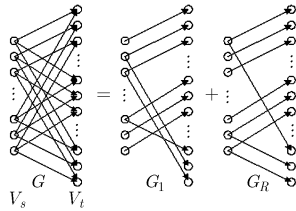


图 4 二分图分解

三级可编程开关图  $G$  是由 3 个有向二分图  $G^{1L}$ ,  $G^{2L}$ ,  $G^{3L}$  组成的,如图 3 所示。为了保证信号的可观测性,按照有向图的逆方向,首先从汇点所在的有向二分图  $G^{3L}$ ,按照单级可编程开关逻辑采用的分解方法得到二分图的一个子图  $G_1^{3L}$ 。然后构建一个新图  $G_{new}^{2L}$ ,以得到的子图  $G_1^{3L}$  的源点作为新二分图的汇点,按照第二级二分图对应顶点所关联的边作为新图的边。对于得到的新图  $G_{new}^{2L}$ ,依据单级可编程开关逻辑采用的分解方法得到新图的一个子图,这个子图也就是第二级二分图的一个子图  $G_1^{2L}$ 。其过程如图 5 所示。最后,按照第二级二分图求子图的方法,得到了源点所在二分图的一个子图  $G_1^{1L}$ 。所求得 3 个二分图的子图所组成的图就是三级可编程开关图的一个子图  $G_1$ 。将图  $G$  中与子图  $G_1$  相对应的边删除,得到残余图  $G_R$ 。对三级可编程开关残余图采用上述的分解方法得到下一个子图,直到残余图中所有顶点的入度都小于 2 为止,这样就得到了它的所有子图。

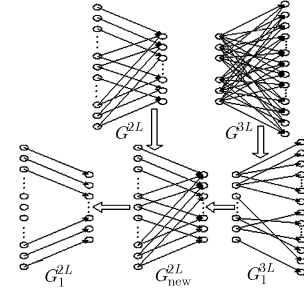


图 5 构建新图的子图求解示意

当得到子图之后,按照 4 种故障检测的策略,每个单级可编程开关的子图对应 2 种表示配置的关系矩阵;每个三级可编程开关的子图对应 4 种表示配置的关系矩阵。

#### 4 仿真和试验结果

根据所提的测试方法,为了达到故障模型的 100% 的故障覆盖率,三级可编程开关所需配置次数是分解子图数目的 4 倍,为  $P_{NUM}^{3L} = 4Z_{3L}$ ,单级可编程开关逻辑所需的配置次数是分解子图数目的 2 倍,为  $P_{NUM}^{1L} = 2Z_{1L}$ 。三级可编程开关的测试配置取决于两个因素:一是图中顶点的最大入度,二是并行测试路径的数目,因此其分解子图的最大数目是式(5)。其中式(6)表示局部通道宽度最小情况下分解子图的数目,式(7)表示所有 BLE 的 LUT 端口数目最少时分解子图的数目。所以整个互连网络测试配置次数至少为式(8)。

$$Z_{3L} = \max \left\{ \max_{i=1}^{|V|} \{d^-(v_i^{net})\}, \max \{Z_{PP}^{NET2}, Z_{PP}^{OUT}\} \right\} \quad (5)$$

$$Z_{PP}^{NET2} = \left\lfloor \frac{d^-(v_i^{NET1}) \times |V_{NET1}|}{|V_{NET2}|} \right\rfloor \quad (6)$$

$$Z_{PP}^{OUT} = \left\lfloor \frac{\max \{d^-(v_i^{NET1}) \times |V_{NET1}|, d^-(v_i^{NET2}) \times |V_{NET2}|\}}{|V_{OUT}|} \right\rfloor \quad (7)$$

$$P_{NUM} = P_{NUM}^{1L} + P_{NUM}^{3L} = 2Z_{1L} + 4Z_{3L} \\ = 2F_{c,fb} + 4 \max \left\{ \max \{F_{c,out}, F_{c,in}, F_{c,im}\}, \max \left\{ \left\lfloor \frac{W \times F_{c,out}}{I} \right\rfloor, \left\lfloor \frac{W \times F_{c,out}}{K \times N} \right\rfloor, \left\lfloor \frac{I \times F_{c,in}}{K \times N} \right\rfloor \right\} \right\} \quad (8)$$

从式(8)可以得出本文所提测试方法的配置次数与 FPGA 的规模大小无关,与实现电路的结构无关。

在可测性设计仿真中,使用 VPR 得到优化的 FPGA 结构,其参数变化会导致测试配置次数变化。如果第一级可编程开关的参数  $W$ ,  $F_{c,out}$  变化,其它参数为表 1 第 1 行的对应数值,配置次数的变化如图 6 所示。如果第二级可编程开关的参数  $I$ ,  $F_{c,in}$  变化,其它参数为表 1 第 1 行的对应数值,配置次数的变化如图 7 所示。如果第三级可编程开关的参数  $N$ ,  $F_{c,im}$  变化,其它参数为表 1 第 1 行的对应数值,配置次数的变化如图 8 所示。从图中还可看出,随着结构参数的变化,本文测试方法的配置次数始终比其它测试方法少。

对于其它结构参数的 FPGA,它的三级互连网络测试配

表1 不同测试方法的配置次数

$N_r$	$N_c$	$N$	$K$	$W$	$I$	$F_{c,out}$	$F_{c,in}$	$F_{c,im}$	$F_{c,fb}$	$P_{NUM}$		
										本文方法	文献[8-10]	文献[6,7]
16	16	10	4	96	22	5	20	11	5	98	196	108
32	32	10	4	96	22	5	20	11	5	98	196	108
20	32	10	4	160	30	5	16	15	5	118	236	144
26	48	10	4	160	30	5	16	15	5	118	236	144
3	24	8	4	144	24	5	16	12	4	128	256	154
6	36	8	4	144	24	5	16	12	4	128	256	154

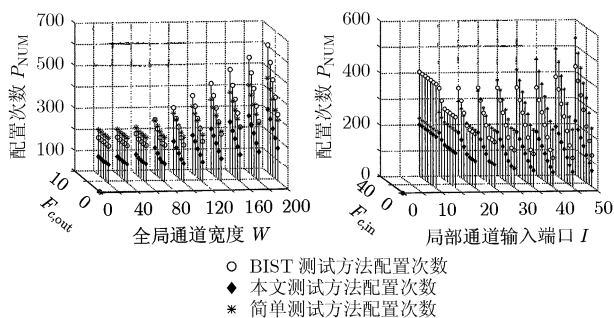
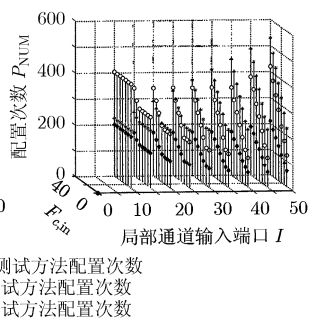
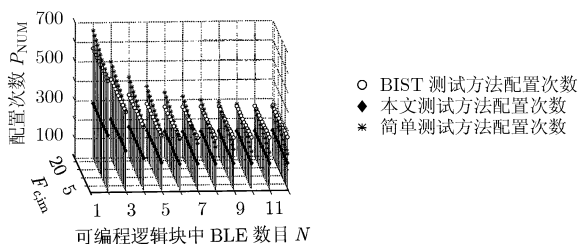
图6 第一级可编程  
开关参数-配置次数图7 第二级可编程  
开关参数-配置次数

图8 第三级可编程开关参数-配置次数

置次数也呈现上述的规律，本文测试方法减少了配置次数。

针对不同系列商用 FPGA，采用不同的方法对其测试，表 1 中第 1, 2 行表示具有相同结构参数而规模不同的 FPGA，第 3, 4 行和第 5, 6 行也是如此。分别采用本文方法、文献[8-10]的方法、文献[6,7]的方法对它们进行测试，试验结果显示本文测试方法的配置次数与阵列规模无关，并且相对与其它测试方法配置次数至少减少了 10%。

## 5 结束语

对于 FPGA 互连网络的测试，本文按照道路长的分块测试策略，利用最大匹配和最小覆盖对测试结构图进行分解减少了配置次数。结果表明，本文提出的测试方法与其它测试方法相比，配置次数至少减少了 10%，并且与阵列规模无关。

## 参考文献

- [1] Altera Corporation and Cyclone Architecture. Cyclone FPGA Family Date Sheet, Ver1.5 Jan. 2007.
- [2] Yarandi M, Alaghi A, and Navabi Z. An optimized BIST architecture for FPGA look-up table testing[C]. IEEE Computer Society Annual Symposium on Emerging VLSI

Technologies and Architectures (ISVLSI'06), Karlsruhe, Germany, 2006: 420-421.

- [3] Toutouchi S and Lai A. FPGA test and coverage[C]. Proceedings IEEE International Test Conference, Baltimore, MD, USA, 2002: 599-608.
- [4] Lemieux G and Lewis D. Design of Interconnection Networks for Programmable Logic[M]. Kluwer Academic Publishers, 2004: 83-84.
- [5] Ahmed E and Rose J. The effect of LUT and cluster size on deep-submicron FPGA performance and density[J]. *IEEE Trans. on VLSI*, 2004, 12(3): 288-298.
- [6] Huang W K, Meyer F J, and Chen X T, et al. Testing configurable LUT-based FPGA's[J]. *IEEE Trans. on Very Large Scale Integration Systems*, 1998, 6(2): 276-283.
- [7] Renovell M, Portal J M, Figueras J, and Zorian Y. Testing the configurable interconnect/logic interface of SRAM-based FPGA's[C]. Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, Munich, Germany, 1999: 618-622.
- [8] Smith J, Xia T, and Stroud C. An automated BIST architecture for testing and diagnosing FPGA interconnect faults[J]. *Journal of Electronic Testing: Theory and Applications*, 2006, 22(3): 239-253.
- [9] Sun X, Ogden K, Chan H, and Trouborst P. A novel FPGA local interconnect test scheme and automatic TC derivation/generation[J]. *Journal of Systems Architecture*, 2004, 50(5): 267-280.
- [10] Stroud C, Wijesuriya S, Hamilton C, and Abramovici M. Built-in self-test of FPGA interconnect[C]. Proceedings of IEEE International Test Conference, Washington, DC, USA, 1998: 404-410.
- [11] Synopsys, DFT Compiler User Guide: Scan Version Z-2007.03, June 2007.
- [12] 王树禾. 图论及其算法[M]. 合肥: 中国科学技术大学出版社, 1990: 246-253.
- [13] 李建中, 骆吉洲. 图论导引[M]. 北京: 机械工业出版社, 2006: 84-105.

刘军华: 男, 1974 年生, 博士生, 研究方向为大规模集成电路设计技术.

杨海钢: 男, 1960 年生, 研究员, 中科院“百人计划”引进国外杰出人才, 研究方向为数模混合信号 SoC 设计技术、大规模集成电路设计技术.

李威: 女, 1983 年生, 博士生, 研究方向为高速可编程逻辑芯片结构设计技术.