

快速建立时间的自适应锁相环

黄水龙 王志华

(清华大学电子工程系 北京 100084)

(清华大学深圳研究生院 深圳 508055)

摘要: 该文简要讨论了环路性能(建立时间, 相位噪声和杂散信号)和环路参数(带宽, 相位裕度等)的相互关系。提出并分析了一种自适应的具有快速建立时间的锁相环结构及其关键模块(鉴相鉴频器和电荷泵)。该结构基于两个环路: 粗调谐环路和精调谐环路。粗调谐环路用于快速收敛, 而精调谐环路用于精细的调整。环路参数调整连续发生, 无需切换环路滤波器元件和外面的控制信号。基于 SMIC 0.18 μm 1.8V CMOS 工艺的 Spectre 仿真表明: 粗调谐鉴相鉴频器能够有效地关断粗调谐回路; 电荷泵上下电流具有小于 0.1% 的静态失配特性; 在相同的环路带宽下与传统的锁相环相比, 自适应锁相环能减少超过 30% 的建立时间。

关键词: 锁相环; 鉴相鉴频器; 电荷泵

中图分类号: TN763.2

文献标识码: A

文章编号: 1009-5896(2007)06-1492-04

An Adaptive PLL Architecture to Achieve Fast Settling Time

Huang Shui-long Wang Zhi-hua

(Department of Electronics, Tsinghua University, Beijing 100084, China)

(Shenzhen Graduate School, Tsinghua University, Shenzhen 518055, China)

Abstract: The relationships between loop performance (settling time, phase noise and spur signal) and loop parameters (bandwidth and phase margin) are briefly discussed in the paper. An adaptive Phase-Locked Loop (PLL) with a fast settling time and its key blocks including Phase-Frequency Detector (PFD) and charge pump are then proposed and analyzed. The proposed architecture is based on two tuning loops: a coarse-tuning loop and a fine-tuning loop. The coarse-tuning loop is used for fast convergence and the fine-tuning loop is used to complete fine adjustments. Adaptation of loop parameters occurs continuously, without switching of loop filter components, and without interaction from outside control signal. Spectre simulation based on SMIC 0.18 μm 1.8V supply voltage CMOS technology shows that coarse-tuning PFD can effectively cut off coarse-tuning loop, and the charge pump has a <0.1% up/down current mismatching characteristic. The adaptive PLL can reduce settling time over 30% in comparison to the conventional PLL in the same loop bandwidth.

Key words: PLL; PFD; Charge pump

1 引言

锁相环(PLL)是现代通信系统的一个关键的部件, 几乎所有的 PLL 应用提出快速锁定的要求。锁相环路的锁定时间主要由环路带宽决定的。为了提高环路带宽, 可以通过改变环路滤波器参数和电荷泵电流来实现, 但是环路带宽过宽有可能引起稳定性问题, 降低频谱纯度。为了解决锁定时间和带宽这个矛盾问题, 自适应锁相环也许是仅有的选择。自适应锁相环有两个环路: 粗调谐环路和精调谐回路。精调谐回路就是普通的锁相环路, 用于完全的精细调整, 而粗调谐回路用于加速环路的建立过程。设计自适应回路的关键是粗

调谐鉴相鉴频器(PFD)和电荷泵的设计。文献[1]提出一种带死区的鉴相鉴频器。它由逻辑门, 低通滤波器和限幅器构成, 设计复杂, 不利于集成。而文献[2]提出一种可调节脉宽的粗调谐鉴相鉴频器。通过完全关断鉴相鉴频器产生死区。死区的宽度与鉴相鉴频器的输入频率有直接关系, 但是没有涉及到另外的关键模块电荷泵的设计, 且没有分析环路的稳定性问题。

本文第 2 节简要分析了环路参数与环路性能的关系。第 3 节介绍了系统结构和工作原理。第 4 节, 第 5 节分析了鉴相鉴频器和电荷泵电路, 第 6 节介绍了仿真结果, 最后给出了本文的结论。

2 环路参数和环路性能关系

建立时间随着环路带宽的增加而减小, 而相位噪声对环

2005-11-28 收到, 2006-05-31 改回

国家高技术研究发展计划(60475018)和国家重点基础研究发展规划(G2000036508)资助课题

路带宽的要求正好相反。大的带宽使得环路中VCO的相位噪声不能很好地抑制，特别是在分数结构锁相环路中，不能有效抑制调制器噪声。为了同时满足建立时间和频谱纯度两者的要求，可以通过提高参考频率或者采用分数结构来实现。在整数结构的锁相环路中，参考频率被信道宽度决定而不能随便选取。分数结构虽然能解耦频率分辨率与参考频率的关系，获得较大的环路带宽，但是分数结构中的带宽受限于调制器的特性，过大的环路带宽使得噪声性能急剧下降。故在一些对于锁定时间特别苛刻的场合，仅仅采用分数结构是不够的。相位裕度与建立时间是有直接的关系的，在环路带宽保持一定的情况下，建立时间随着相位裕度的增加而减少，在相位裕度 50°左右达到一个最小值，进一步增加相位裕度将增加建立时间。杂散信号与环路滤波器的阻抗有关，引入更多的电阻电容元件，能更有效地抑制杂散信号，但是这将会引起相位裕度的降低，甚至出现不稳定问题。简单地切换电荷泵电流可以改变带宽^[3, 4]，这易引起压控振荡器的控制电压抖动，降低噪声性能。

3 系统结构和工作原理

基于第 2 节的分析，提出的自适应 PLL 系统结构如图 1。

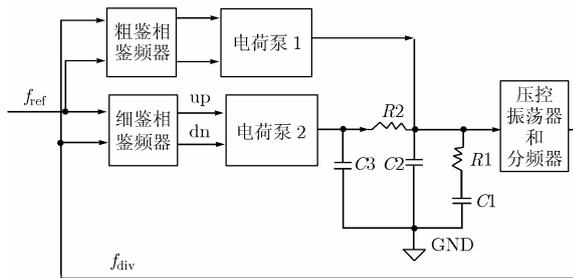


图 1 自适应 PLL 系统结构

两个鉴相鉴频器和两个电荷泵构成的双环路被用来自动调整锁相环路的带宽，目的是加速建立过程和减小稳态时环路带宽。环路的其它部分如振荡器，分频器和环路滤波器共用，且两个环路来自同一个参考信号 f_{ref} 。由粗鉴相鉴频器和电荷泵 1 构成的环路用于快速收敛；而精鉴相鉴频器和电荷泵 2 构成的环路用于精细的调整。粗调谐回路到精调谐切换是平滑过渡的，避免了毛刺的产生。实现平滑过渡主要是粗鉴相鉴频器控制电荷泵 1，无需切换环路滤波器元件，因而避免了对 VCO 控制电压的突然扰动。两个电荷泵输出电流连接到不同的节点，如图 1 所示。粗调谐回路对应二阶环路滤波器，电阻 $R2$ 和电容 $C3$ 被旁通，有助于提高粗调谐回路的相位裕度，而精调谐回路对应三阶环路滤波器，有助于在分数结构中更好地抑制量化噪声。

在自适应 PLL 环路里， f_{ref} 和 f_{div} 之间的不同的相差 Φ_e 存在不同的工作状态。当相差 Φ_e 小于粗调谐 PFD 的死区大小 Φ_d 时，注入到环路滤波器的电荷 $Q = I_f \times |\Phi_e|$ ；若相差大于粗调谐 PFD 的死区大小 Φ_d 时，注入到环路滤波器的电荷 $Q = I_f \times \Phi_e + I_c (|\Phi_e| - |\Phi_d|)$ ， I_f 为电荷泵 2 输出电流，而

I_c 为电荷泵 1 输出电流。对于二阶或者三阶滤波器的 PLL 来说，环路带宽 ω_c 可以用式(1)近似表示：

$$\omega_c \approx \frac{I_{ch} \times K_{VCO} \times R1}{2\pi \times N} \quad (1)$$

I_{ch} 为电荷泵电流， K_{VCO} 为压控振荡器增益， N 为分频器分频比。

当其它参数固定时，环路带宽 ω_c 是正比电荷泵电流 I_{ch} 的。当相差 Φ_e 大于粗调谐 PFD 的死区大小 Φ_d 时，两个环路同时工作，注入到环路滤波器的电流为两个电荷泵电流的和，根据式(1)，那意味着带宽增加，建立过程加速。当相差 Φ_e 小于粗调谐 PFD 的死区大小 Φ_d 时，注入到滤波器的电流变为 I_f ，带宽变窄，建立过程减慢。当正确的频率被锁定后，仅仅精调谐回路工作。

在自适应 PLL 环路里，若粗调谐回路锁定后固定相差大于粗调谐鉴相鉴频器定义的死区宽度大小，粗调谐无法关断引起精调谐回路不能有效地工作，因而所设计死区宽度必须大于固定相差。另外一方面，若死区过大，回路的鲁棒性增强，但是对于回路建立过程的加速效果降低，因而必须根据具体应用选择合适的死区宽度。

4 鉴相鉴频器设计

当接近锁定的时候，仅仅精调谐鉴相鉴频器工作。为了消除死区且电路简单，采用动态触发器^[5]且在复位路径上加延时，如图 2 所示。

图 3(a)为粗调谐鉴相鉴频器。它是自适应回路中最关键

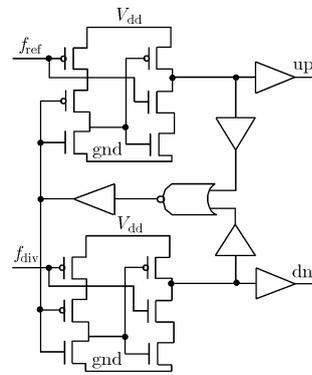


图 2 精调谐鉴相鉴频器

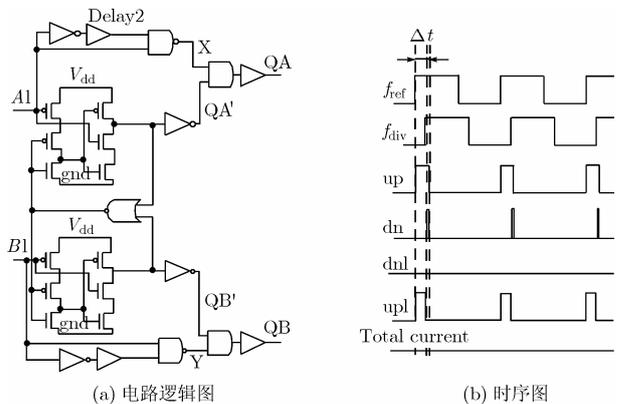


图 3 粗调谐鉴相鉴频器及其时序图

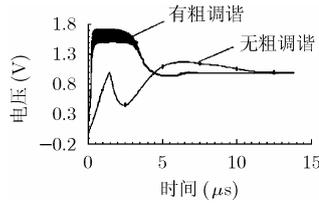


图6 锁定时间对比

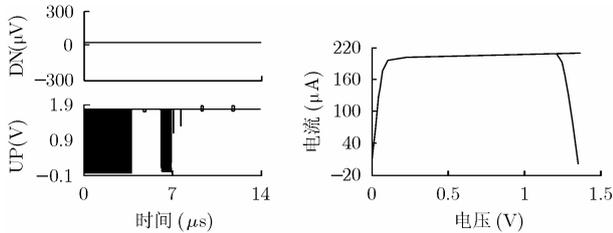


图7 粗调谐鉴相鉴频器输出信号 图8 电荷泵2的静态匹配特性
内静态失配小于0.1%，减小了锁相环路锁定时的固定相差，降低了稳态时锁相环路的杂散电平。

7 结束语

本文提出了一种自适应的锁相环结构，深入讨论了环路中的关键模块(鉴相鉴频器和电荷泵电路)，并对环路性能和环路参数的关系做了简要分析。这种电路结构由两个环路实现，粗调谐回路有助于快速收敛，而精调谐回路用于精细地调整。环路参数调整连续发生，无需切换滤波器模块和外面的控制信号，能实现环路平滑地切换。仿真结果表明在相同的环路带宽下与传统的PLL相比，自适应PLL能减少超过30%的建立时间。适合应用在高性能快速锁定的PLL中。

参考文献

[1] Cicero S V. An adaptive PLL tuning system architecture

Combining high spectral purity and fast settling time [J]. *IEEE J. Solid-State Circuits*, 2000, 35 (4): 490–502.

- [2] Cheng Kuo-Hsing and Yang Wei-Bin. A dual-slope phase frequency detector and charge pump architecture to achieve fast locking of phase-locked loop. *IEEE CAS-II*, 2003, 50(11): 892–896.
- [3] Hanumolu P K, Brownlee M, and Moon Un-Ku. Analysis of charge-pump phase-locked loops [J]. *IEEE Trans. on Circuits and Systems I*, 2004, 51 (9): 1665–1674.
- [4] Vaucher C and Kasperkovitz D. A wide-band tuning system for fully integrated satellite receivers [J]. *IEEE J. Solid-State Circuits*, 1998, 33 (7): 987–998.
- [5] Lee Joonsuk and Kim Beomsup. A low-noise fast-lock phase-locked loop with adaptive bandwidth control [J]. *IEEE J. Solid-State Circuits*, 2000, 35 (8): 1137–1145.
- [6] 吴恩德, 王志华, 张利等. 分数N频率综合器的杂散分析 [J]. *清华大学学报*, 2004, 44 (7): 958–961.
Wu En-de, Wang Zhi-hua, and Zhang Li, *et al.*. Spur analysis of fractional-N frequency synthesizers [J]. *J Tsinghua Univ (Sci & Tech)*, 2004, 44(7): 958–961.
- [7] Lee Jae-Shin, Keel Min-Sun, Lim Shin-II, and Kim Suki. Charge pump with perfect current matching characteristics in phase-locked loops [J]. *Electronics Letters*, 2000, 36(23): 1907–1908.

黄水龙: 男, 1975年生, 博士生, 研究方向为射频前端电路的设计技术。

王志华: 男, 1960年生, 教授, 博士生导师, 研究方向为电路与系统, 包括数模混合集成电路的设计与测试等。