

# CMOS 集成时钟恢复电路设计

李学初 高清运 陈浩琼 秦世才  
(南开大学信息技术科学学院 天津 300071)

**摘要:** 该文设计了一个集成时钟恢复电路, 恢复时钟的频率为 125MHz。通过采用电流相减技术等补偿措施, 很大程度上降低了振荡器的压控增益, 从而在不影响电路性能的前提下大大地降低了芯片面积。本设计采用 0.25 $\mu\text{m}$  标准 CMOS 工艺实现, 有效芯片面积小于 0.2mm<sup>2</sup>, 功耗仅 10mW。在各种工艺角、温度以及供电电源条件下的仿真结果均表明, 该电路相位偏差小于 200ps, 时钟抖动的峰峰值小于 150ps。该文对一个采用本时钟恢复电路的 100MHz PHY 系统进行流片、测试, 验证了时钟恢复电路能够正常工作。

**关键词:** 时钟恢复; 100MHz PHY; Hogge 鉴相器; 锁相环

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2007)06-1496-04

## The Design of Monolithic CMOS Clock Recovery Circuit

Li Xue-chu Gao Qing-yun Chen Hao-qiong Qin Shi-cai

(College of Information Technology and Science, Nankai University, Tianjin 300071, China)

**Abstract:** A monolithic clock recovery circuit is proposed in this paper. The frequency of the recovered clock is 125MHz. By using of some compensation methods, such as current subtraction technology, the gain of the VCO is greatly diminished, as a result the chip area is reduced also without sacrificing the noise performance of the recovered clock. This design is implemented by a 0.25 $\mu\text{m}$  standard CMOS technology. The active chip area is less than 0.2mm<sup>2</sup>, and the power consumption is only 10mW. The simulation results in different temperature and process condition indicate that the phase error of the recovered clock is less than 200ps and the peak-to-peak jitter is less than 150ps. A 100MHz PHY with the proposed clock recovery circuit inside is taped out and tested. The test result shows that the clock recovery circuit works properly.

**Key words:** Clock recovery; 100MHz PHY; Hogge phase detector; PLL

### 1 引言

时钟恢复电路是通讯系统中的重要模块, 它从接收信号中提取出时钟信息, 同时调整好相位, 以确保数据转换电路的正确采样, 因此它的性能直接影响了接收机的误码率。迄今为止, 有不少文献介绍了时钟恢复电路的设计<sup>[1,2]</sup>, 但是这些文献都没有讨论电路的芯片面积, 而芯片面积是影响其成本的重要因素。本文设计了一个全集成的 CMOS 时钟恢复电路, 其核心电路是一个基于 Hogge 鉴相器的三阶电荷泵锁相环。环路中的压控振荡器采用“电流相减”技术, 使得压控增益可以安全地降至普通环形振荡器的一半以下, 从而在不影响恢复时钟噪声性能的前提下大大地降低芯片面积。本设计采用 0.25 $\mu\text{m}$  标准 CMOS 工艺实现, 有效芯片面积小于 0.2mm<sup>2</sup>, 功耗小于 10mW。在各种工艺角、温度以及供电电源条件下的仿真结果均表明, 本电路能够准确恢复出接收信号的时钟信息, 其相位偏差小于 200ps, 时钟抖动的峰峰值小于 150ps。为了验证本时钟恢复电路的性能, 我们对采用了本时钟恢复电路的 100MHz PHY 进行了流片、测试。

结果表明, 当网线在 5m 到 100m 范围内变化时, 时钟恢复电路都可以正常工作, 其性能满足 100MHz PHY 的系统要求。

### 2 系统框架及环路参数的设计

用于时钟恢复的鉴相器通常都存在捕获范围的问题。本文所采用的 Hogge 鉴相器频率调整能力非常有限, 需要通过辅助环路进行频率的调整。图 1 给出了系统框架图。这是一个双环系统, 图中由 PFD, CP2, LPF, VCO 以及 Divider 构成的调频环, 用于调整压控振荡器的振荡频率。这个环路的输入参考频率为 25MHz, 由片外晶振提供, 分频器的分频比为 5, 因此环路稳定以后压控振荡器振荡在 125MHz。这个环采用鉴频鉴相器进行鉴相, 没有捕获范围的问题。

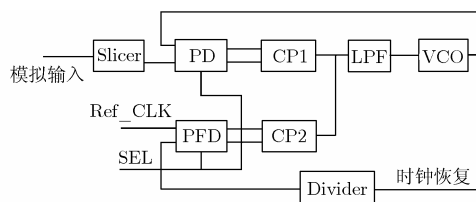


图 1 采用双环结构的时钟恢复框架图

PD, CP1, LPF 以及 VCO 构成调相环, 它跟调频环

共用一个低通滤波器及压控振荡器, 其它模块则各自独立。这个环用于时钟恢复, 环路稳定以后压控振荡器的振荡频率为 125MHz。由于调相环的锁定范围非常有限, 并且锁定的速度也比较慢, 因而在它工作前需要先将压控振荡器的振荡频率调整到 125MHz 附近, 这个工作是由调频环来完成的。

系统的工作过程如下: 首先, 压控振荡器跟环路滤波器由调频环控制, 在此期间, 电荷泵 CP1 输出高阻状态, 调频环不受它的影响; 频率调整好以后, 压控振荡器跟环路滤波器受鉴相环控制, 此时压控振荡器的振荡频率跟所要恢复的时钟频率已经非常接近, 处在鉴相器的捕获范围以内, 调相环可以正常进行时钟恢复, 在此期间电荷泵 CP2 输出高阻状态, 调相环的工作不受调频环的影响。调频、调相环的工作状况由图中的 SEL 信号控制。

环路带宽的取值决定了环路的噪声性能, 对时钟恢复电路来讲, 主要噪声来自于输入噪声, 因而降低环路带宽有利于降低恢复时钟的抖动, 但这是以增大环路滤波器的面积为代价的。环路滤波器所占芯片面积主要由电容决定, 对于三阶锁相环来讲, 总的电容取值可以表示为

$$C_{total} = \frac{K_{PFD} \cdot K_{VCO}}{\omega_c^2} \cdot [\tan(PM) + \sqrt{\tan^2(PM) + 1}] \quad (1)$$

式中  $\omega_c$  为开环单位增益带宽, PM 为相位裕度。在环路带宽跟相位裕度一定的情况下, 降低电荷泵电流或压控增益可以降低电容面积, 鉴于电荷泵电流过小将会导致恢复时钟相位偏差难以控制, 本文通过降低压控增益的办法减小电容所占的面积。本设计中, 开环单位增益带宽取 450kHz, 相位裕度为  $52^\circ$ , 电荷泵电流为  $40\mu A$ , 振荡器的压控增益大约为  $-45MHz/V$  (一般来讲, 这种频率的环形振荡器压控增益在  $100MHz/V$  以上), 根据式(1)可以计算出环路滤波器中电容的取值大约为 400pF, 为节省面积, 考虑采用 MOS 电容实现。

### 3 电路设计

#### 3.1 鉴相器

普通的鉴频鉴相器不能用于鉴相环中进行时钟恢复, 本文采用图 2 所示的改进Hogge鉴相器<sup>[2]</sup>。这种鉴相器能够自动将时钟跳变沿调整到最佳采样点。简单的Hogge鉴相器<sup>[3]</sup>的鉴相效果跟数据内容有关, 一旦输入数据信号中跳变沿很

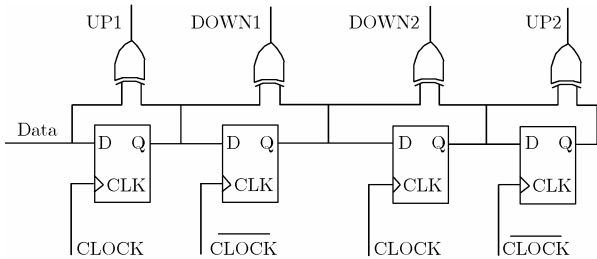


图 2 改进的 Hogge 鉴相器电路图

长时间缺失, 恢复好的时钟将会滑离最佳采样点, 直到数据

信号中跳变沿到来后才能再次调整好。图 2 所示的鉴相器可以成功地避免这一问题, 即使很长时间没有数据到来, 恢复好的时钟还是可以一直维持下去, 其噪声性能也优于简单的 Hogge 鉴相器。

#### 3.2 电荷泵

图 3 给出了电荷泵的原理图, 这个电荷泵采用了自举技术<sup>[4,5]</sup>, 以降低电荷分享效应所带来的影响。如果没有 Buffer 以及开关  $S_5 \sim S_8$ , 则开关  $S_1$  导通前后, A 点寄生电容上的电压将从 VDD 变化到  $V_{ctrl}$ , 其容纳的电荷量也发生相应的变化。根据电荷守恒原理, 变化的电荷将从寄生电容上馈入环路滤波器。同样, B, D, E 结点处的寄生电容上也有电荷馈入环路滤波器, 这就是电荷分享效应, 它的存在使恢复时钟的相位出现一定的偏差

$$\Delta T = 2 \frac{C_p V_{DD} - (C_n + C_p) V_{ctrl}}{I_p} \quad (2)$$

式中  $C_n$  为电流阱的漏极寄生电容,  $C_p$  为电流源的漏极寄生电容。如果控制电压变化 500mV, 本设计中电荷泵充放电电流都取值  $40\mu A$ , 恢复的时钟相位差可达 3ns, 接近半个时钟周期。采用自举技术后, 由于跟随器失调电压的存在, 相位偏差依然存在, 但是已降低至

$$\Delta T = 2 \frac{(C_n + C_p) V_{OS}}{I_p} \quad (3)$$

这里  $V_{OS}$  为 Buffer 的等效输入失调电压。可以计算出 20mV 的失调电压大约引入 120ps 的时钟偏差, 可以忽略。

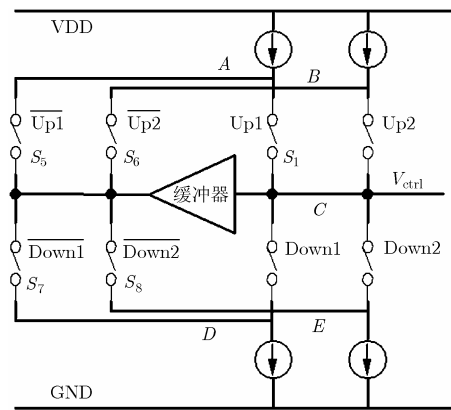


图 3 电荷泵结构示意图

#### 3.3 压控振荡器

根据式(1), 降低压控增益可以减小环路滤波器中电容所占的面积, 但是降低压控增益存在潜在的危险, 如果振荡频率对工艺偏差或温度变化比较敏感, 降低压控增益可能导致振荡频率不能达到预定的结果, 整个环路因此不能正常工作。由此可以看出, 为降低压控增益, 关键是提高压控振荡器振荡频率的稳定性。鉴于电流控制振荡器(CCO)较之电压控制振荡器(VCO)振荡频率更稳定一些, 并且 CCO 还可以通过补偿措施改善性能, 本文采用电流控制振荡器, 控制电压先通过一个跨导放大器(OTA)转化为控制电流, 尔后电流

控制 CCO 的振荡频率。

本文用到的 CCO 采用环形振荡器，由四级延时单元级联构成，每一级延时单元都采用差分结构以降低共模噪声的干扰(如图 4 所示)，通过控制延时单元的偏置电流影响其延时量，从而控制 CCO 的振荡频率。振荡频率随温度、工艺变化而变化，当温度升高或者 MOS 管的阈值电压升高、载流子迁移率变小时，图 4 所示延时单元的延时量增大，CCO 的振荡频率因此降低；增大偏置电流可以降低延时量，因而可以在一定程度上补偿振荡频率的降低。反之，当温度降低或者 MOS 管的阈值电压降低、载流子迁移率变大时，延时单元的延时量减小，振荡频率因此升高；降低偏置电流可以增大延时量，因而可以在一定程度上补偿振荡频率的升高。

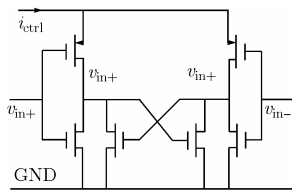


图 4 CCO 中的延时单元

由此可见，为了降低振荡频率对工艺跟温度变化的敏感程度，关键是产生合适的偏置电流以补偿延时单元延时量随工艺跟温度的变化。这个偏置电流显然应该受工艺跟温度影响，当温度升高或阈值电压升高、载流子迁移率降低时，偏置电流应该增大；反之，偏置电流应该降低。为了实现延时单元偏置电流的这一特性，关键在于 OTA 的设计。

本文用的 OTA 采用图 5 所示电路，它的一个电压输入端接参考电压 1.2V，另一端接控制电压，图中的尾电流只有一部分流入输入管  $M_1, M_2$ ，另一部分被  $M_{C1}$  跟  $M_{C2}$  吸收。由于  $M_{C1}$  跟  $M_{C2}$  的栅源偏压固定，在温度升高或 P 管载流子迁移率降低、阈值电压升高等条件下，被吸收的电流减小，OTA 的输出电流因此增大；反之，在温度降低或 P 管载流子迁移率升高、阈值电压降低等条件下，OTA 的输出电流降低。

电阻  $R_S$  有两个作用，一是用于调节 OTA 的跨导值，从而调节振荡器的压控增益，电阻越大，压控增益越小，在偏置电流等于  $720\mu A$  的条件下，电阻取  $10k\Omega$  时压控增益大约为  $-45MHz/V$ ；二是为了增大线性输入范围，以拓宽振

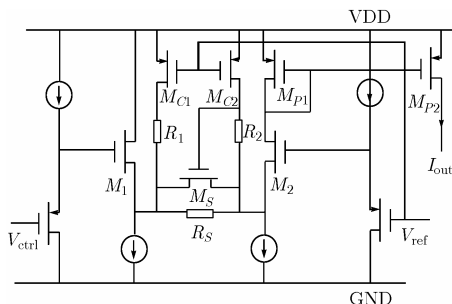


图 5 OTA 的电路结构图

荡器的振荡范围，从而增大振荡器承受工艺偏差跟温度变化的能力。但是衰减电阻  $R_S$  对振荡范围的拓宽还是有限

的，这是因为当控制电压较低时，CCO 的偏置电流较大，电流的改变对振荡频率的影响不够，振荡器的最高振荡频率因而较小，压控增益也因此下降；为了改善这一情况，我们在图 5 中加入了管子  $M_S$  以降低此时的衰减电阻，当控制电压较低时，这个管子  $M_S$  导通，总的衰减电阻下降。

### 4 仿真、测试结果

本文设计的时钟恢复电路采用 1st Silicon  $0.25\mu m$  标准 CMOS 工艺实现，电路仿真采用 Cadence 公司的 Spectre 仿真器，芯片测试则采用安杰伦的 600MHz 示波器。

由于振荡器的增益很低，为了保证环路能够正常工作，需要仔细仿真各种工艺角以及温度下的振荡频率，确保振荡频率在各种情况下都能达到 125MHz，并且应该留有足够的设计裕度。仿真结果表明，本文设计的振荡器在 SF 模型、低温时振荡频率最高；而在 FS 模型、高温时振荡频率最低。图 6 给出了这两种极限情况下的压控曲线的仿真结果，同时还给出了 TT 模型、室温下的压控曲线，从图中可以看出，两种极限情况下振荡频率都能达到 125MHz，并且裕度很大。测试结果表明，当振荡频率为 125MHz 时，振荡器的控制电压大约为 1.14V。

图 7 给出了鉴频环、鉴相环工作状态切换时控制电压的仿真波形图，前  $20\mu s$  鉴相器跟鉴频鉴相器的控制信号 SEL 为低电平，压控振荡器被鉴频环控制，系统工作在调频状态； $20\mu s$  以后 SEL 信号变为高电平，压控振荡器的控制权交给鉴相环，系统进入鉴相状态，大约  $2\mu s$  以后环路稳定下来。由于测试条件所限，时钟恢复电路的锁定过程未能在实际测试中观察到。

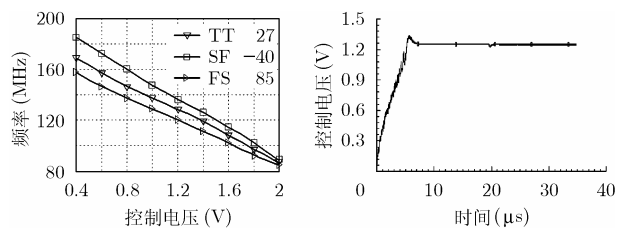


图 6 典型及极限情况下振荡器的压控曲线的仿真结果

图 7 振荡器控制电压的仿真波形图

在各种工艺角、温度以及供电电源条件下的仿真结果表明，恢复时钟的相位偏差小于 200ps，时钟抖动的峰峰值小于 150ps。恢复时钟未能引至片外引脚，因而不能直接测试其抖动情况，时钟的相位也无法测试，只能通过整个系统的工作情况进行评价。测试结果表明，整个 100MHz PHY 系统能够准确地恢复出接收数据，这表明时钟恢复的抖动以及相位偏差都满足系统要求。

### 5 结束语

本文设计了一个 125MHz 集成时钟恢复电路。由于辅助锁相环的加入解决了时钟恢复系统捕获范围过小的问题；同时，由于电流相减技术等补偿措施的采用，芯片面积大大降

低。本设计采用 1st Silicon 0.25 $\mu\text{m}$  CMOS工艺实现, 芯片面积小于 0.2  $\text{mm}^2$ , 功耗大约 10mW。本设计在 100MHz PHY中进行了流片、测试, 测试结果表明, 时钟恢复电路能够正常工作。

### 参 考 文 献

- [1] 王彦, 叶凡, 李联等. 一个面积和功耗优化且适用于 10/100 Base-T 以太网的 CMOS 时钟恢复电路. 半导体学报, 2003, 24(6): 643-648.
- [2] Lee T H and Bulzacchelli J F. A 155MHz clock recovery delay- and phase-locked loop. *IEEE Journal on Solid-State Circuits*, 1992, 27(12): 780-787.
- [3] Hogge C R. A self correcting clock recovery circuit. *IEEE Journal of Lightwave Technology*, 1985, LT-3(6): 1312-1314.
- [4] Rategh H R, Samavati H, and Lee T H. A CMOS frequency synthesizer with an injection-locked frequency divider for a 5-GHz wireless LAN receiver. *IEEE Journal on Solid-State Circuits*, 2000, 35(5): 780-787.
- [5] Razavi B. Design of analog CMOS integrated circuits. USA: McGraw-Hill, 2000: 562-567.
- 李学初: 男, 1979 年生, 博士生, 研究方向为 CMOS 集成电路设计.
- 高清运: 女, 1965 年生, 副教授, 研究方向为 CMOS 集成电路设计.
- 陈浩琼: 男, 1978 年生, 博士生, 研究方向为 CMOS 模拟集成电路设计.
- 秦世才: 男, 1936 年生, 教授, 研究方向为模拟集成电路设计.