

应用于数字DC-DC转换器的高分辨率数字脉宽调制器设计

张章 崔明辉 李斌 程心* 解光军

(合肥工业大学电子科学与应用物理学院 合肥 230601)

摘要: 数字控制在电力电子领域的优势使得数字脉冲宽度调制的使用日益增加, 然而其分辨率不足一直是制约开关电源领域中数字控制技术发展的主要因素之一。针对高分辨率数字脉冲宽度调制的应用需求, 该文提出一种基于高速进位链结构的高分辨率数字脉冲宽度调制电路。该电路采用计数器、比较器、固定相移锁相环单元及高速进位链的混合结构, 有效地提高了分辨率, 并在Altera的Cyclone IV低成本现场可编程门阵列器件上实现。实验结果显示, 当输入参考时钟工作频率为70 MHz时, 该结构的分辨率可达到56 ps。此外, 该电路还具有较宽的开关频率调节范围及较好的线性度等优点。

关键词: 数字脉冲宽度调制; 高分辨率; 数字控制; 现场可编程门阵列

中图分类号: TN76

文献标识码: A

文章编号: 1009-5896(2020)11-2819-08

DOI: 10.11999/JEIT190482

High Resolution Digital Pulse Width Modulation Design for Digital DC-DC Converter

ZHANG Zhang CUI Minghui LI Bin CHENG Xin XIE Guangjun

(Institute of Electronic Science & Applied Physics, HeFei University of Technology, Hefei 230601, China)

Abstract: The advantages of digital control in the field of power electronics lead to an increasing use of Digital Pulse Width Modulation (DPWM). However, the insufficient resolution of DPWM is one of the main factors that constrain the development of digital control technology in the field of switch mode power supplies. For the application requirements of high-resolution DPWM, this paper proposes a high-resolution DPWM circuit based on high-speed carry chain structure. The circuit comprises of counters, comparators, fixed phase shift PLL units and high-speed carry chains, which can effectively increase resolution. The circuit is also implemented on Altera's Cyclone IV low-cost Field-Programmable Gate Array (FPGA) devices. The experimental results show that the resolution of the structure can reach 56 ps with 70 MHz input reference clock. In addition, the circuit also has wide switching frequency adjustment range and good linearity.

Key words: Digital Pulse Width Modulation(DPWM); High resolution; Digital control; Field-Programmable Gate Array(FPGA)

1 引言

近年来, 在开关电源领域数字脉冲宽度调制(Digital Pulse Width Modulation, DPWM)的研究引起了人们的广泛关注。数字电路具有可编程、可

移植、便于灵活控制等诸多特点, 使得数字控制技术相对于传统的模拟方式具有诸多优势^[1-6]。然而, 传统的DPWM分辨率不足是数字控制在开关电源领域应用中的主要瓶颈, 同时, 开关电源脉宽调制器的分辨率和开关频率直接影响输出电压与电流的精度以及片外无源器件的尺寸^[7]。鉴于DPWM存在的上述问题, 高分辨率设计是目前数字控制技术在开关电源应用中的研究热点与难点。

为了实现较高的分辨率从而避免上述问题, 不同研究机构提出了多种设计方案: 文献^[8]中提出了基于FPGA的计数器粗延迟加上一个或者多个数字时钟管理模块(Digital Clock Manager, DCM), 利用DCM的倍频及相移功能提高DPWM的时间分辨率, 但所实现的DPWM电路分辨率只能达到

收稿日期: 2019-06-28; 改回日期: 2020-03-29; 网络出版: 2020-08-27

*通信作者: 程心 ceciliacheng1013@163.com

基金项目: 国家自然科学基金(61674049), 中央高校基本科研业务费(PA2018GDQT0017, JZ2019HGTB0092), 中国科学院苏州纳米技术与纳米仿生研究所纳米器件与应用重点实验室开放基金(18ZS03)

Foundation Items: The National Natural Science Foundation of China (61674049), The Fundamental Research Funds for Central Universities (PA2018GDQT0017, JZ2019HGTB0092), The Key Laboratory of Nanodevices and Applications, Suzhou Institute of Nano-Tech and Nano-Bionics, CAS (18ZS03)

500 ps, 分辨率较低; 文献[9]中提出利用IODELAY模块实现的DPWM电路分辨率可以达到78 ps, 但IODELAY模块只存在于Xilinx中高端FPGA器件中, 使得该方案实现成本高, 难以广泛应用推广。同时为解决与高频DC-DC转换器中DPWM信号发生器的分辨率有关的问题, 文献[10]所采用由RC电路和DA转换器组成的可控延迟电路来提高DPWM信号发生器的分辨率, 且无需使用高频时钟信号, 但所提出的DPWM的分辨率只能达到2.3 ns。文献[11]提出的计数器和延迟线的两层DPWM电路结构所实现的分辨率为200 ps, 但是延迟线的结构受温度、工艺、负载等因素的影响很大。针对上述问题, 本文提出了一种高性能低成本方案: 使用低成本PLL时钟单元生成4路相移相差90°的输出时钟, 经多路选择器输出1路相移时钟至64位译码器输出端的与门阵列, 再通过进位链进行精细相移生成控制DPWM清零的触发信号, 从而控制DPWM的精度, 所能实现的分辨率可达56 ps。本文内容安排如下: 第2节分析了基于计数器和PLL的DPWM电路结构及其缺点。第3节提出改进的进位链结构和基于进位链的混合DPWM电路。第4节对电路在FPGA上进行验证并对测试结果进行分析。最后, 第5节总结全文。

2 基于计数器的传统DPWM电路

2.1 基于计数器的DPWM

图1所示为数字控制开关电源的拓扑结构: 控制环路检测输出端电压, 经ADC采样后输入数字PID控制器产生数据流信号送入DPWM电路, 最终控制DC-DC转换器的导通与关断。基于计数器和比较器单一结构的DPWM电路, 基本原理是根据预定义的阈值产生开关转换器门控信号^[12], 从而控制开关转换器的功率管开关状态, 达到电压转换的目的。对于此类设计, 最小导通时间步长等于计数器输入时钟周期, 它的等效位数 n_{DPWM} 表示为

$$n_{DPWM} = \log_2 \left(\frac{f_{CLK}}{f_{SW}} \right) \quad (1)$$

其中, f_{SW} 是DPWM控制电路开关频率, f_{CLK} 是计

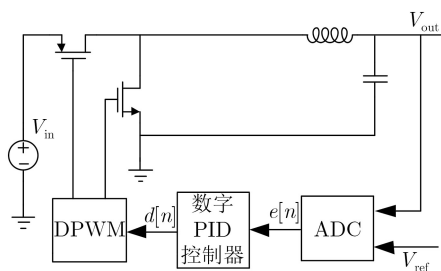


图1 数字控制开关电源的拓扑结构

数器输入时钟频率。在数字控制环路中, 如果DPWM的分辨率低于ADC的分辨率, 就会发生极限环振荡^[13]。因此, 为提高DPWM的分辨率 n_{DPWM} 防止极限环振荡, DPWM需要的输入时钟频率 f_{CLK} 可达GHz量级, 导致电路可行性低且成本过高。同时, 控制电路的功耗随着时钟频率提高而快速增长, 致使开关转换器的效率急剧恶化, 因此这种结构已不再适用于当今的DPWM电路。

2.2 基于计数器和PLL的DPWM

为实现高分辨率, 本文提出基于计数器和PLL的DPWM电路结构, 图2(a)为DPWM结构示意图, 图2(b), 图2(c)分析了此结构的电路时序。该电路具有良好的占空比调节范围和时间分辨率, 输入数据流信号duty[5:0]控制计数器产生上升沿信号控制SR锁存器置数输出端, 使得输出脉冲宽度调制(PWM)波为高电平。外部输入时钟经过锁相环产生4路相差90°的相移时钟信号, 由数据流信号duty[7:6]选择出1路输出相移时钟信号trg_delay, 从而完成了PWM波的控制生成。但该结构的电路存在一定相位范围内输出不稳定易误操作的问题, 在图2(b)中相移时钟的相位低于180°时, 输出端可以按照预先设定正常工作, 一旦相移等于或高于180°, 如图2(c)所示, 由于trg_delay和set_high经过反相后的信号恰好均为高电平, 使得输出端锁存器的复位端R为高电平, 导致电路提前触发, 输出PWM波形提前复位。提前触发会导致输出PWM波形占空比调节范围大为减少, 输出占空比线性度严重恶化, 整个开关电源转换器的性能也随之下降^[14], 特别当开关转换器的开关频率较高, 开关周期持续时间接近电路所能达到的时间分辨率时, 导致问题更加严重, 从而制约数字脉宽调制电路在开关电源领域的应用和发展。

3 基于高速进位链的新型混合DPWM电路设计

针对该电路存在的问题, 本文提出了一种基于高速进位链改进的混合电路结构: 分别采用3位计数器和比较器为第1粗延迟模块、时钟管理单元PLL的第2粗延迟模块和改进的高速进位链的精细延迟模块。通过对高速进位链的内部结构和工作原理的解释以及对电路结构的时序分析, 初步验证了所提出的电路具有精确的占空比逐级调节功能和高分辨率的特点。

3.1 高速进位链的结构

Altera FPGA芯片内部含有大量由组合逻辑和可编程寄存器构成的最小逻辑单元(LE)。其中每个LE中包含查找表(LUT)、可编程的寄存器和进

位链。进位链是一种低延迟的内部专用路径，在进位链中的传播延迟是可预测的，范围一般是10 ps到100 ps，具体数值取决于所使用的FPGA工艺和速度^[15]。通过连续的2位加法器传播进位，可以

实现DPWM模块所需的高精度时间分辨率^[16]。如图3所示，进位链作为精细模块中延迟单元，两级加法器间的进位延迟 t_{add} 大小决定了DPWM的最小时间分辨率。由控制环路中的前级数字控制器模块

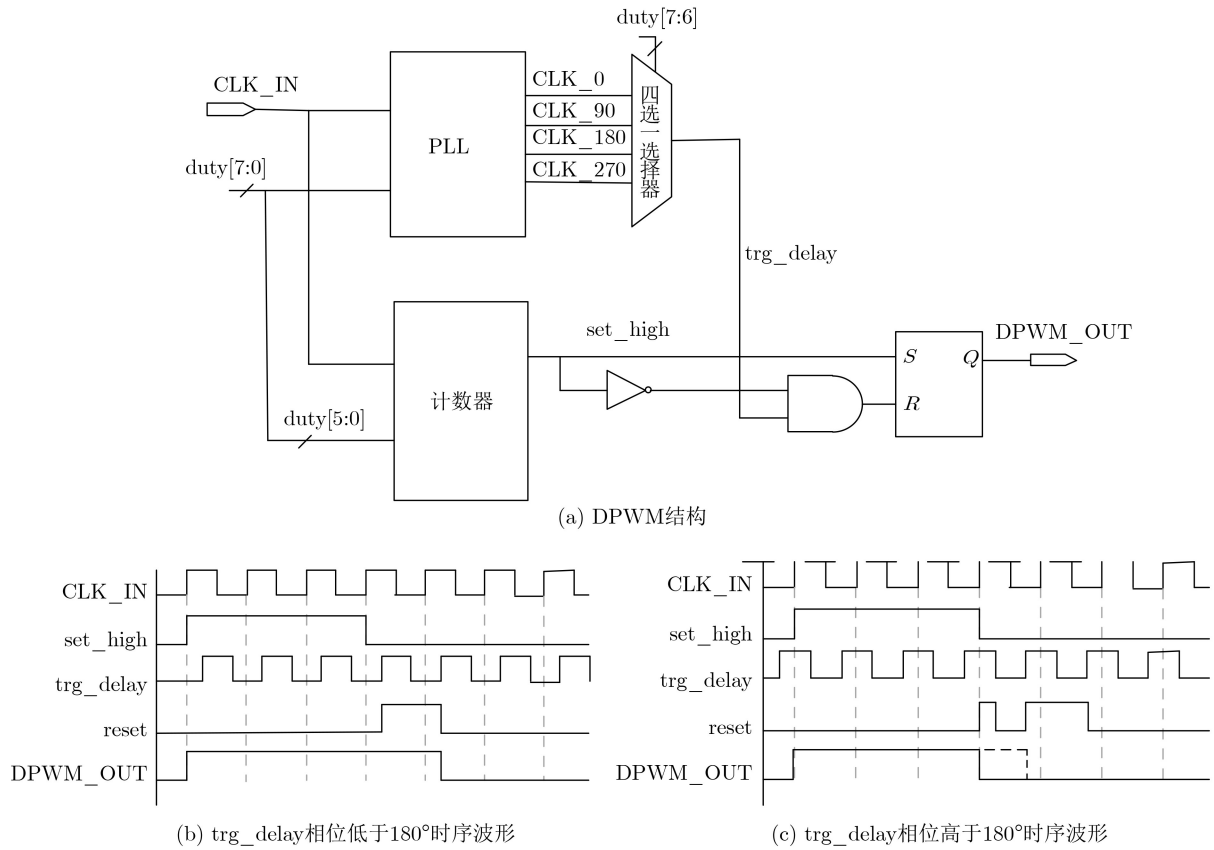


图2 基于计数器和PLL的DPWM结构及其时序波形

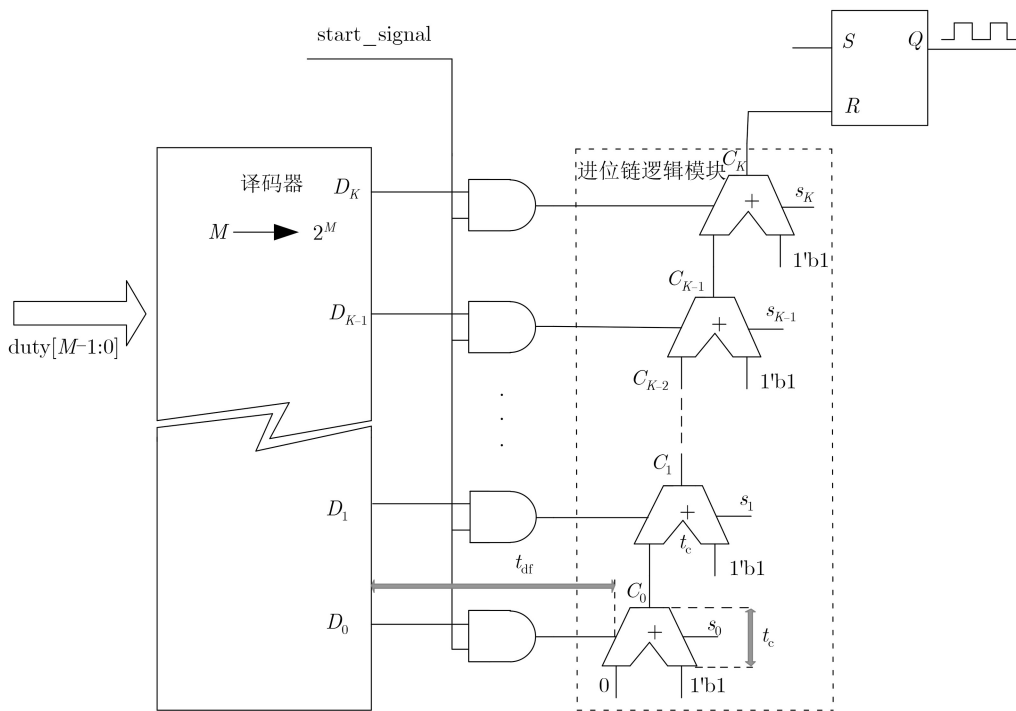


图3 混合DPWM的高速进位链结构图

产生输入数据流信号 $duty[M-1:0] = d_{M-1}d_{M-2}\dots d_1d_0 \in [0, 2^M - 1 = K]$ 产生的进位链总延时 T_D 为

$$T_D = t_{df} + duty \cdot t_{add} \quad (2)$$

t_{df} 是从译码器的输出到相应加法器进位链单元的传播延迟, t_{add} 为两级加法器间的进位延迟。表1给出了作为输入数据命令和对应的输出译码数字 D 的值以及期望的延迟值 t_D 。

此外, 理想的DPWM应该满足

$$T_{clk} = t_{df} + K \cdot t_c \quad (3)$$

其中, T_{clk} 是系统输入参考时钟周期, t_c 为进位链中单个加法器的理想延迟时间。由于给定进位链逻辑提供的 t_c 极小, 要实现单调、可重复和可靠的占空比调节行为, 需要从译码器 D_i 的每个输出到相应加法器输入的路径延迟之间实现精确匹配^[17], 这就需要采用手动布局布线的方式来达到所需的高度路径延迟匹配。图4显示了在使用Altera FPGA的Cyclone

IV EP4开发板中获得的关键路径延迟, 为了保证译码器的输出到精细模块中的每个与门的路径延迟相等, 需要对这些路径进行全局信号约束。此外位置分配可用于调整逻辑单元的位置使得与门和加法器的位置以直线排列, 以保证彼此之间的路径延迟相等。

3.2 基于高速进位链的混合DPWM电路

图5为基于进位链结构的新型混合DPWM结构, 该电路主要由计数器和比较器组成的第1粗延迟模块, PLL的第2粗延迟模块和进位链的精细延迟模块构成。其中, CLK_IN是DPWM的外部输入时钟信号, $duty[11:0]$ 是总输入数据流信号, 第2粗延迟模块中的PLL通过频率倍增和CLK_IN的 0° 相移产生同步的输入参考时钟CLK_0。与基于计数器的普通DPWM模块工作原理相同, 输入数据流 $duty[11:9]$ 作为预置阈值选择适当的时钟周期作为第1粗延迟^[18], 当第1粗延迟模块中的计数器值等于0时, 经比较器之后, 第1粗延迟模块输出的上升沿作用于输出级触发器FF7, 使输出信号PWM置为高电平。相应输入的 $duty[7:6]$ 作为控制第2粗延迟模块PLL的选择信号, 选择经PLL后的一路输出时钟送入译码器输出端的与门阵列作为触发使能信号, 如图第2延迟模块, 在一个周期可以分为4个第2粗延时单元。PLL用于配置4个时钟: CLK_0, CLK_90, CLK_180和CLK_270, 并且配置其占空比略小于25%, 避免占空比大于25%时而导致出现非线性的结果。与此同时, 通过D触发器FF0与其他两个模块同步之下, 控制命令 $duty[7:6]$ 选择合

表1 输入数据流信号duty对应的输出理想延迟时间和输出占空比命令

duty (M-1:0)	t_D	$D_K D_{K-1} \dots D_1 D_0$
00...000	0	10000...00
00...001	t_c	01000...00
00...010	$2t_c$	00100...00
.	.	.
.	.	.
.	.	.
11...111	Kt_c	00000...01

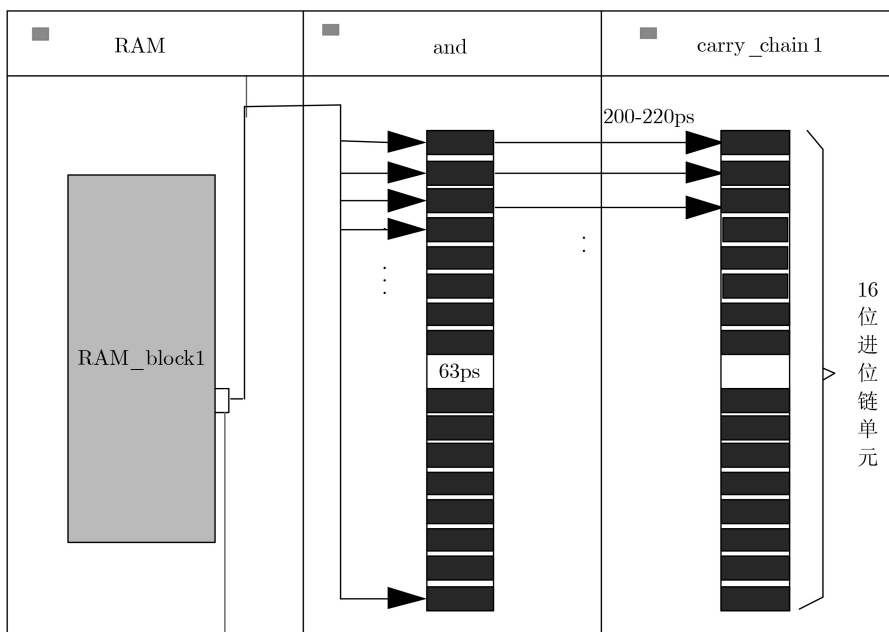


图4 进位链的关键路径

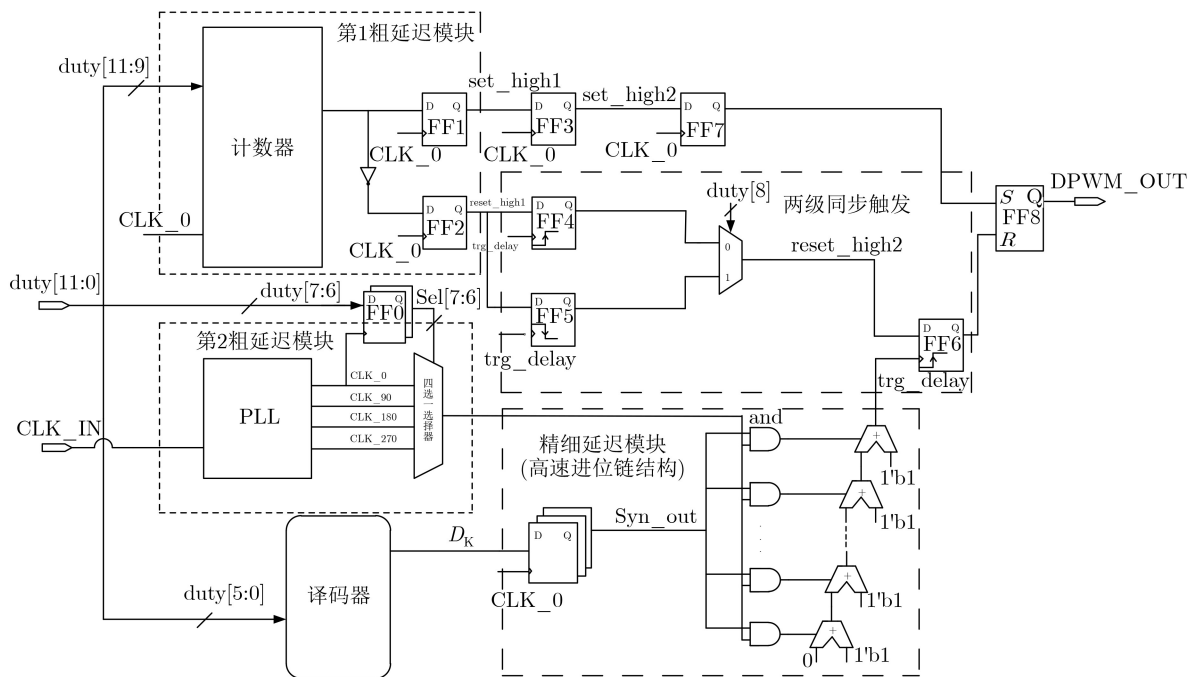


图5 基于高速进位链的混合DPWM电路结构

适的相移时钟信号作为第2粗延时。最后，输入数据流信号的低6位duty[5:0]调控高速进位链逻辑单元作为精细延迟模块控制精细延迟来控制PWM调制波形，即trg_delay相移时钟信号经过第2粗延迟和精细延迟的总延迟之后，并在进位链的输出端控制计数器反向输出通路上的触发器FF4、FF5和FF6，两级同步触发器在相移时钟trg_delay连续作用下降低了亚稳态发生的概率，同时解决了上述trg_delay相位高于 180° 时造成DPWM提前触发，DPWM占空比调节范围减小的问题。

如果输入参考时钟CLK_0上升沿与trg_delay触发信号上升沿相移很近但是相移差不等于0，由于路径延迟很容易造成trg_delay与CLK_0触发的数据建立时间违例，因此选用duty[8]控制trg_delay在 0° 和 180° 相移之后的选通信号触发，trg_delay在低于 180° 时选择下降沿触发FF5，高于 180° 时选择上升沿触发FF4，有效避免了trg_delay和CLK_0边沿相移很近造成的数据建立时间违例，有关该电路时序分析的详细信息将在下一节中说明。

3.3 基于高速进位链的混合DPWM电路时序分析

输入参考时钟信号CLK_0在起始阶段计数器开始计数，经过两级触发器FF3和FF7之后输出信号开始置数。外部输入时钟CLK_IN通过PLL单元产生两两相位差为 90° 的4路时钟信号CLK_0、CLK_90、CLK_180和CLK_270，4路相移时钟在第2粗延迟模块的输入数据流信号duty[7:6]作用

下，选择一路作为输出，被选择的时钟信号再通过duty[5:0]控制的进位逻辑，输出触发时钟信号trg_delay，理论上可将 90° 相位均分为64份，达到提升DPWM模块时间分辨率和保证高线性度的作用。同时，PLL使用相移输出控制信号来调整输出时钟的频率，使得加法器的延迟总时间尽可能等于输入参考时钟的 $1/4$ 周期，以提高所提出DPWM电路的输出信号占空比线性度。

如图6为所提出的DPWM电路时序图，3位计数器首先在输入参考时钟上升沿触发下从0至7进行计数，计数器输出信号经过CLK_0上升沿触发的触发器FF1得到信号set_high1，在下一个时钟CLK_0上升沿作用下经过触发器FF3得到set_high2信号使输出级寄存器工作，使得输出信号DPWM_OUT置为高电平。在输入数据流信号duty[7:6]控制下，选择PLL输出的特定相移时钟信号，与数据流低6位duty[5:0]译码电路配合，使得进位链输入端与门在duty[5:0]所选择的特定位置电平拉高，其余进位链输入均为低电平。输入的高电平以所在位置为起点开始向沿进位链向上进位并输出trg_delay信号，实现加法器进位做精确延时的功能。同时，计数器输出信号反相后经过上升沿触发的触发器FF2得到reset_high1，在输入数据流信号duty[8]控制下，reset_high1信号分别在进位链输出信号trg_delay的上升沿和下降沿经过触发器FF4和FF5，输出得到reset_high2信号。最终在进位链输出端得到高电平送入触发器FF6的时钟端，

将reset_high2信号发送到输出级寄存器FF8的清零端,使得DPWM_OUT信号复位。

4 测试结果

本文采用Altera Cyclone IV系列EP4CE15F23C8N FPGA开发板来验证所提出的电路结构。为满足输入参考时钟CLK_0在1/4时钟周期范围内尽量等于总的加法器延迟时间,PLL输出的时钟CLK_0频率设置70 MHz,由于第1粗延迟模块输入数据流信号duty[11:9]中的计数器输出是3位,因此开关频率 f_{sw} 为8.75 MHz。图7描述了相移时钟信号trg_delay在相移大于 180° 时的仿真波形,此时输入数据流信号为“100111000000”,输出占空比为59.375%,通过功能仿真波形可以看出输出占空比和输入的数据流信号相对的占空比相一致。图8显示了输入数据流信号 Δ duty为16位变化时对应的DPWM验证波形图,为方便观察占空比变化,设置为变换位数为每16位进行变化。当输入数据流 Δ duty每隔16位变化时,对应的占空比平均延迟约为0.9024 ns,因此单个位数变化时的平均间隔时间约为56 ps。且占空比随着在trg_delay的调整而相应地变化,和

功能仿真波形相一致,没有出现trg_delay提前触发所导致的输出占空比减小的问题,因此混合DPWM电路解决了trg_delay相移大于 180° 所造成的输出PWM提前复位的问题,且具有良好的线性特性和稳定性能。

图9给出了调制器产生的脉冲宽度作为12位输入数据流函数的详细结果,该12位数据流信号从1024增加到1144。经线性拟合表明,计算得到线性度拟合值 R^2 为0.9932,这意味着具有良好的线性特性。图10(a),图10(b)展示了所能实现的DPWM电路最大和最小占空比,分别为98.51%和1.85%。该结果表明所提出的设计具有宽占空比调节范围。

表2给出了本文与部分已发表文献的时间分辨率比较:文献[8]中采用LUT单元,所获得的时间分辨率为500 ps,本文所提出的电路时间分辨率比文献[8]提高了约9倍;文献[9]使用中高端FPGA器件IODELAY实现,本文采用的是低成本FPGA器件PLL&Carry chain结构,时间分辨率提高了约1.4倍;与文献[10,11]基于ASIC电路设计的Counter_DA结构和Delay_line结构的DPWM相比较,本文具有更高的调节精度,且具有更好的灵活性和稳定性。

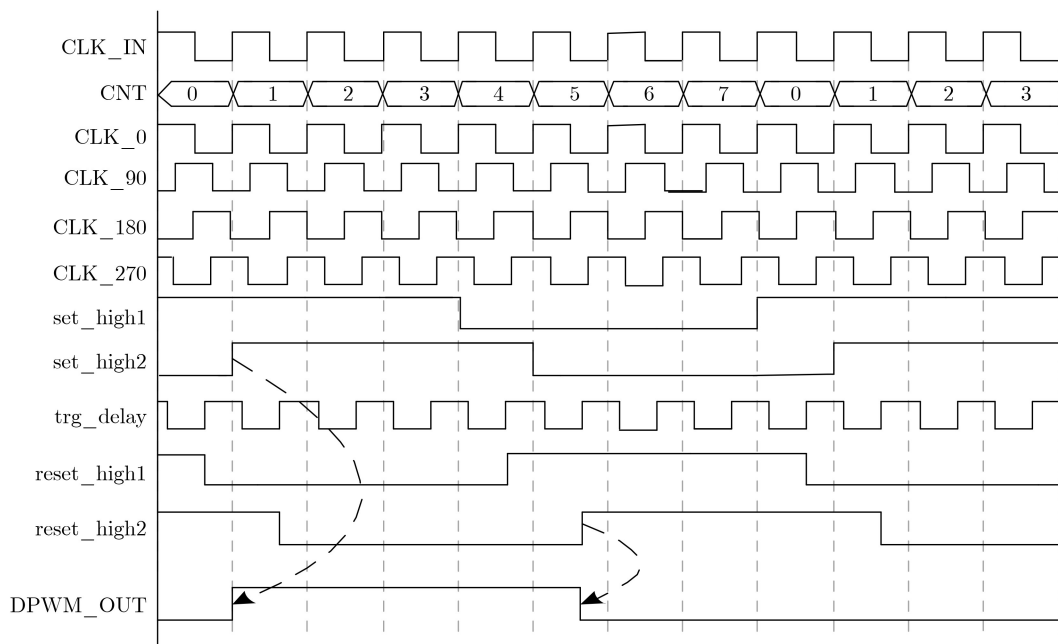


图6 基于高速进位链的混合DPWM电路时序分析

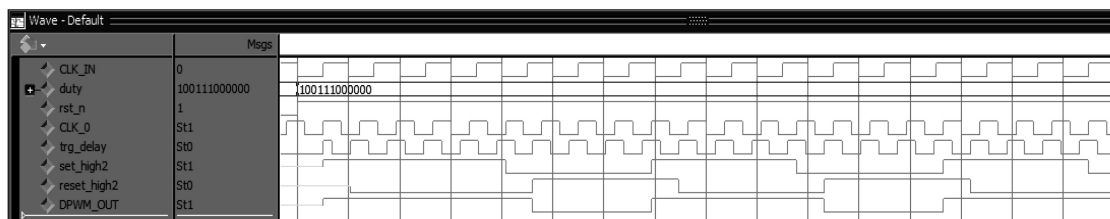


图7 相移时钟信号trg_delay在相移大于 180° 时的功能仿真波形

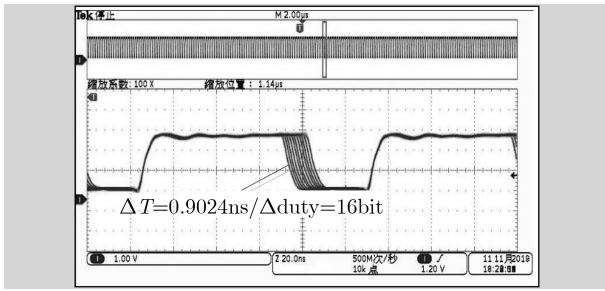


图 8 输入数据流信号 $\Delta duty$ 为16位变化时对应输出DPWM的验证波形

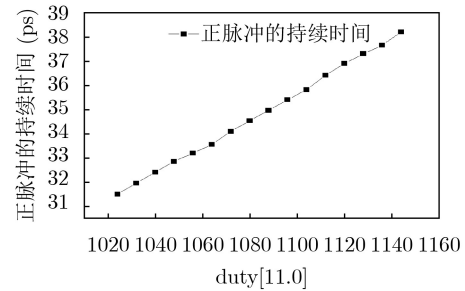


图 9 输入数据流信号duty与正脉冲持续时间

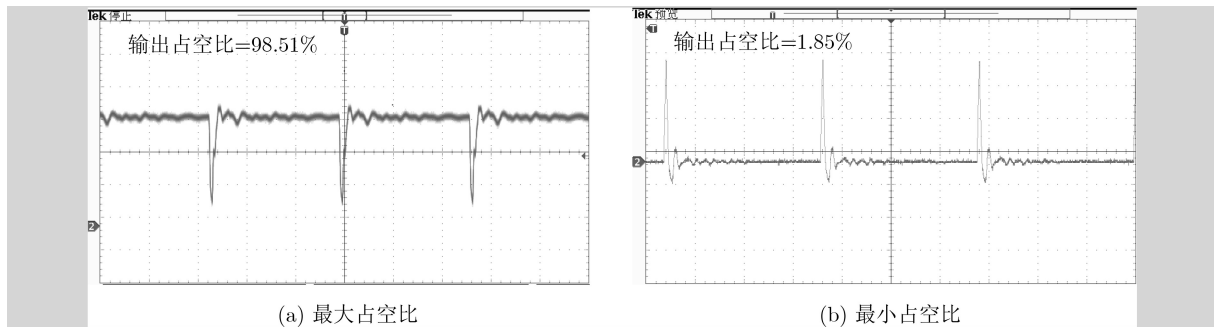


图 10 基于高速进位链混合结构的DPWM占空比调节范围

表 2 基于FPGA器件不同结构时间分辨率结果对比

设计	结构	输入时钟频率(MHz)	开关频率(MHz)	时间分辨率(ps)
文献[8]	LUT_based	200	25	500
文献[9]	IODELAY_based	200	25	78
文献[10]	Counter_DA_based	60	1	2.3
文献[11]	Delay-line_based	/	5	200
本文	PLL & Carry Chain_based	70	8.75	56

5 结束语

本文在构建基本混合结构的DPWM的基础上，提出应用于DPWM的高速进位链和两级同步触发电路结构，解决了传统DPWM的分辨率低和提前触发的问题，并在低成本的FPGA开发板实现，具有高度灵活性和线性调节性，可以同时实现较宽的工作频率调节范围和较高的时间分辨率。

参考文献

- [1] LIU Fangcheng, XIN Kai, and LIU Yunfeng. An adaptive Discontinuous Pulse Width Modulation (DPWM) method for three phase inverter[C]. 2017 IEEE Applied Power Electronics Conference and Exposition, Tampa, USA, 2017: 1467–1472. doi: [10.1109/APEC.2017.7930892](https://doi.org/10.1109/APEC.2017.7930892).
- [2] KIM S Y, PARK Y J, ALI I, *et al.* Design of a high efficiency DC–DC buck converter with two-step digital PWM and low power self-tracking zero current detector for IoT applications[J]. *IEEE Transactions on Power Electronics*, 2018, 33(2): 1428–1439. doi: [10.1109/TPEL.2017.2688387](https://doi.org/10.1109/TPEL.2017.2688387).
- [3] FURUKAWA Y, NAKAMURA H, ETO H, *et al.* Fine resolution DPWM circuit for high frequency digital control DC-DC converter[C]. 2018 International Symposium on Power Electronics, Electrical Drives, Automation and Motion, Amalfi, Italy, 2018: 491–496. doi: [10.1109/SPEEDAM.2018.8445336](https://doi.org/10.1109/SPEEDAM.2018.8445336).
- [4] RADHIKA V and BASKARAN K. FPGA based DPWM/DPFM architecture for digitally controlled dc-dc converters[C]. 2016 IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics Engineering, Varanasi, India, 2016: 78–82. doi: [10.1109/UPCON.2016.7894628](https://doi.org/10.1109/UPCON.2016.7894628).
- [5] CROVETTI P S. All-digital high resolution D/A Conversion by dyadic digital pulse modulation[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017, 64(3): 573–584. doi: [10.1109/TCSI.2016.2614231](https://doi.org/10.1109/TCSI.2016.2614231).
- [6] KAPAT S. Sampling-induced border collision bifurcation in a voltage-mode DPWM synchronous buck converter[J]. *IEEE Transactions on Circuits and Systems II: Express*

- Briefs*, 2019, 66(6): 1048–1052. doi: [10.1109/TCSII.2018.2866520](https://doi.org/10.1109/TCSII.2018.2866520).
- [7] LUCÍA O, BURDÍO J M, BARRAGÁN L A, *et al.* Series-resonant multiinverter for multiple induction heaters[J]. *IEEE Transactions on Power Electronics*, 2010, 25(11): 2860–2868. doi: [10.1109/TPEL.2010.2051041](https://doi.org/10.1109/TPEL.2010.2051041).
- [8] SONG Hu, JIANG Naiti, HU Shanshan, *et al.* FPGA-based high resolution DPWM control circuit[J]. *Journal of Systems Engineering and Electronics*, 2018, 29(6): 1136–1141. doi: [10.21629/JSEE.2018.06.03](https://doi.org/10.21629/JSEE.2018.06.03).
- [9] NAVARRO D, LUCÍA O, BARRAGÁN L A, *et al.* Synchronous FPGA-based high-resolution implementations of digital pulse-width modulators[J]. *IEEE Transactions on Power Electronics*, 2012, 27(5): 2515–2525. doi: [10.1109/TPEL.2011.2173702](https://doi.org/10.1109/TPEL.2011.2173702).
- [10] FURUKAWA Y, NAKAMURA H, ETO H, *et al.* A novel high resolution DPWM circuit for high frequency digitally controlled DC-DC converter[C]. 2018 IEEE Energy Conversion Congress and Exposition, Portland, USA, 2018: 1396–1400. doi: [10.1109/ECCE.2018.8557826](https://doi.org/10.1109/ECCE.2018.8557826).
- [11] LAN P H, TSENG C Y, YEH F C, *et al.* A multi-mode digital controller with windowed ADC and self-calibrated DPWM for slew-enhanced switching converter[C]. 2010 IEEE Asian Solid-State Circuits Conference, Beijing, China, 2010: 1–4. doi: [10.1109/ASSCC.2010.5716556](https://doi.org/10.1109/ASSCC.2010.5716556).
- [12] SCHARRER M, HALTON M, SCANLAN T, *et al.* FPGA-based multi-phase digital pulse width modulator with dual-edge modulation[C]. The 25th Annual IEEE Applied Power Electronics Conference and Exposition, Palm Springs, USA, 2010: 1075–1080. doi: [10.1109/APEC.2010.5433371](https://doi.org/10.1109/APEC.2010.5433371).
- [13] PENG Hao, PRODIC A, ALARCON E, *et al.* Modeling of quantization effects in digitally controlled DC-DC converters[J]. *IEEE Transactions on Power Electronics*, 2007, 22(1): 208–215. doi: [10.1109/TPEL.2006.886602](https://doi.org/10.1109/TPEL.2006.886602).
- [14] NAVARRO D, BARRAGÁN L A, ARTIGAS J I, *et al.* FPGA-based high resolution synchronous digital pulse width modulator[C]. 2010 IEEE International Symposium on Industrial Electronics, Bari, Italy, 2010: 2771–2776. doi: [10.1109/ISIE.2010.5636571](https://doi.org/10.1109/ISIE.2010.5636571).
- [15] SALOMON L, MORENO R, and PIMENTA T. Implementation of a 17 bits pulse width modulation circuit using FPGA[C]. 2015 International Conference on Microelectronics, Casablanca, Morocco, 2015: 206–209. doi: [10.1109/ICM.2015.7438024](https://doi.org/10.1109/ICM.2015.7438024).
- [16] GE Lusheng, CHEN Zongxiang, CHEN Zhijie, *et al.* Design and implementation of a high resolution DPWM based on a low-cost FPGA[C]. 2010 IEEE Energy Conversion Congress and Exposition, Atlanta, USA, 2010: 2306–2311. doi: [10.1109/ECCE.2010.5617866](https://doi.org/10.1109/ECCE.2010.5617866).
- [17] COSTINETT D, RODRIGUEZ M, and MAKSIMOVIC D. Simple digital pulse width modulator under 100 ps resolution using general-purpose FPGAs[J]. *IEEE Transactions on Power Electronics*, 2013, 28(10): 4466–4472. doi: [10.1109/TPEL.2012.2233218](https://doi.org/10.1109/TPEL.2012.2233218).
- [18] CHENG Xin, SONG Ruifeng, XIE Guangjun, *et al.* A new FPGA-based segmented delay-line DPWM with compensation for critical path delays[J]. *IEEE Transactions on Power Electronics*, 2018, 33(12): 10794–10802. doi: [10.1109/TPEL.2017.2763750](https://doi.org/10.1109/TPEL.2017.2763750).
- 张章: 男, 1982年生, 副教授, 硕士生导师, 研究方向为集成电路设计与测试及新型半导体器件.
- 崔明辉: 男, 1995年生, 硕士生, 研究方向为集成电路设计.
- 李斌: 男, 1995年生, 硕士生, 研究方向为集成电路设计.
- 程心: 女, 1985年生, 副教授, 硕士生导师, 研究方向为集成电路设计与测试及新型半导体器件.
- 解光军: 男, 1970年生, 教授, 博士生导师, 研究方向为新型半导体器件及量子电路.

责任编辑: 陈倩